

先端ナノエレクトロニクス研究 コアユニット

東京工業大学
大学院総合理工学研究科
物理電子システム創造専攻
岩井 洋

平成22年12月14日

日本における 先端ナノエレクトロニクス研究教育の重要性

エレクトロニクスは全てのシステム・アプリの根幹であり、日本の将来にとって極めて重要

今まで世界トップレベルであった日本のエレクトロニクスは産業、研究開発、教育の全てに亘ってアジア諸国の勢いに押されている。

例 半導体：産業・研究開発の空洞化

大学にできること：

エレクトロニクスの分野において世界トップレベルの研究・教育を行い、研究・教育で国力を維持する

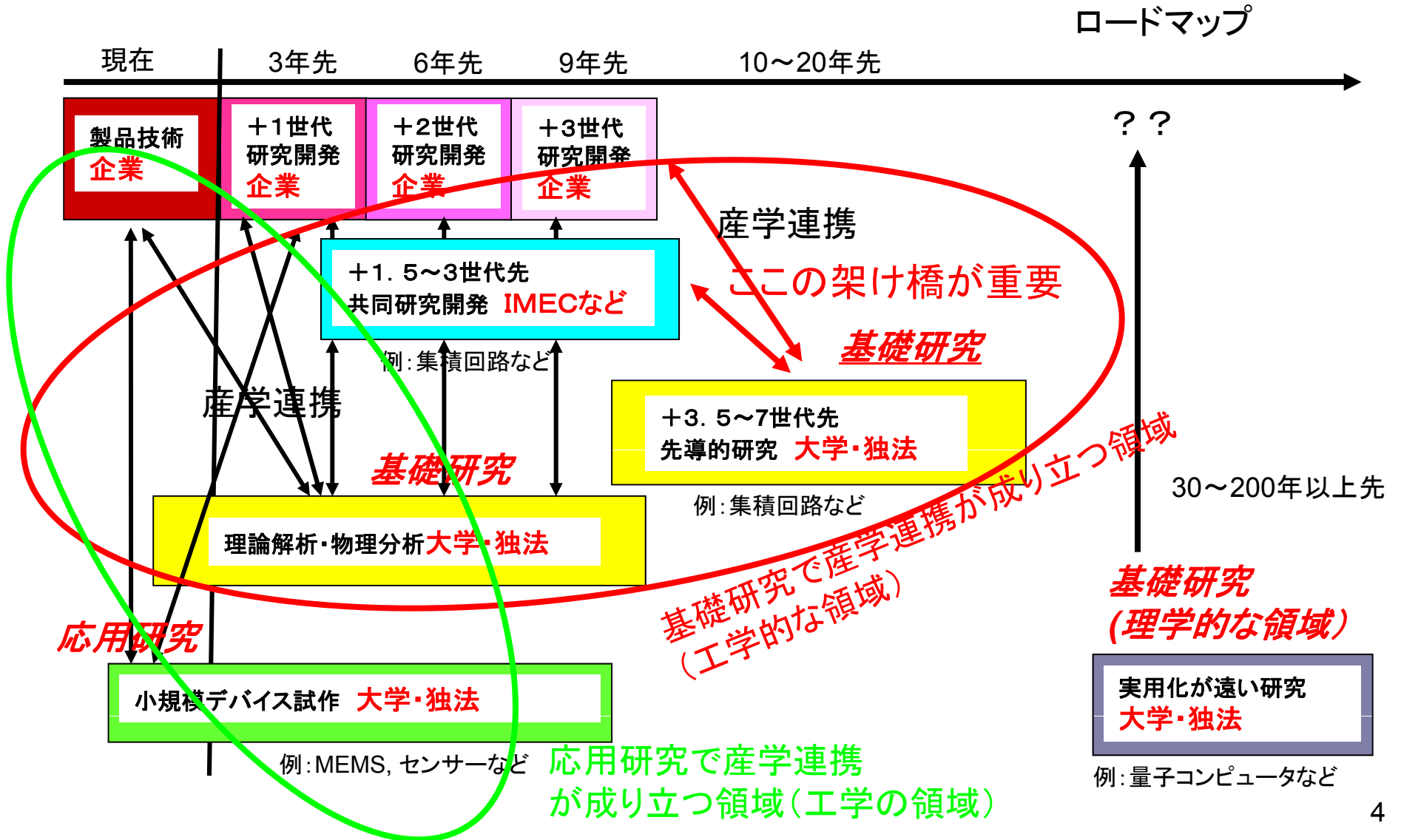
研究・教育方針

世界を先導する最先端の研究を遂行することにより、人類社会の向上に貢献するとともに、その研究を通じて社会に役立つ学生を育成する。

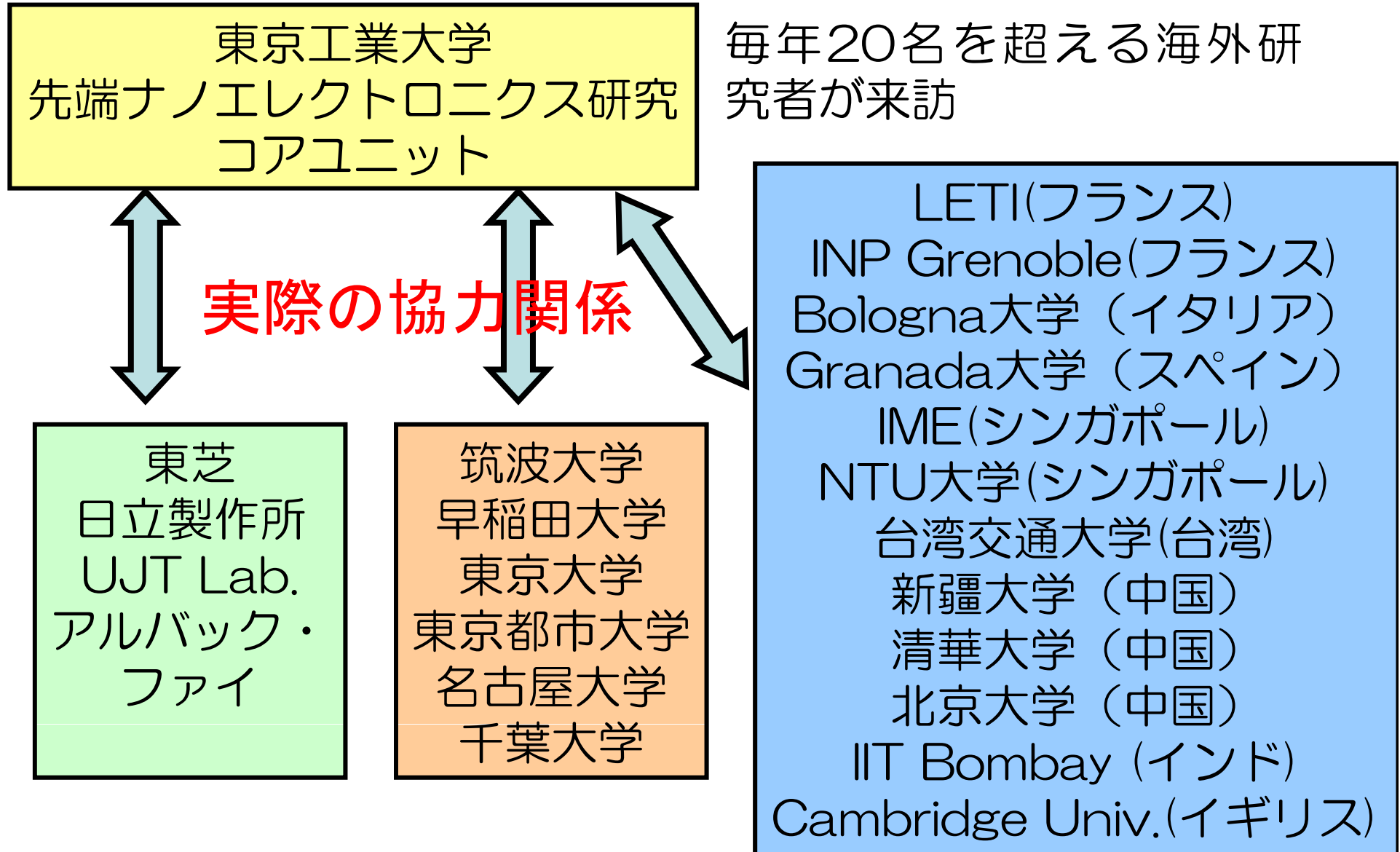
1 研究室、1 大学、1 国だけの研究・教育では当該分野で世界のトップに立てないので、国内外の機関との連携を積極的に行い、ヴァーチャルな国際研究・教育開発拠点を目指す。

研究分野は常に将来の実用化を念頭に選択する。

産学連携のスキーム(電子デバイス関係)



外部機関との連携：国際的な世界最先端バーチャルナノデバイス研究拠点をを目指す



(2010年10月1日現在)



物理電子システム創造専攻
教授 堀井 洋
Emergent and Assembled Phase
Professor
Hori Takashi



物理電子システム創造専攻
教授 堀井 一夫
Emergent and Assembled Phase
Professor
Hori Kenji



物理電子システム創造専攻
准教授 大月 俊一郎
Emergent and Assembled Phase
Associate Professor
Otsuki Shun-ichiro



フロンティア研究機構
特任准教授
アヘム・パールハット
Frontier Research Center
Associate Professor
Pater Josephine

教員
(10人)



Simon Min Sze
(客員教授)



堀井 一夫
(客員教授)



堀井 一夫
(特任教授)



堀井 一夫
(連携教授)



堀井 一夫
(連携教授)



堀井 一夫
(助教)

技術員
(1人)



岩間 大

博士
研究員
(1人)



Milan Kumar Sere

博士
学生
(19人)



堀井 一夫
(D3)



堀井 一夫
(D3)



堀井 一夫
(D3)



堀井 一夫
(D3)



堀井 一夫
(D3)



堀井 一夫
(D3)



下村 浩
(D3)



Mairadineh
Marzaki
(D3)



Abdulrahim
Abulrahman
(D3)



堀井 一夫
(D3)



堀井 一夫
(D2)



堀井 一夫
(D2)



堀井 一夫
(D2)



堀井 一夫
(D2)



堀井 一夫
(D2)



高橋 聖太
(D1)



Kenji Hori
(D1)



Mohammad
Shorji Hadi
(D1)



堀井 一夫
(D1)



堀井 一夫
(D1)

修士
学生
(26人)



堀井 一夫
(M2)



堀井 一夫
(M2)



堀井 一夫
(M2)



堀井 一夫
(M2)



堀井 一夫
(M2)



堀井 一夫
(M2)



堀井 一夫
(M2)



堀井 一夫
(M2)



堀井 一夫
(M2)



堀井 一夫
(M2)



堀井 一夫
(M2)



堀井 一夫
(M2)



堀井 一夫
(M2)



堀井 一夫
(M1)



堀井 一夫
(M1)



堀井 一夫
(M1)



堀井 一夫
(M1)



堀井 一夫
(M1)



堀井 一夫
(M1)



堀井 一夫
(M1)



堀井 一夫
(M1)



堀井 一夫
(M1)



堀井 一夫
(M1)



堀井 一夫
(M1)



堀井 一夫
(M1)



堀井 一夫
(M1)

学部
生
(3人)



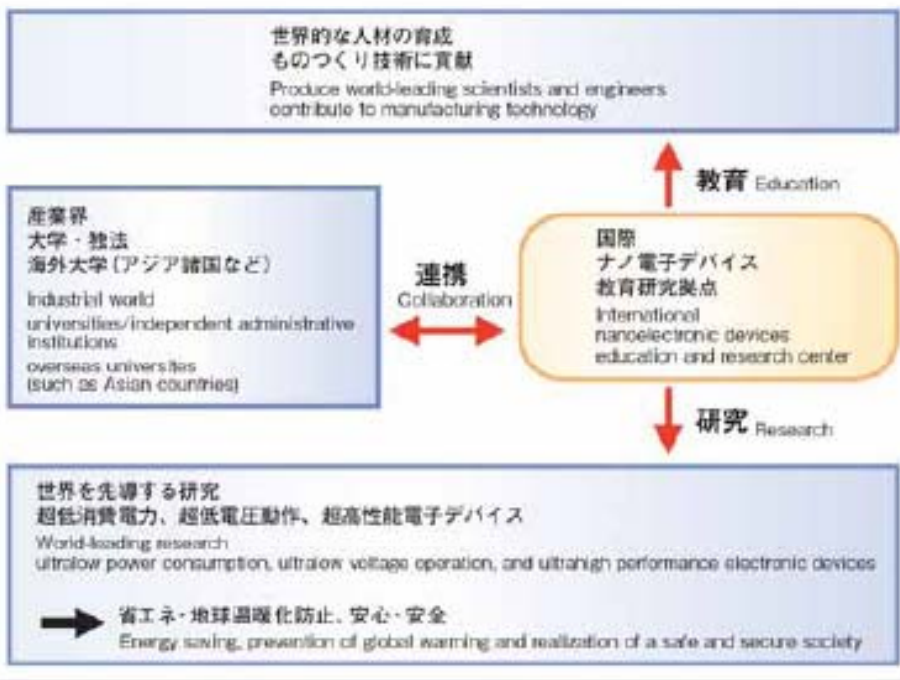
堀井 一夫
(B4)



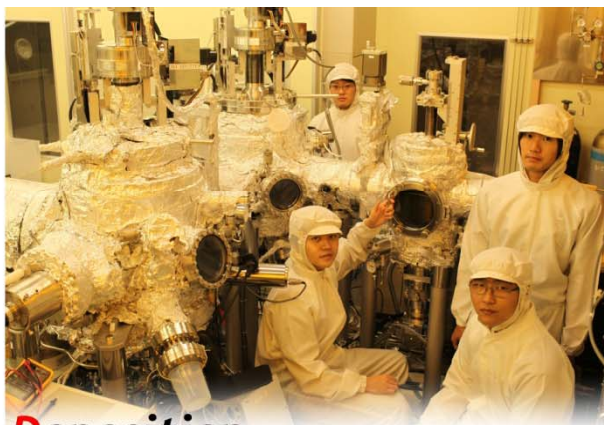
堀井 一夫
(B4)



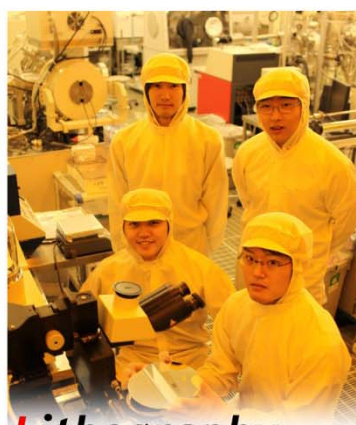
堀井 一夫
(B4)



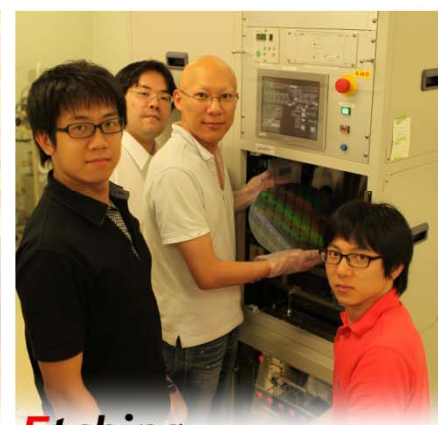
研究風景



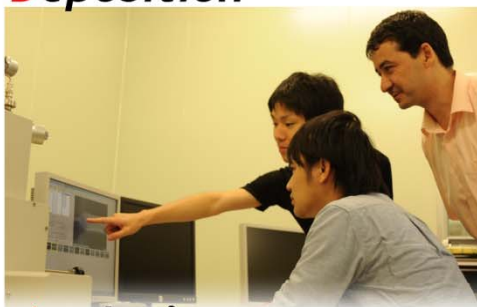
Deposition



Lithography



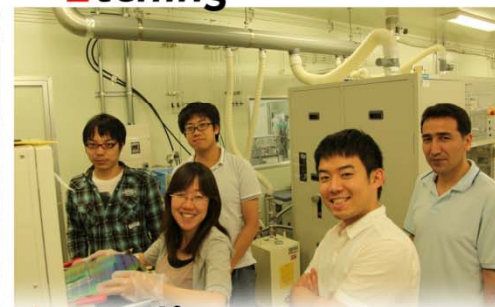
Etching



Analysis



Measurement



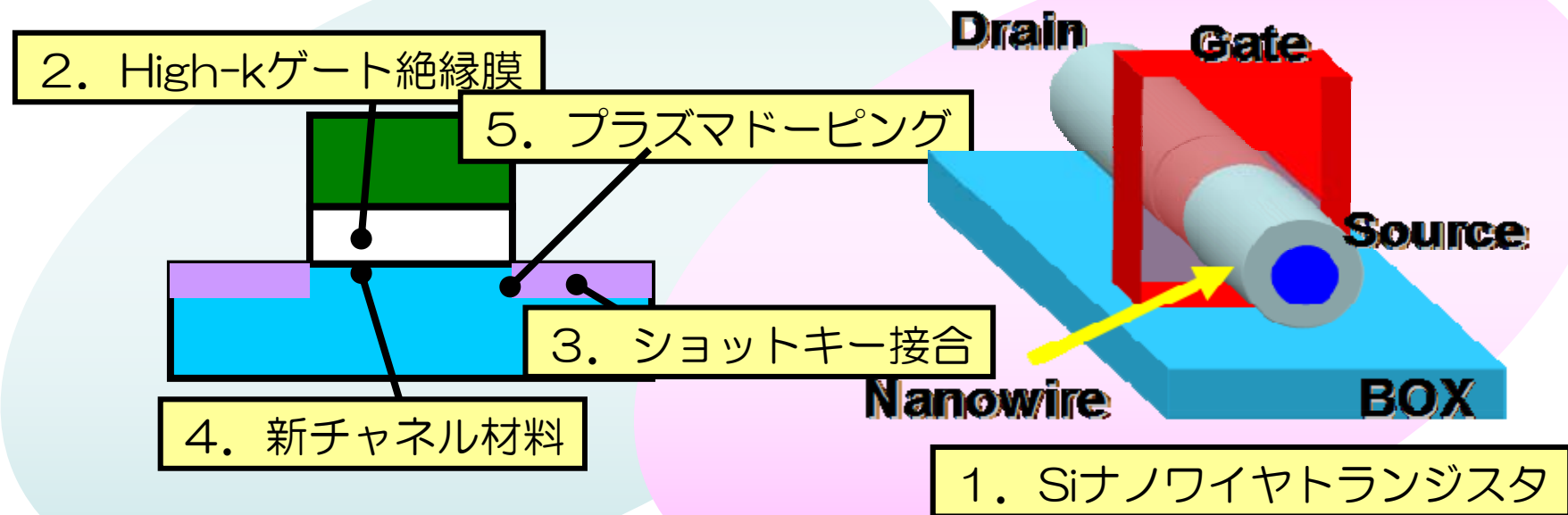
Annealing



Office



次世代高性能半導体デバイスに向けた研究テーマ：
CMOS本命デバイスの先導研究に集中
以下の5つの研究

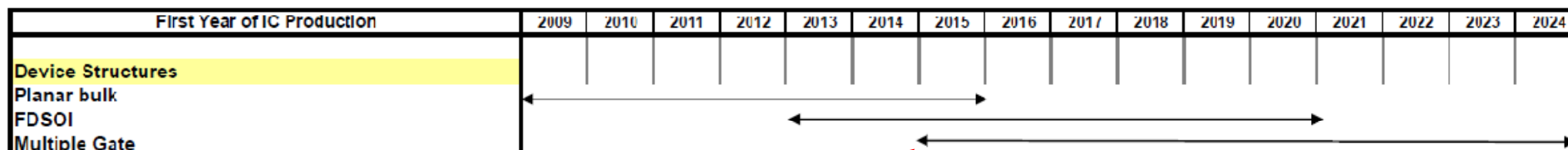


研究事例 1 : SiナノワイヤFET

成果 :

1. オフ電流の制御のみならず、極めて高いオン電流が得られることを理論と実験（世界トップレベル）により実証
2. 世界で初めて実デバイスに存在する1万個のSi原子を全て取り扱った第一原理計算により8nm径ナノワイヤのトランジスタ特性を計算
3. キャリア散乱を含んだナノワイヤFET特性の解析解を世界で初めて導出
4. ナノワイヤFET研究開発のロードマップを作成

なぜナノワイヤFETか？



微細化にとって最も重要なことは
オフ電流の抑制

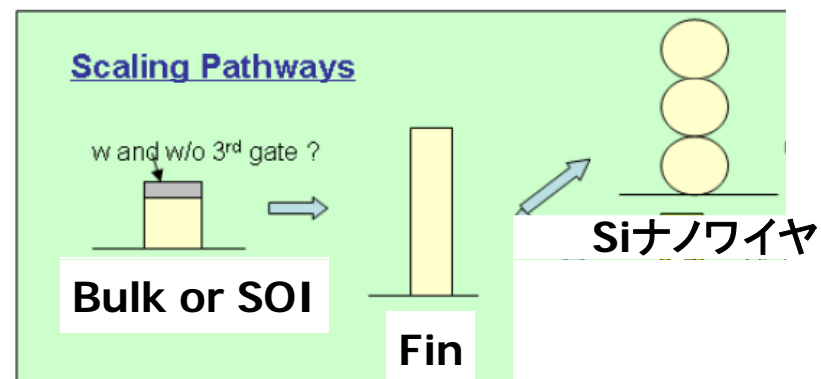
⇒このためにITRSでも2015年から
Multiple Gate (Fin)FETの導入が設定

更にオフ電流を抑制するためには
ナノワイヤの構造が最適

⇒2020年頃 ナノワイヤの導入
を我々は想定して本プロジェクト
を開始した

ITRSでも2009年版(2009年12月
発行)からFinの次にくる構造とし
てナノワイヤが図に記載されるよ
うになった。

Bulk → Fin → ナノワイヤ



ナノワイヤ構造のメリット

A. 既存のSiCMOSプロセスがほぼそのまま使える

B. トランジスタ構造の選択

Off電流抑制の要求からナノワイヤ系FETへ

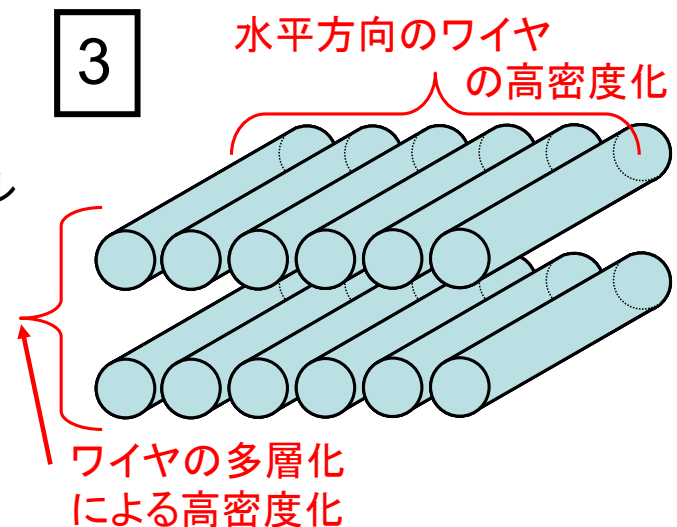
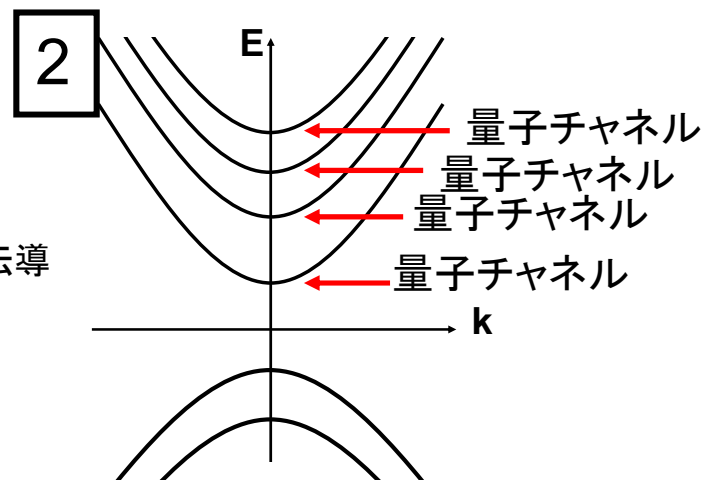
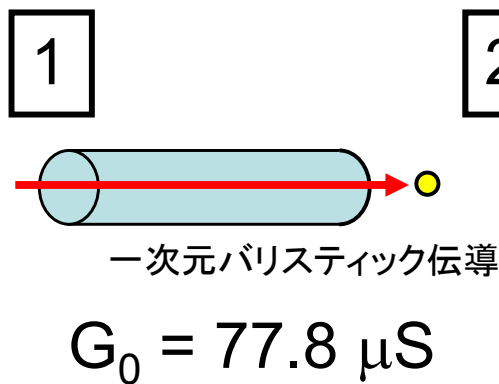
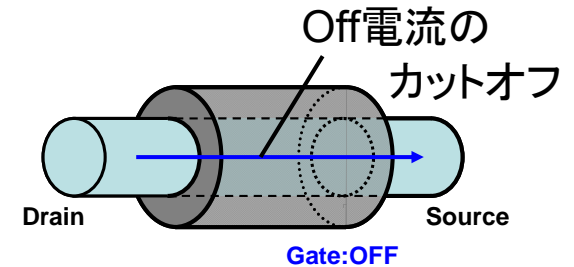
C. 低電圧で高駆動電流達成のためには

1. 1次元バリスティック伝導の極限を目指す

→ワイヤ径の最適化、界面の制御

2. 量子チャネル数を増やす →ワイヤ径の最適化、バンド制御

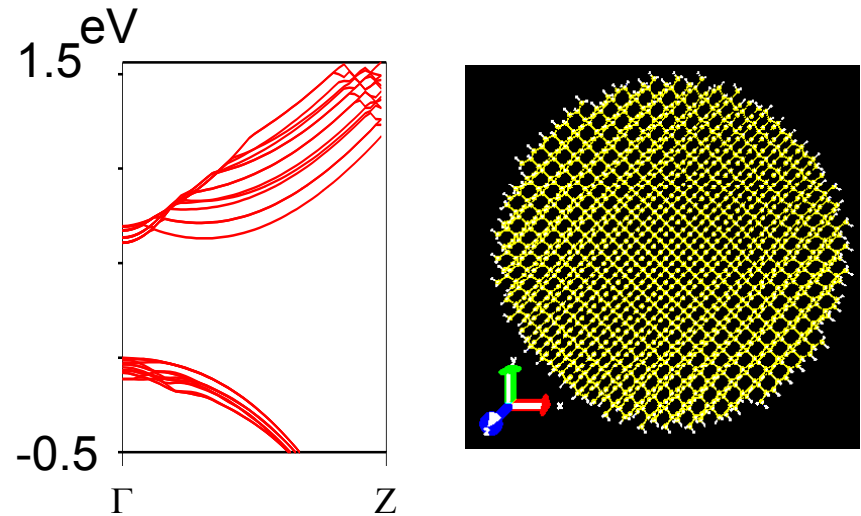
3. 物理的にFETの数を増やす →ワイヤ密度を増やす



10nm級のSiナノワイヤの電子構造計算

径の大きいワイヤの電子構造計算

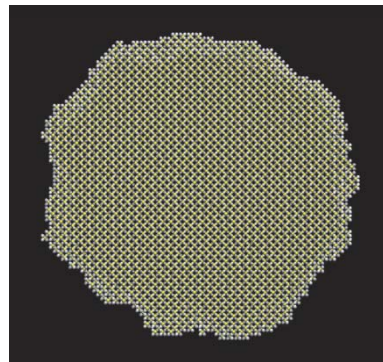
ワイヤ径5nm以上は超大規模な計算が必要であるが、実空間密度汎関数法(RSDFT)をテラフロップスのスパコンを用いて計算できることを確認。今後10~20nmの領域を計算して理論上最適な径を求める。FETの試作結果では10~25nm辺りに最適な径がありそう。



径8nmの電子構造計算結果

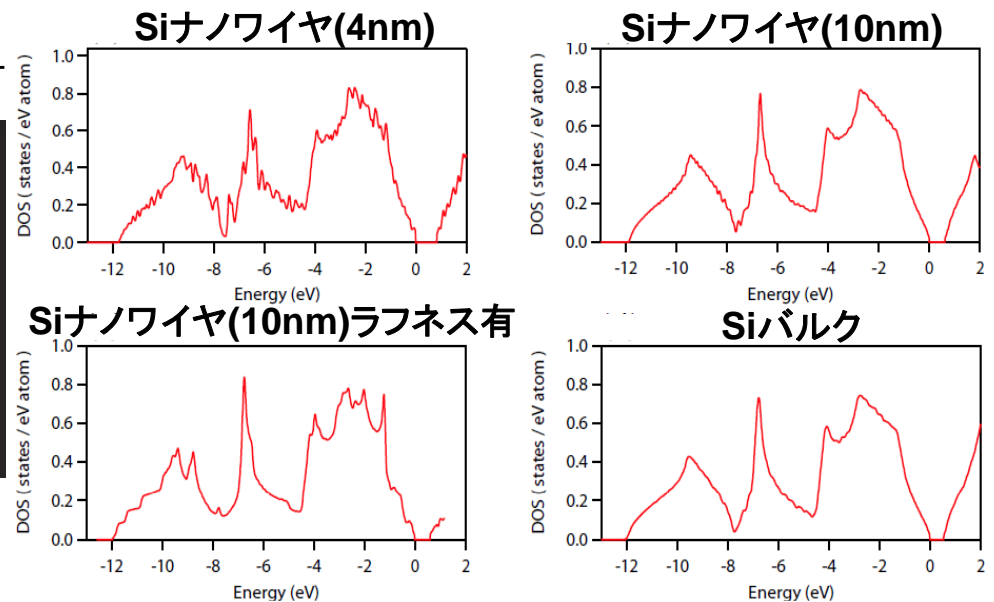
表面ラフネスを有する場合の電子構造

ワイヤの表面ラフネスが電子構造に与える影響を理論的に計算



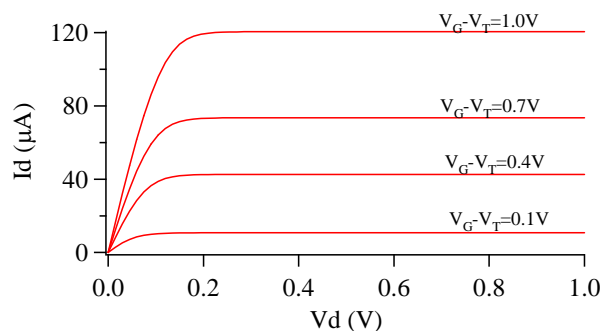
価電子帯に大きな変化が現れることが明らかになった。

Siナノワイヤ(10nm)ラフネス有

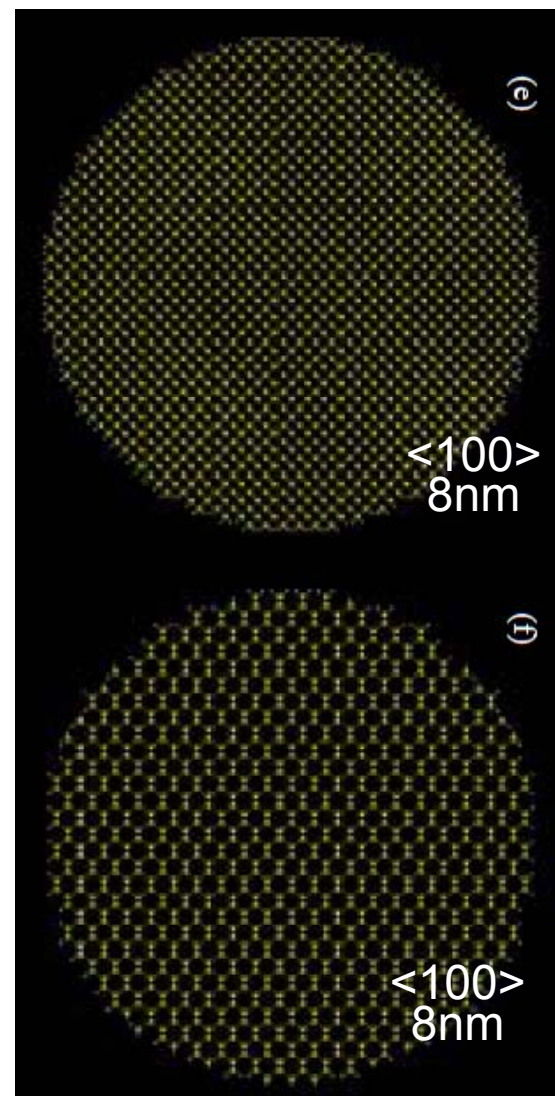
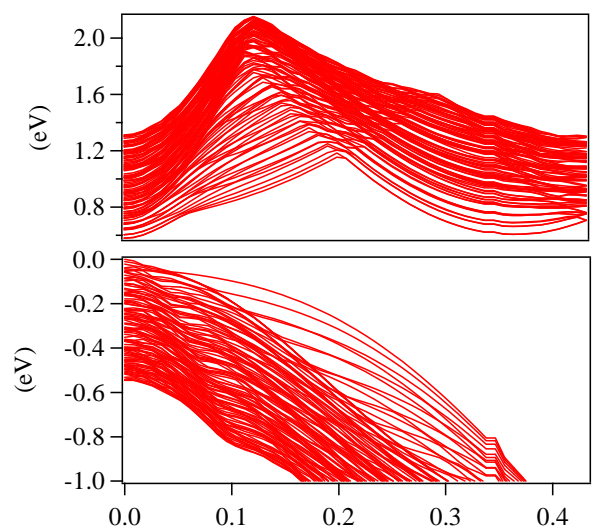
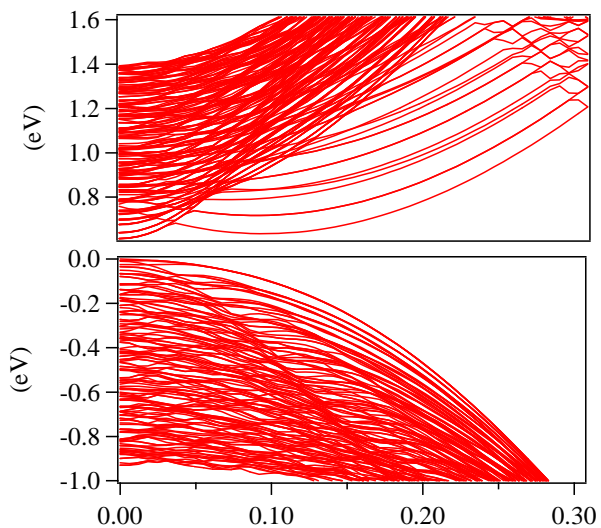
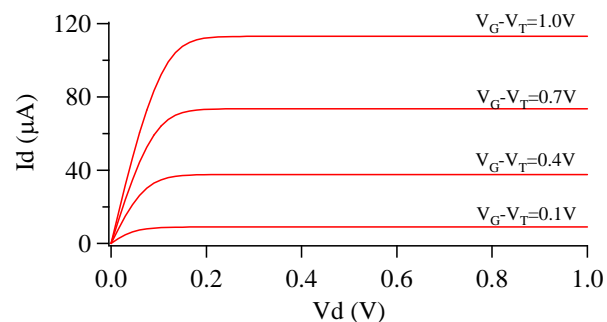


8nmのSiナノワイヤのバリスティックFET特性

SiNW(100)
直径: 8nm
温度: 300K



SiNW(110)
直径: 8nm
温度: 300K



コンパクトモデル: 散乱の導入に係る計算式

弾性散乱域

$$\begin{aligned}\sqrt{\frac{2}{m}(qEx + \varepsilon)} \frac{dF(x)}{dx} + \frac{B_0}{\sqrt{qEx + \varepsilon}} \{F(x) - G(x)\} &= 0 \\ -\sqrt{\frac{2}{m}(qEx + \varepsilon)} \frac{dG(x)}{dx} + \frac{B_0}{\sqrt{qEx + \varepsilon}} \{G(x) - F(x)\} &= 0\end{aligned}$$

$F(x)/h$ は、正速度フラックス

$G(x)/h$ は、負速度フラックス

物理パラメータ B_0 の値は
移動度対応した値

光学フォノン放出域

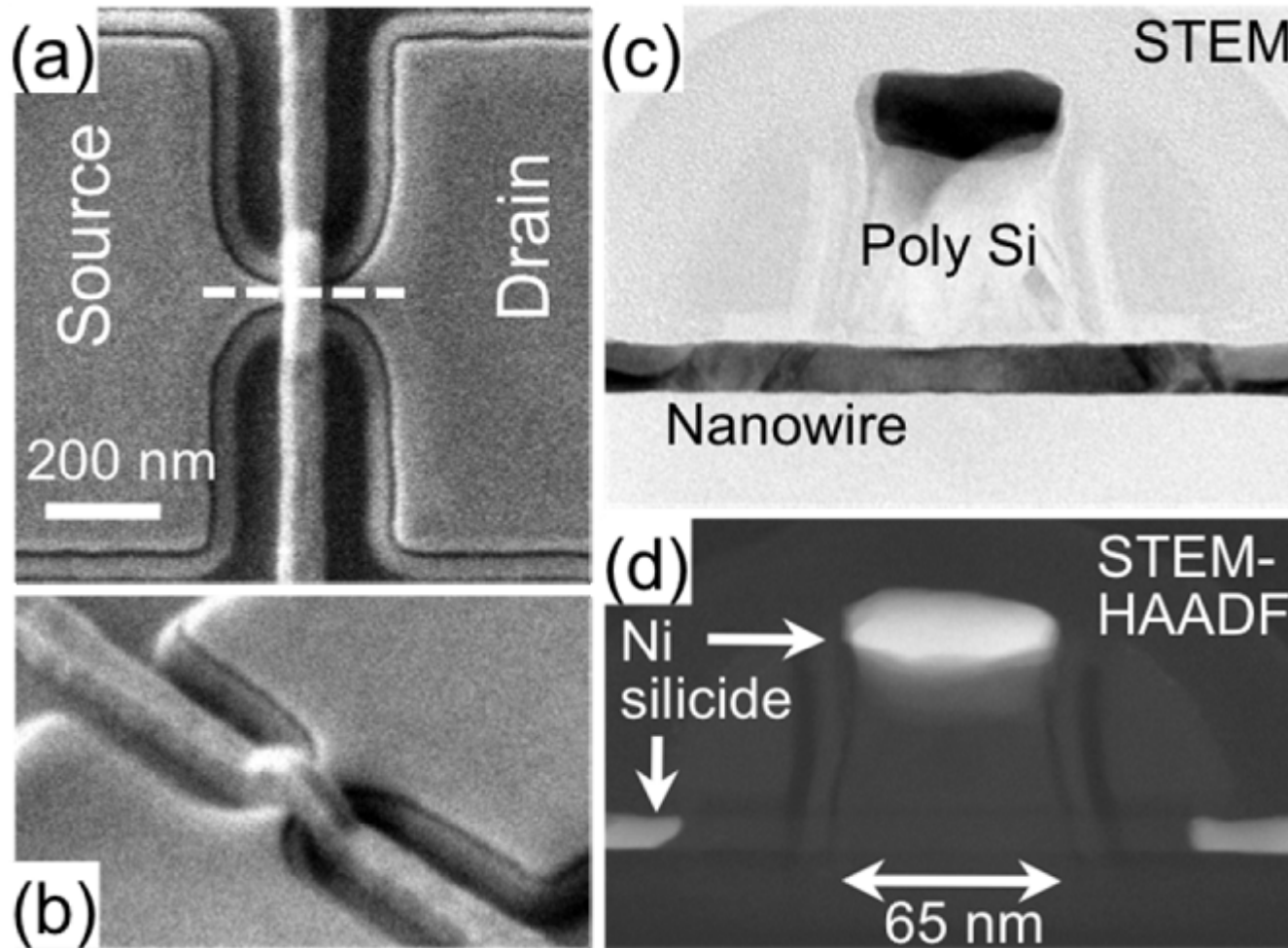
$$\begin{aligned}\sqrt{\frac{2}{m}(qEx + \varepsilon)} \frac{dF(x)}{dx} + \frac{B_0}{\sqrt{qEx + \varepsilon}} \{F(x) - G(x)\} + \frac{2D_0}{\sqrt{qEx + \varepsilon - \varepsilon^*}} F(x) &= 0 \\ -\sqrt{\frac{2}{m}(qEx + \varepsilon)} \frac{dG(x)}{dx} + \frac{B_0}{\sqrt{qEx + \varepsilon}} \{G(x) - F(x)\} + \frac{2D_0}{\sqrt{qEx + \varepsilon - \varepsilon^*}} G(x) &= 0\end{aligned}$$

物理パラメータ D_0 の光
学フォノンエネルギー緩
和時間に対応した値

ソースからドレインへの透過確率(エネルギー ε に対して)

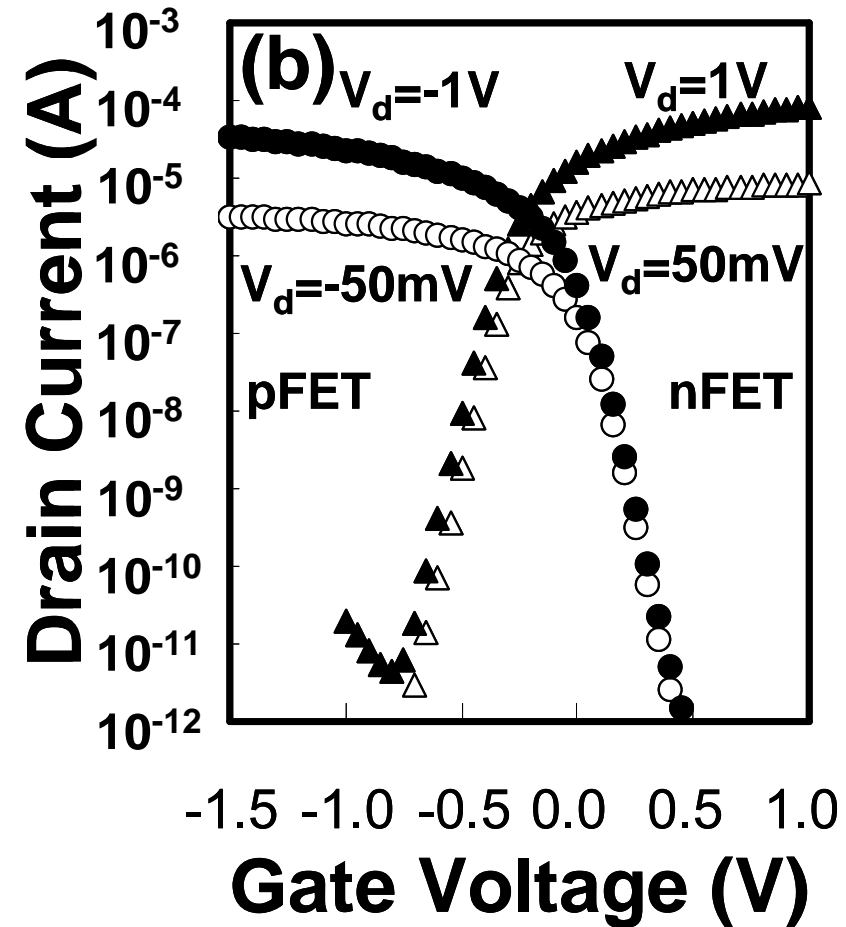
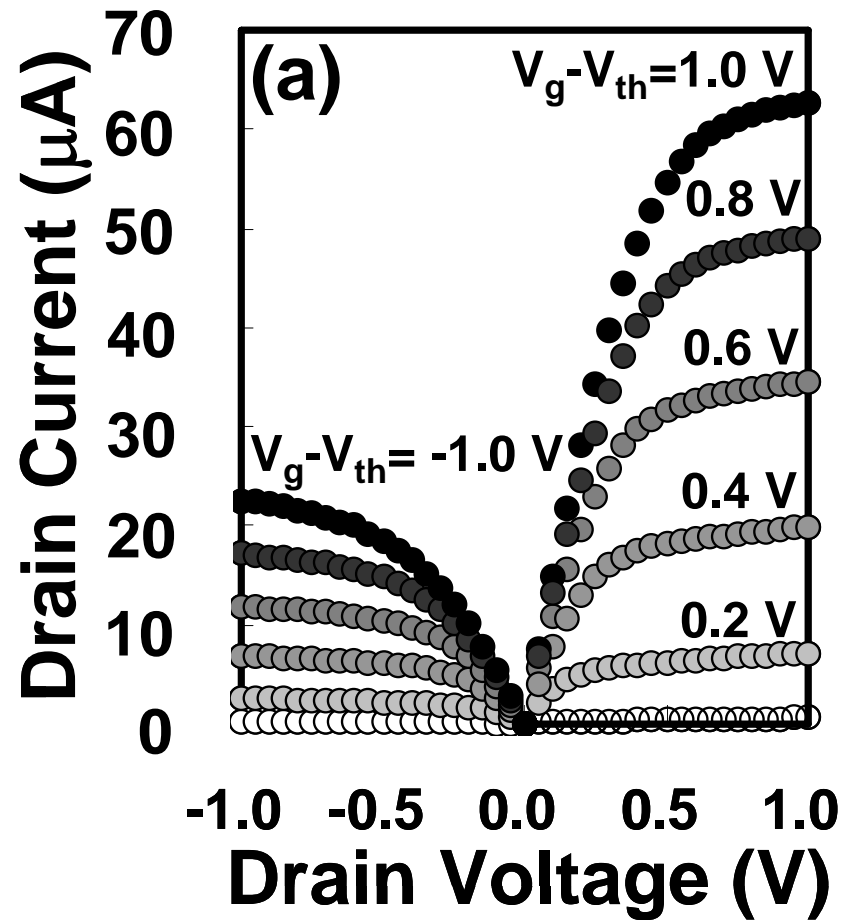
$$T(\varepsilon) = \frac{\sqrt{2D_0}qE}{\left(\sqrt{B_0 + D_0} + \sqrt{D_0}\right)qE + \sqrt{2mD_0}B_0 \ln\left(\frac{qEx_0 + \varepsilon}{\varepsilon}\right)}$$

作製したSiナノワイヤFETの写真



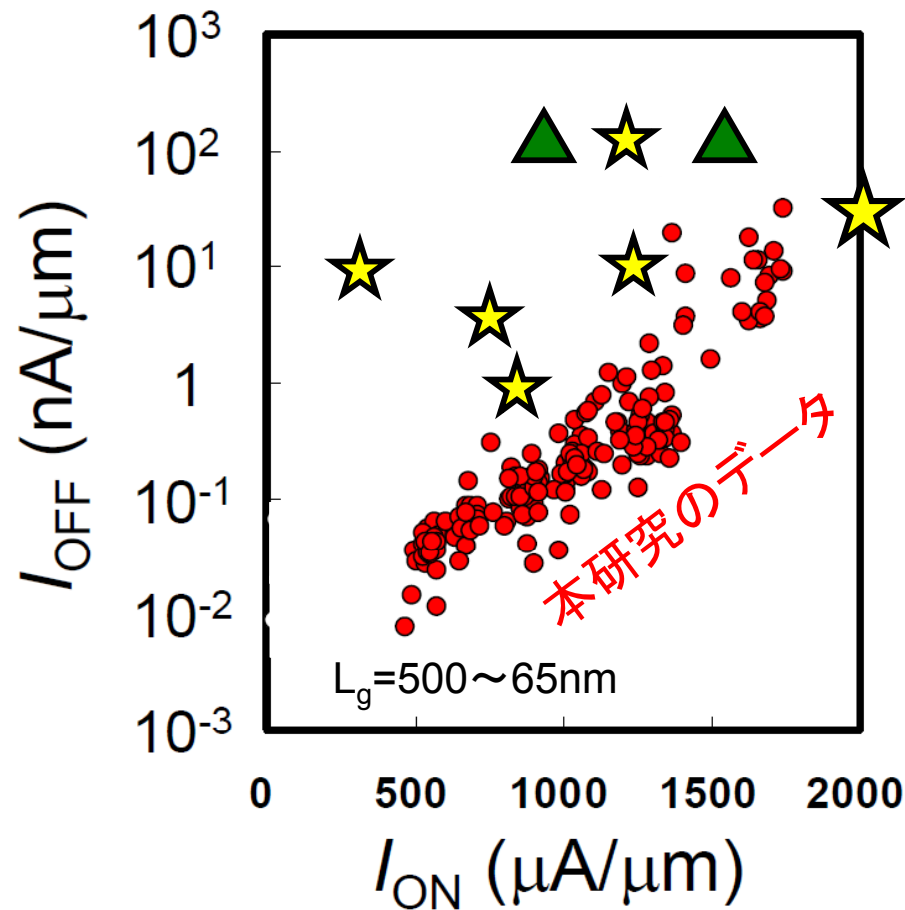
$L_g=65\text{nm}$, $T_{\text{ox}}=3\text{nm}$, poly-Si, Ni-silicide

作製したSiナノワイヤFETのトランジスタ特性



オン/オフ比 $> 10^6$ 、一本あたり60 μA のオン電流
ただし、 $L_g = 65\text{nm}$, $T_{ox} = 3\text{nm}$

作製したSiナノワイヤFETの I_{ON}/I_{OFF} 特性の他との比較



Planer FET ▲ 1.0~1.1V
 S. Kamiyama, IEDM 2009, p. 431
 P. Packan, IEDM 2009, p.659

SiナノワイヤFET ★ 1.2~1.3V
 Y. Jiang, VLSI 2008, p.34
 H.-S. Wong, VLSI 2009, p.92
 S. Bangsaruntip, IEDM 2009, p.297
 C. Dupre, IEDM 2008, p. 749
 S.D.Suk, IEDM 2005, p.735
 G.Bidel, VLSI 2009, p.240

プレーナFETに対して優位な I_{ON}/I_{OFF} 特性を得た
 さらに他のSiナノワイヤFETよりも優位な特性を達成

研究事例2：High-ゲートスタック技術

成果：

1. EOT=0.37nmと世界最薄のゲート絶縁膜を有するMOSFETの動作を確認
2. EOT=0.5nm以下の領域でもEOTを小さくすればドレイン電流が増加することを確認
3. 不可能またはメリットが無いとも思われていたEOT=0.5nm以下の領域へのゲート絶縁膜の薄膜化が可能でメリットがあることを実証

EOT：換算膜厚

Cool Earth-エネルギー革新技術 技術開発ロードマップにおける本研究開発の位置づけ

1. マイクロプロセッサ（Si集積回路）によって、あらゆる装置のエネルギー利用を精密に制御し省エネ化が可能

例：⑦高度道路交通システム

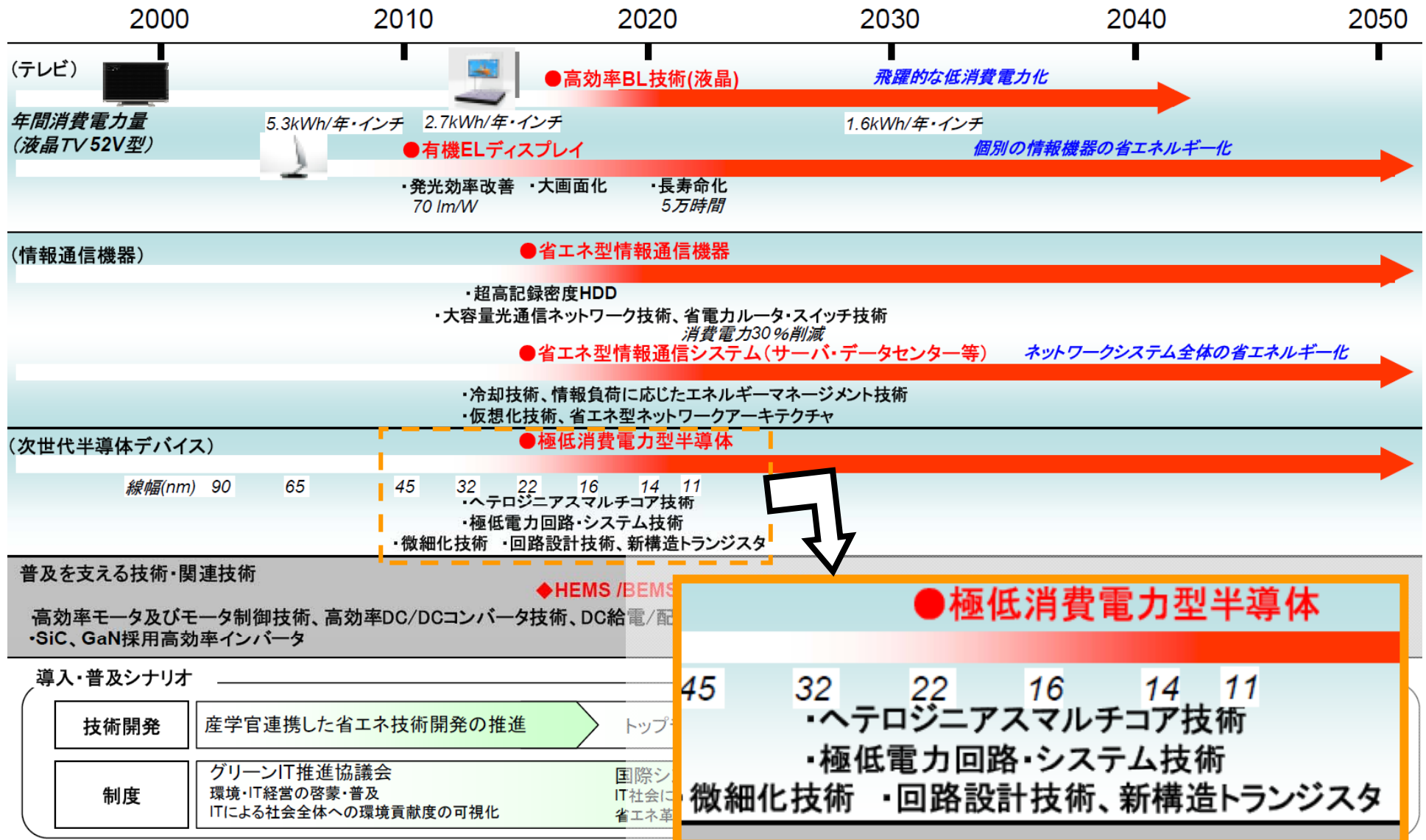
⑨プラグインハイブリッド自動車・電気自動車

⑬省エネ住宅・ビル

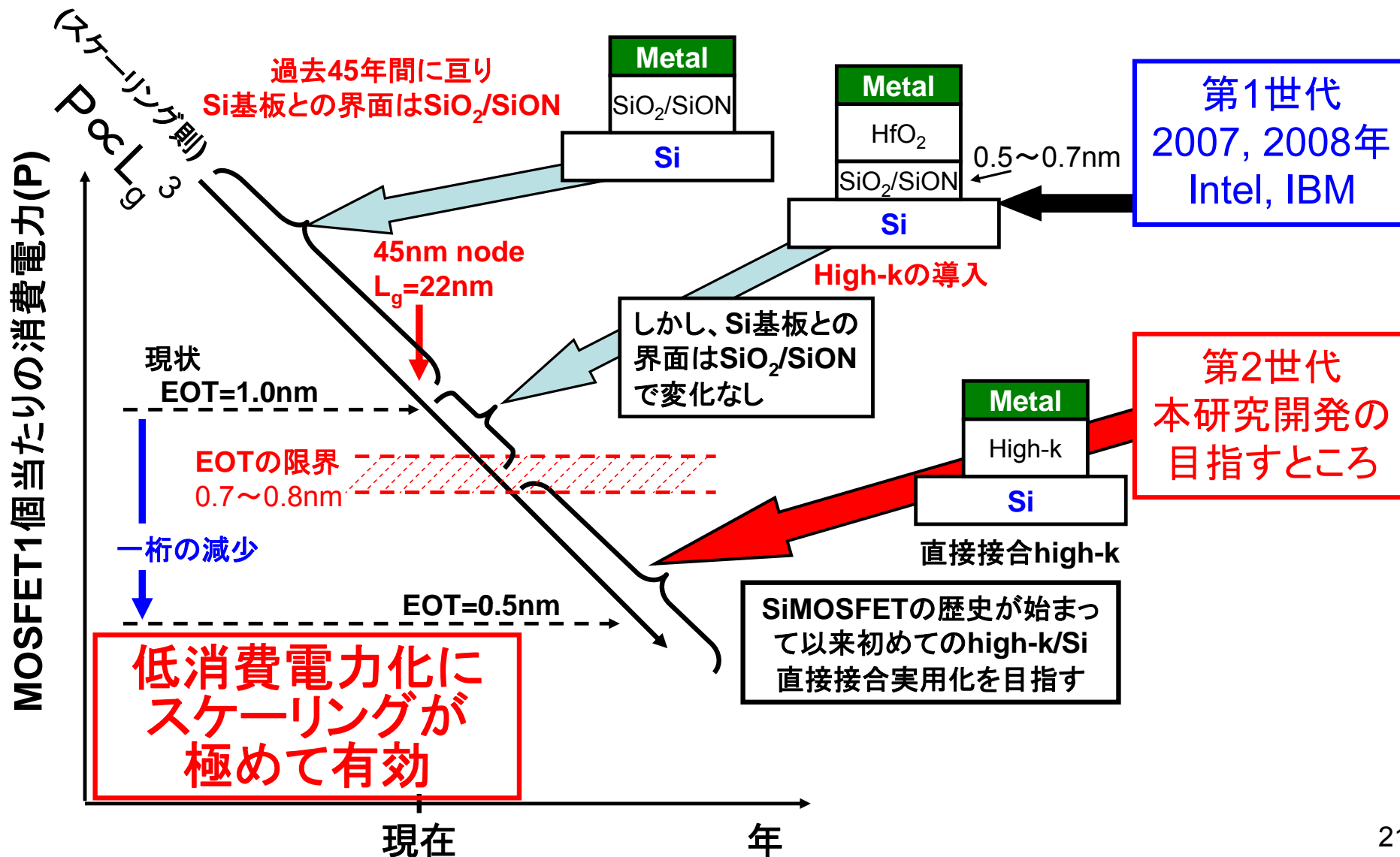
2. ネットワークシステム全体（サーバ、データセンタ、ルータなど）の低消費電力化、高性能化

例：⑰省エネ型情報機器・システム

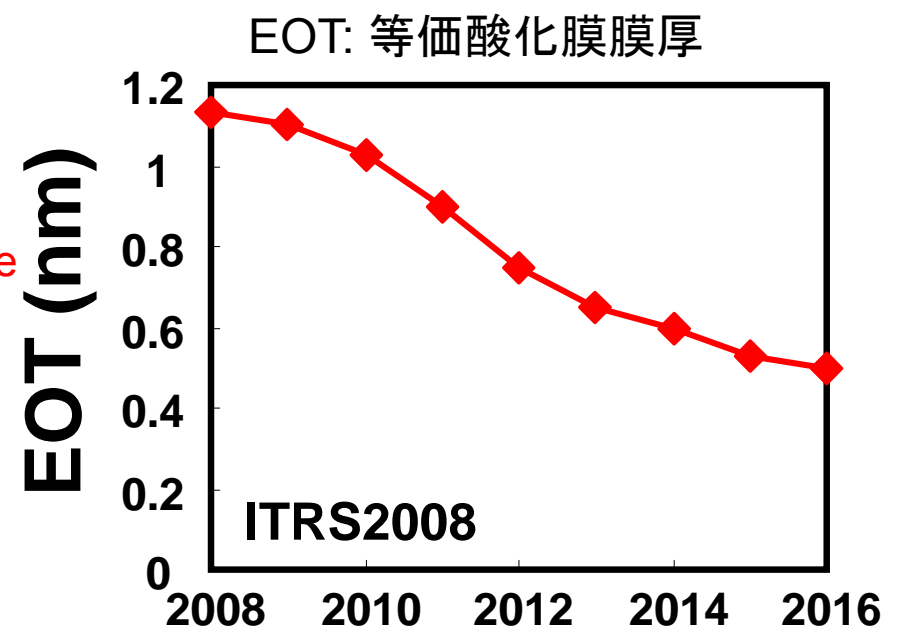
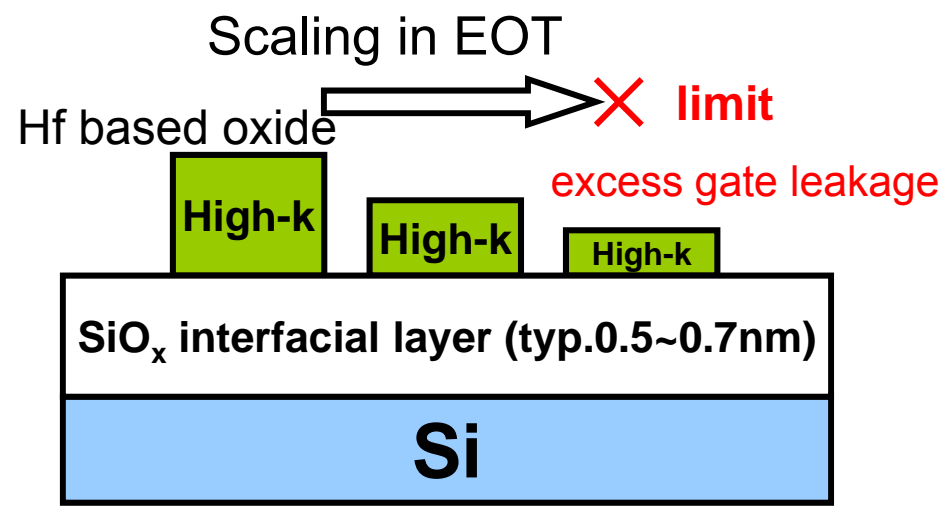
⑰省エネ型情報機器・システムの技術開発ロードマップ



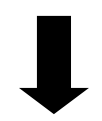
第2世代超薄膜ゲート絶縁膜による技術革新



高誘電率ゲート絶縁膜

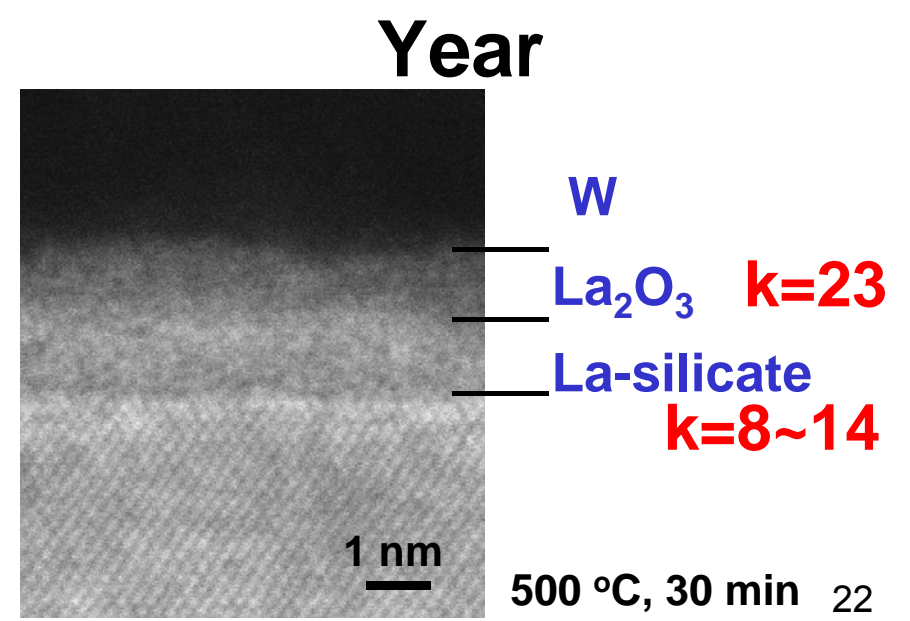


高性能化・低消費電力化には
EOT=0.5nmが必須



High-kとSiの**直接接合**が必要

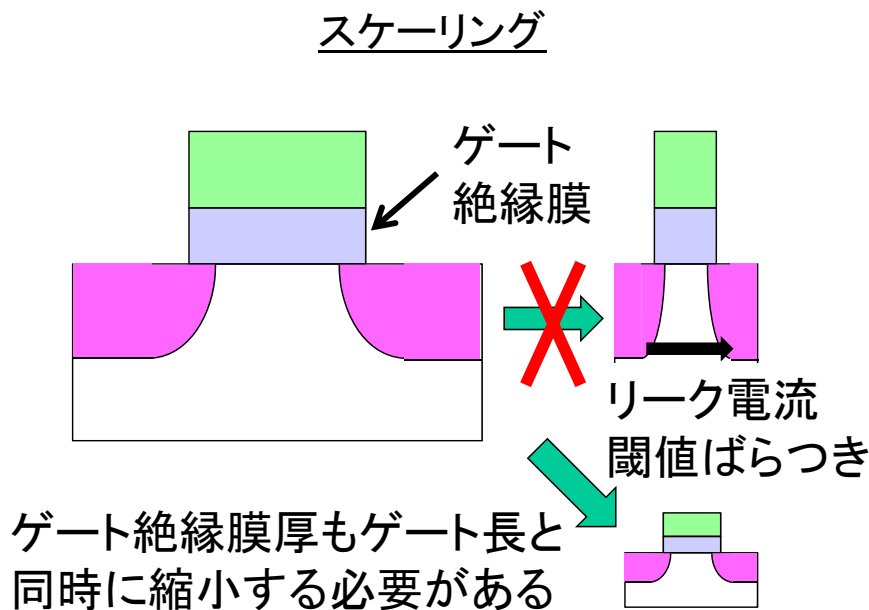
La₂O₃は特性の良い**直接接合**が可能



トランジスタの消費電力 = $CV^2/2 \propto D^3 (=L^3)$

C:キャパシタンス、V:電圧、D:サイズ、L:ゲート長

色々言われているが、実際はスケールリングに沿った微細化・低電圧化が消費電力削減の王道である。

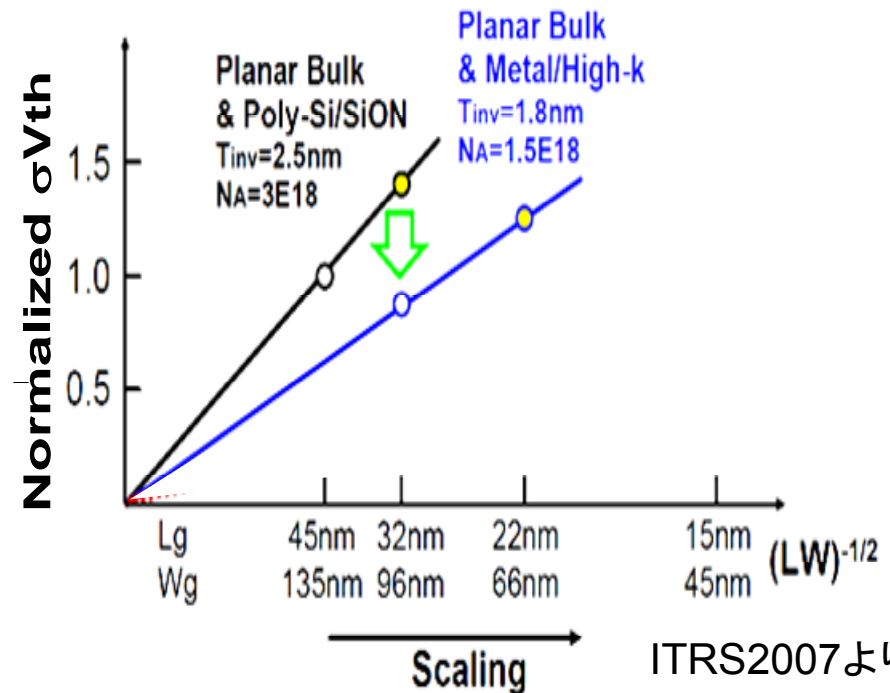


閾値電圧のばらつき

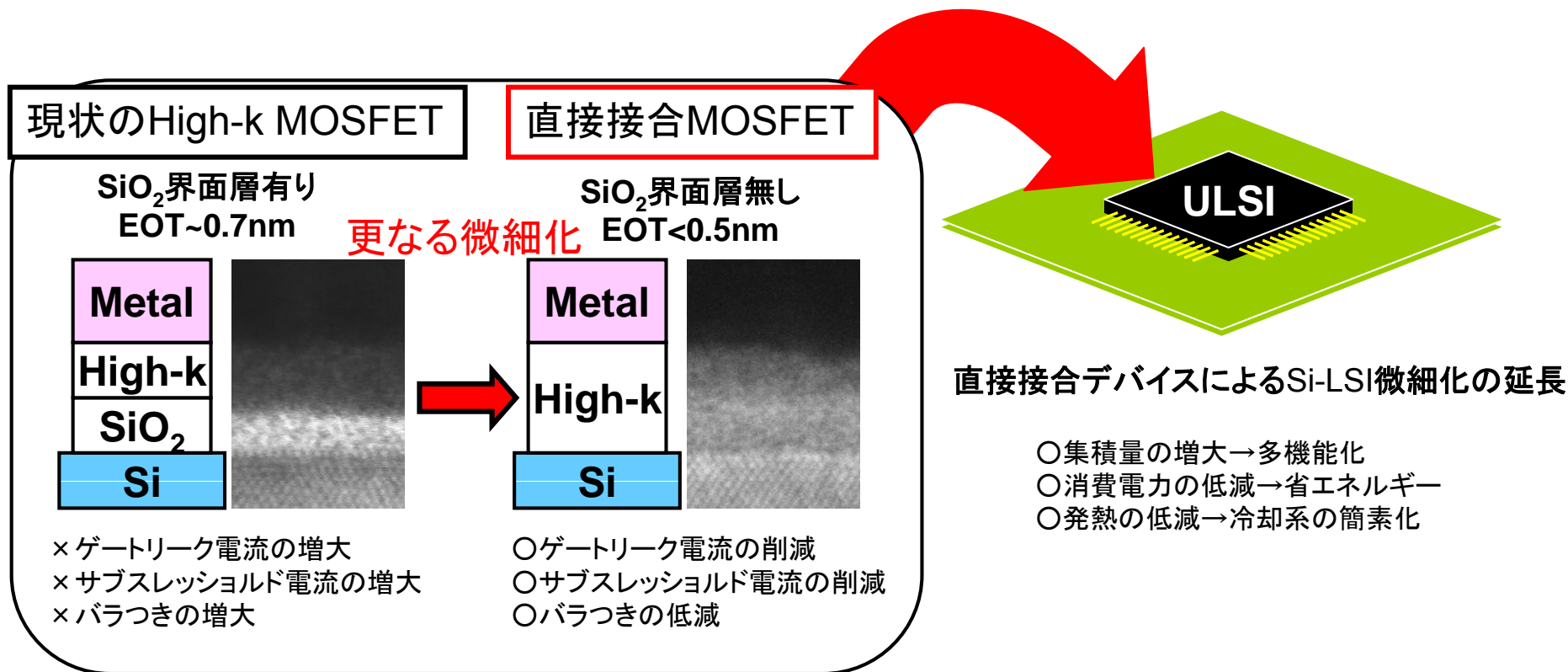
ゲート絶縁膜

厚いまま

薄くする

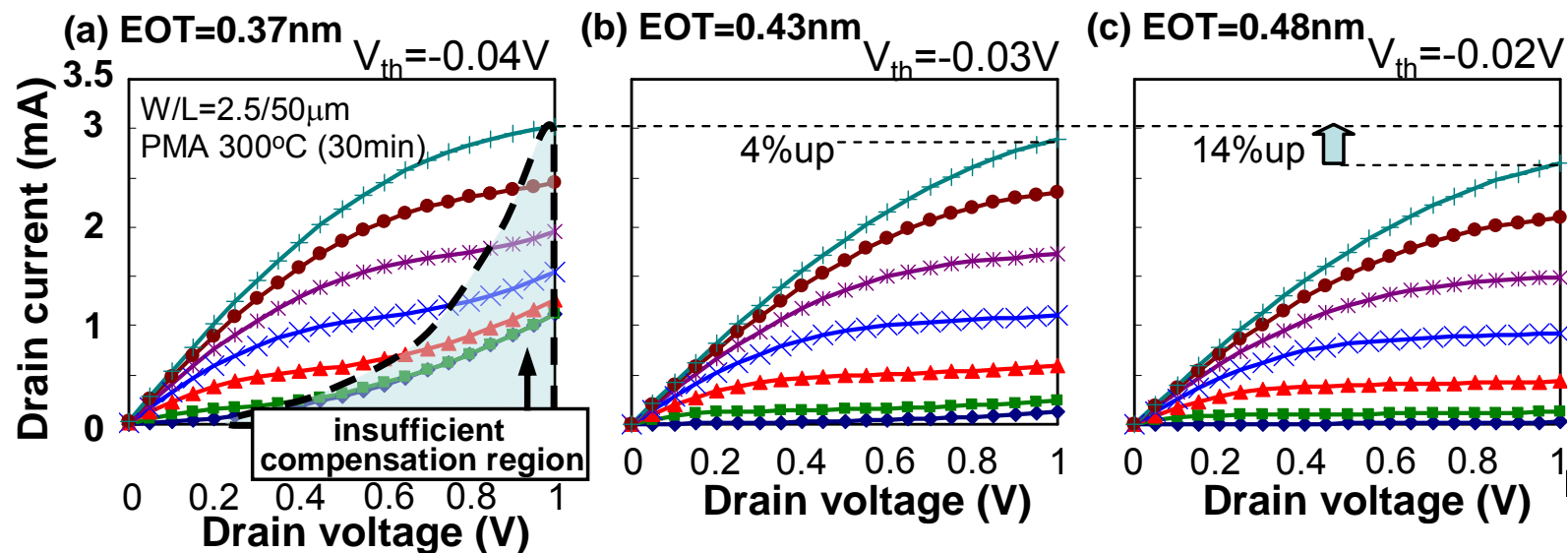


研究開発の目指すところ



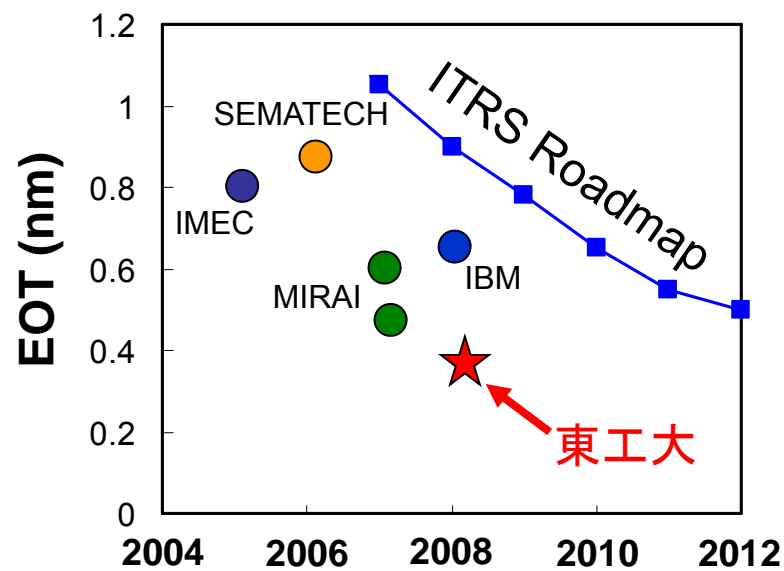
High-k/Si直接接合デバイスによる更なる微細化、省エネルギーの実現

EOT<0.5nmの優位性



EOT<0.4nmを達成

0.5nm以下のEOTで更なるスケールリングによる電流増加を確認



研究課題

