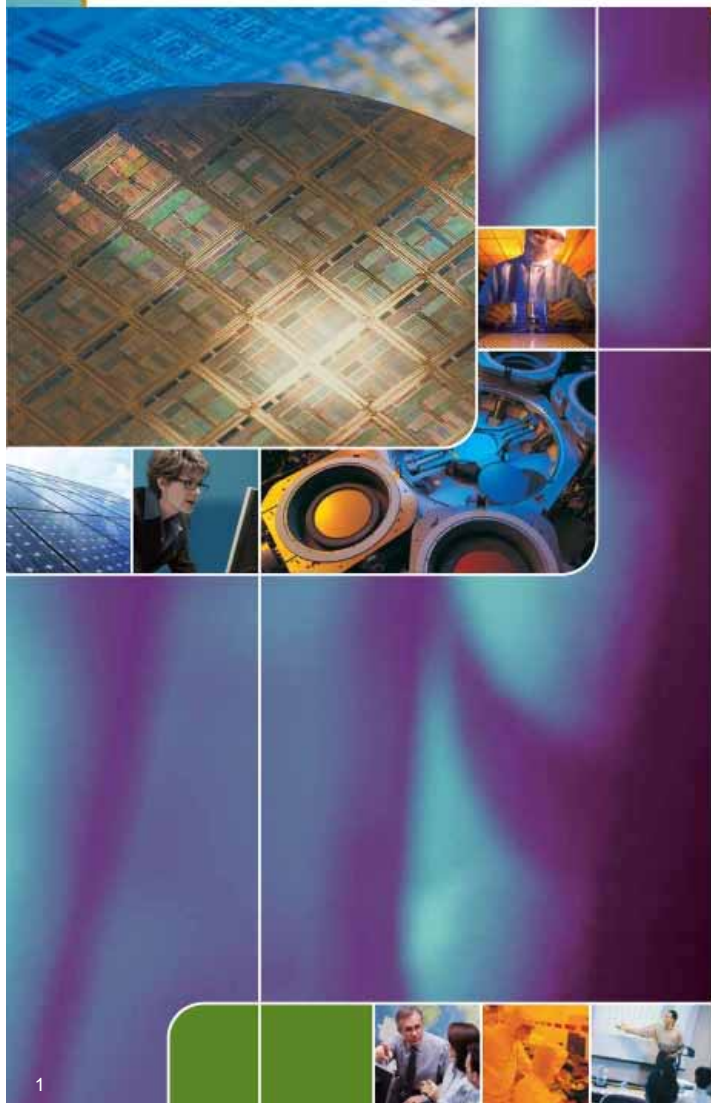


日本におけるCMOS微細化研究開発の重要性



岩井 洋
東京工業大学
フロンティア研究機構



本講演の内容

1. 始めに
2. 集積回路技術発展にとって重要な微細化
3. 微細化の行方
4. 微細デバイスの本命
5. CMOS技術開発で今後重要な研究領域
新材料: High-k, 新構造: Si-nanowire FET
6. 日本の今後の望ましい研究開発体制
7. オープンディスカッション

1. 始めに

改めて

日本の今後の大きな懸念を考える

- 日本に忍び寄る危機
 - － 莫大な財政赤字と累積国債残高
→ ギリシャの財政破綻の例から学べ！！
 - － 少子高齢化の急速な進行
 - － 産業の空洞化、技術開発の空洞化
中国などアジア諸国が世界の工場に
 - － 児童・学生の学力の低下・理科離れ
ゆとり教育の明らかな失敗
- 問題は、危機を解決するための、長期ビジョン・理念とそれを起案・遂行するリーダーシップの欠如にある
 - － 明治時代の殖産興業や昭和の戦後の経済復興、技術革新といった国民共通の掛詞を持たない

産業や技術開発の空洞化への大きな懸念 今後どうしていけば良いのか？

- 今更言うまでもないが、日本は天然資源に乏しく、明治以降加工貿易で発展してきた国である。勉学に勤しみ、勤勉に働いてこそ国民の生活レベルを維持していけるのであり、ゆとりと言ってゆっくりしている暇は無い筈
- 然しながら、今や中国を始めアジアの新興国に既に世界の工場の首位の地位を奪われてしまっているものが多い。電子産業は特に著しい。日本は頑張っているものの家電はもとより、液晶、集積回路(メモリ、ファンドリなど)がアジアへ
- 日本は高付加価値商品で勝負をと言うが、これでビジネスに勝てるかはともかく(日本のガラパゴス化！)、技術開発でアジアに勝てるのか自体も、最近問われ始めて来ている
- 科学技術の発展とそれに基づく産業振興は一国興隆にとって大変に重要である。18-20世紀にアジアが欧米の植民地化したのも、日本が黒船に降参して不平等条約を押し付けられたのも、科学技術の発展で大きな遅れを取り国力で敵わなかったのが原因
- 今後どのようにしていけば良いのか？

産業や技術開発の空洞化の懸念の中で エレクトロニクスの重要性を考える

- 電子産業の重要性
 - 全ての産業の重要な土台(自動車も電子制御が命)
 - 自動車と並び日本の2大外貨獲得産業
 - また日本人の雇用を確保する上でも重要である
- 集積回路技術、特にCMOS技術発展の重要性
 - 電子産業を支える主要部品技術としての発展
 - 人間のありとあらゆる活動を補助・制御する技術としての発展
今後の社会の省エネ化、安全・安心化にとって極めて重要
 - 新技術・技術革新の源としての発展
ロボットも、携帯電話も、CTスキャンも、3次元デジタルTVも、クラウドも
CMOS技術の発展により可能となった
- 今後、集積回路技術開発をどのようにやっていくのかは日本の将来にとって重要な施策の一つ

本講演の主題

- エレクトロニクスは日本の産業や技術革新を支える技術であるが、そのエレクトロニクスを支える最も重要な技術の一つである集積回路技術、特にCMOS技術の研究開発の今後のあり方に関して考察することを目的とする

2. 集積回路技術発展に とって重要な微細化

集積回路技術(CMOS技術)発展にとって重要なトランジスタの微細化

改めてその意義を認識

素子(トランジスタ)の微細化 → 以下の1、2のメリット

1. キャパシタンス減少 → 回路の高速化

2. 高集積化 → 消費電力減少

→ 多機能化 → 回路の高速化
並列処理



・集積回路の高性能化に一石二鳥の効果

・機能、速度あたりのコスト、電力削減に大いに寄与

素子(真空管・トランジスタ)の微細化 (100年間で100万分の1に！)

1900	1950	1960	1970	2000
真空管	トランジスタ	IC	LSI	ULSI
10 cm	cm	mm	10 μ m	100 nm
10^{-1} m	微細化	100万分の1		10^{-7} m

石器時代から数十万年の間に亘り人類は様々な道具(デバイス)を発明して来たが、100年の間にそのサイズが100万分の1になったのは史上初で驚異的な技術の開発である。

	1970年	2000年	2010年
M P Uクロック周波数	75kHz (10^5 Hz)	1GHz (10^9 Hz)	
メモリビット数	1k bit (10^3 bit)		32Gbit (10^{10} bit) = 何と320億bit

3. 微細化の行方

微細化はどこまで続くか？メモリに使う線幅は10nm以下まで予想

2009 ITRS Technology Trend: 1/2pitch for memory

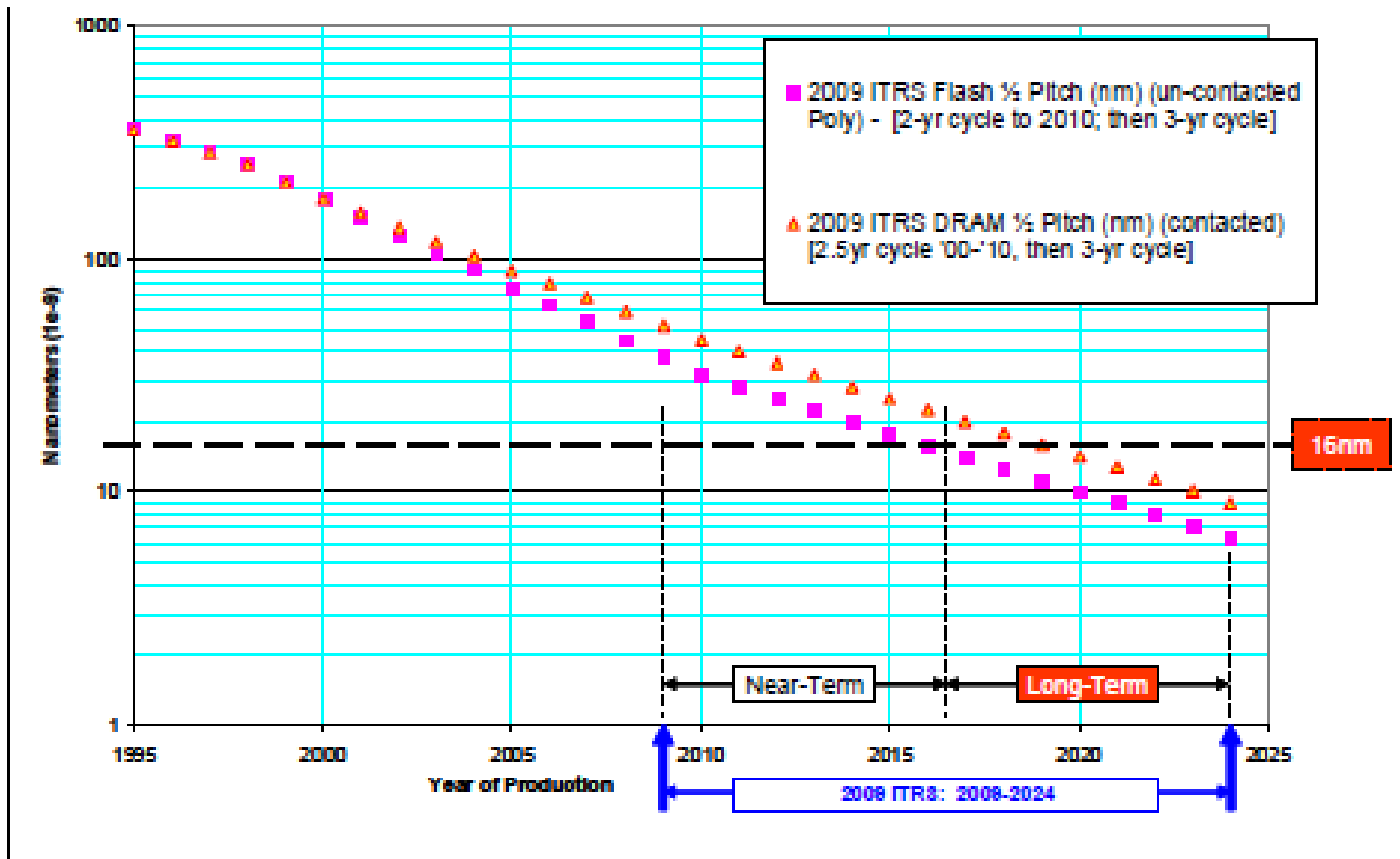


Figure 8a 2009 ITRS—DRAM and Flash Memory Half Pitch Trends

MPUトランジスタのゲート長も10nm以下まで予想

2009 ITRS Technology Trend: MPU gate length

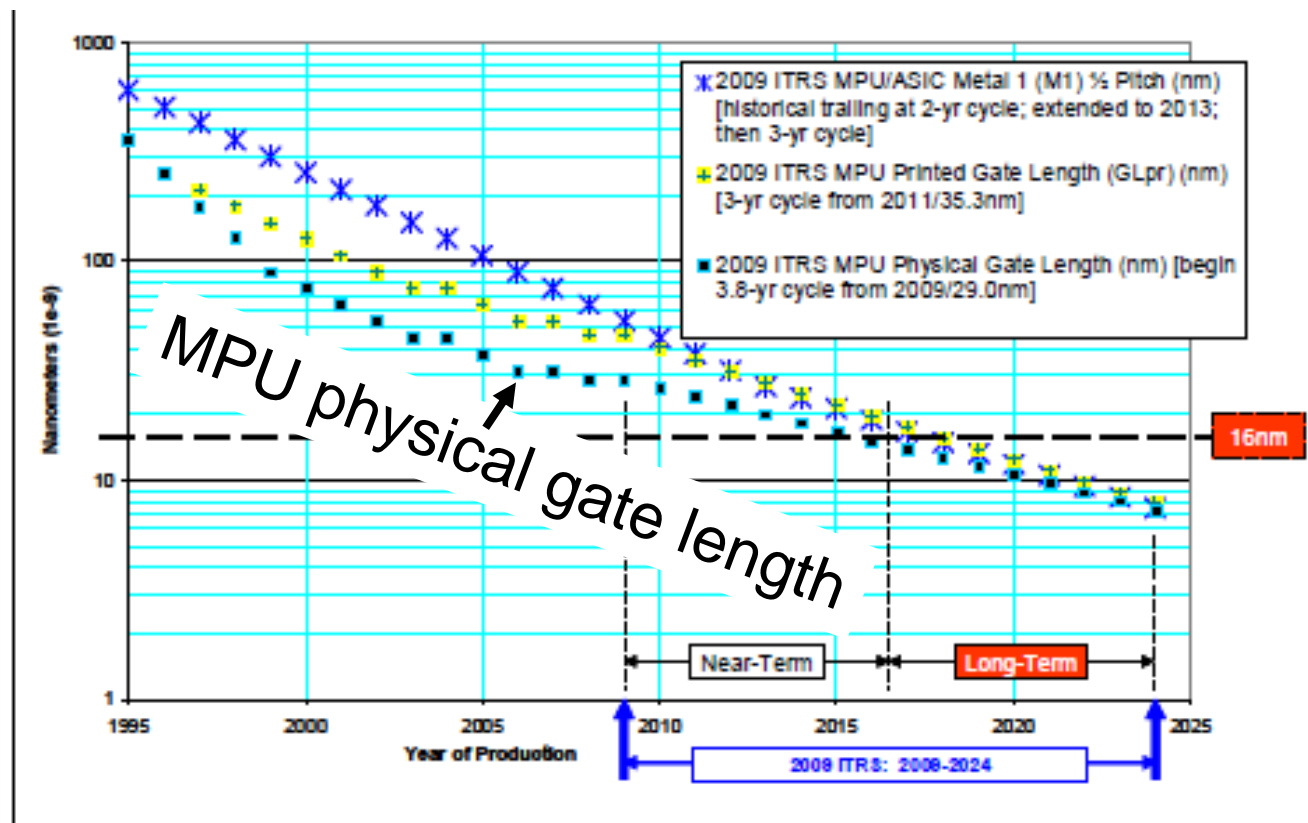


Figure 8b 2009 ITRS—MPU/high-performance ASIC Half Pitch and Gate Length Trends ITRS

微細化の世代はどこまで??

過去

ほぼ3年で0.7倍に縮小 ほぼ40年間で15世代,
寸法は1/200, 面積は1/40,000に

1973年 (* 1973年は講演者が
東芝に入社した年でもある)

↓
8 μ m → 6 μ m → 4 μ m → 3 μ m → 2 μ m → 1.2 μ m → 0.8 μ m → 0.5 μ m
→ 0.35 μ m → 0.25 μ m → 180nm → 130nm → 90nm → 65nm → 45nm

現在

将来

どこまで行くか?

→ 32nm → 22nm → 16nm → 11.5 nm → 8nm → 5.5nm?

- ・あと5,6世代、今後20年程度は微細化が進行するであろう
- ・1世代の間隔が長くなっても、基本的には微細化により、高性能・低消費電力が達成されるので、微細化した製品にメリット
- ・逆に言えば、高性能・低消費電力が達成されるように微細化を行う必要

4. 微細デバイスの本命

微細デバイスの本命はなにか？

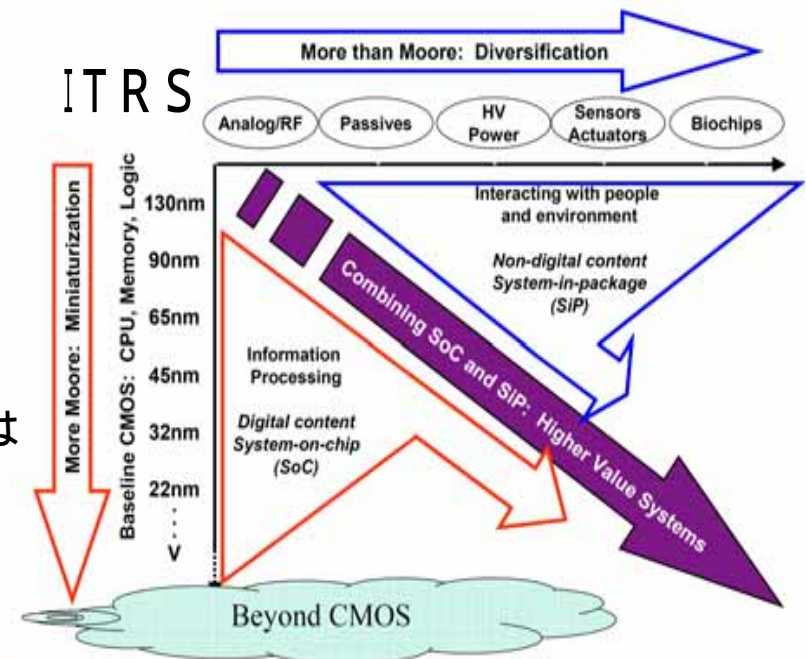
長い間2つの意見1、2が対立

1. Post SiliconやBeyond CMOS等の新デバイスがCMOSを置き換える

21世紀にはCNT (Carbon Nanotube Transistor)などのPost SiデバイスやSET (Single Electron Transistor), RTD (Resonance Tunneling Diode)などのBeyond CMOSデバイスがSi CMOSデバイスを置き換えるという宣伝が盛んになされて来た

2. 一方、Si CMOSが微細化限界到達の最後まで生き残ると言う意見も根強くあった

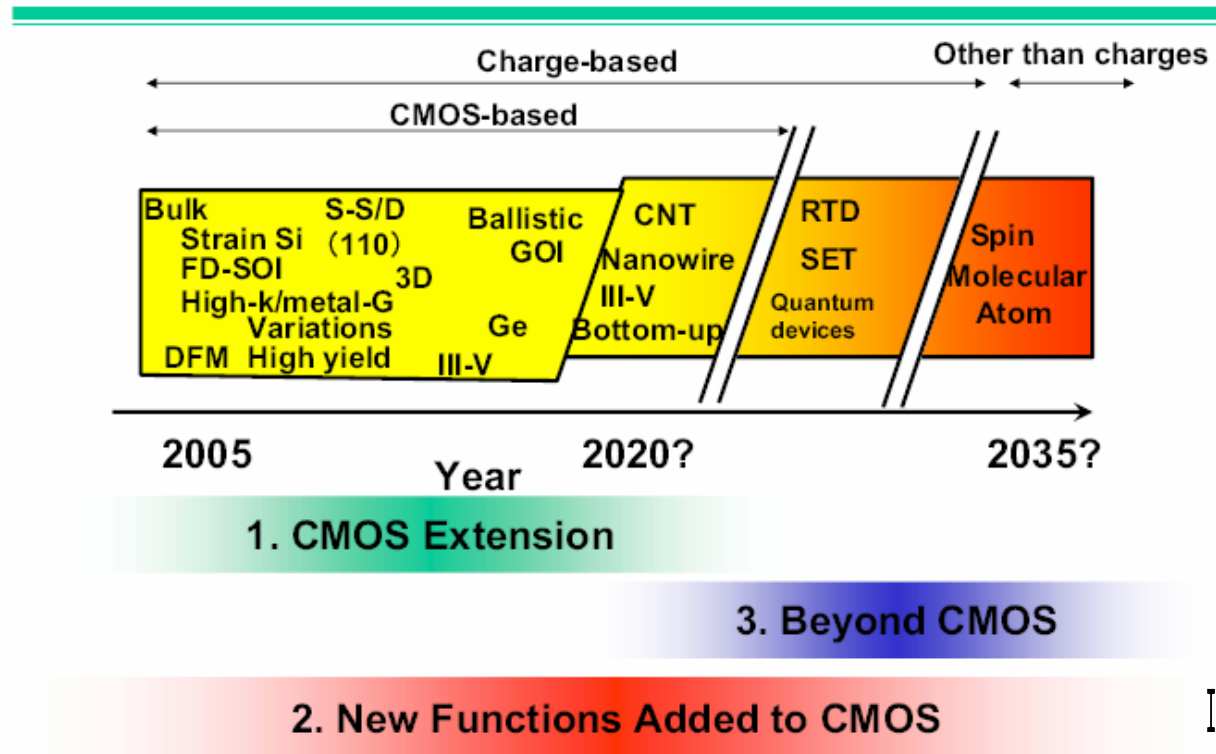
ITRSにある右図では22nm以降は不確かであるうちBeyond CMOSの雲の中に突入



数年前までのITRSの見解 Beyond CMOSに置き換わる？

数年前まではITRSでも2020年にはCMOSがBeyond CMOSに完全に置き換わるという見解であった

Three Stages in Silicon Nanoelectronics

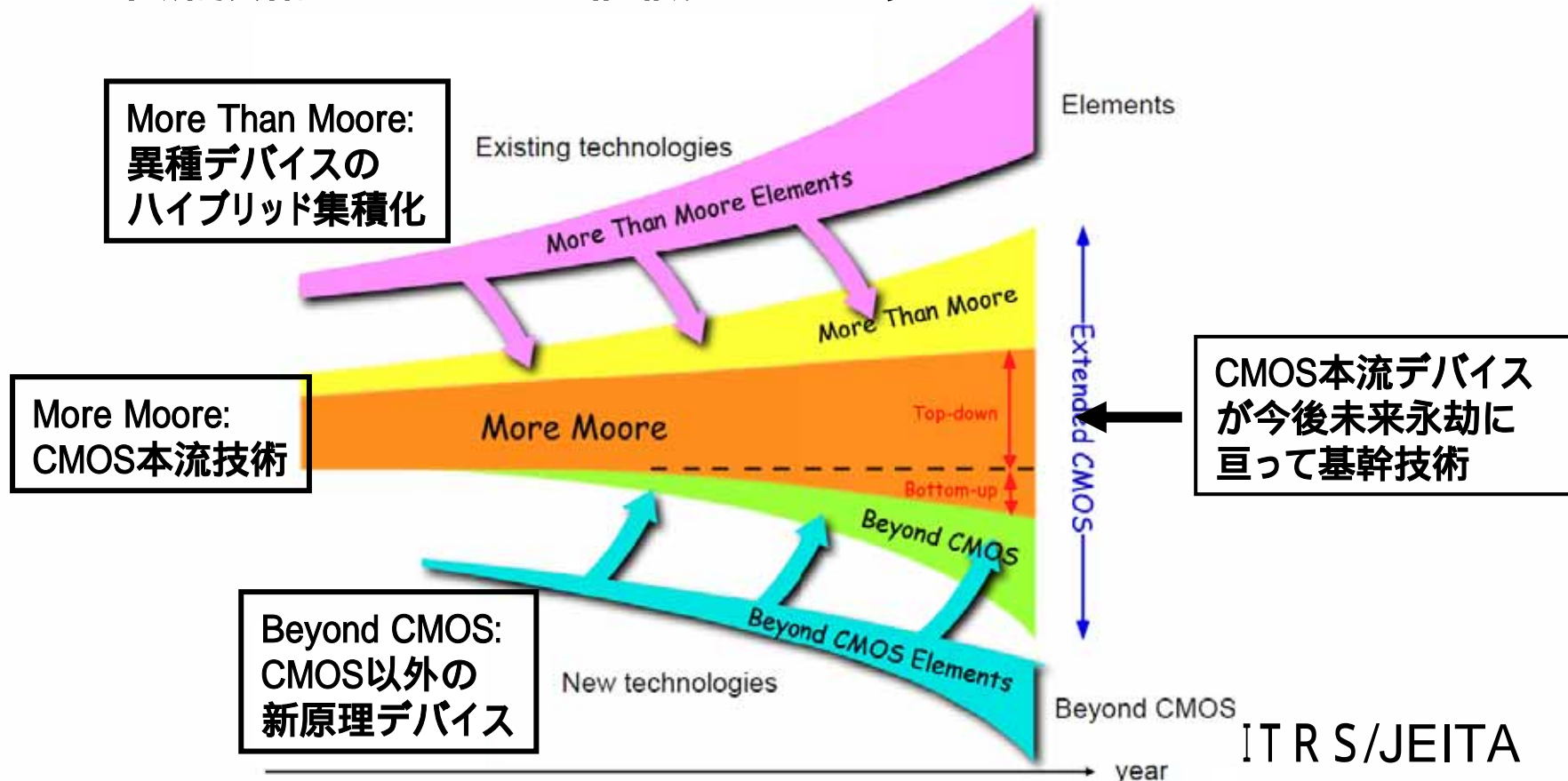


ITRS/JEITA

現在のITRSの見解

CMOSが本命基幹技術！

最近になってITRSでも本命はBeyond CMOSではなく、CMOSデバイスの本流技術であることが認識されるようになった



(Si)-CMOS本流(Mainstream)技術 が基幹技術として本命の理由

- ・ブール代数を基本としたロジック演算にCMOS回路ほど適したものは見当たらない: 低消費電力、ノイズマージンで特にCMOS回路は優れている
- ・常温での性能・消費電力・ノイズマージンや大規模集積化でBeyond CMOSデバイスが将来の微細化したCMOS本流技術に勝てるというサクセスストーリーが描けて来ない

5. CMOS技術開発で 今後重要な研究領域

今後のCMOS本流技術開発にとって重要なこと

狼少年の感があるが、過去には何度も尤もらしいCMOS微細化限界説が唱えられ、CMOS微細化研究の意義が問われることがあった

例: トンネル電流が流れるのでゲート絶縁膜は3nm以下にできない
長期絶縁膜破壊(TDDDB)信頼性保証の為、ゲート絶縁膜は2nm以下にできない
チャンネル不純物(ドーパント)のバラつきが大きくなるのでゲート長は微細化不能
配線のCとRが小さくならないので、トランジスタを微細化しても無意味
発熱が増大するので、これ以上の微細化は無理
微細化のコストが高く、ペイしない

→ 実際はこのような限界はなく、インテル、サムソン、TSMC、東芝など微細化を
推し進めることによりビジネスを成功に導いてきた

今後も素子特性のばらつき増大、信頼性の劣化などを限界に唱える向きがあるが、
それを使うシステムのレベルでの解も有効な解決策となる

CMOS微細化限界説を鵜呑みして慌てることなく、長期目標に向かい
じっくり腰を据えて解決策を考えそれを試していくことが重要

研究開発は楽観的に！諦めずに解を考え抜き試す

今後のCMOS本流技術の重要技術

リソやバックエンドも重要であるが、講演者の専門ではないので今回はフロントエンドの範囲に話を絞らせていただく

微細化にとって最も重要なことは短チャネル効果の抑制、オフリーク電流の抑制である。オン電流を大きくすることは簡単であるが、オフ電流を抑えるのは困難なタスク

この為の2つの方向

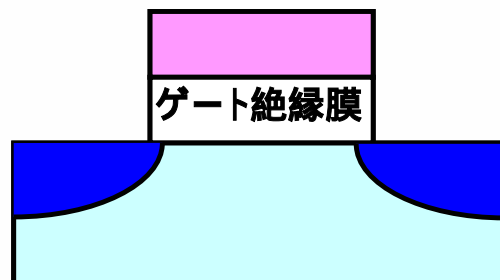
1. 従来のプレーナ構造でスケーリングを徹底させるために、様々な新材料検討を徹底的に行う
 - High-k/Metal gate stack, Silicide (Metal) S/D
2. オフ電流抑制の為の新構造トランジスタの導入を行う
 - Fin-FET(Multi-gate) → Si Nanowire FET

High-k研究継続の重要性

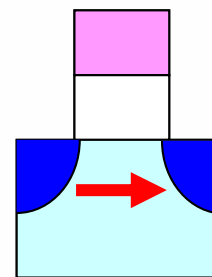
2008年にインテルがHigh-kゲート絶縁膜の製品への導入を行ってから、日本では昨年12月でSeleteがクリーンルームを閉じ、日本ではHigh-kゲート絶縁膜は使命を終えたかの感があるが、これからがHigh-kの本当の勝負であり、難しい技術への挑戦の腕の見せ所である。

→ 日本でもPJが必要

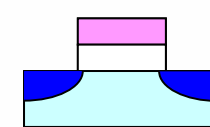
当然ではあるが



ゲート絶縁膜を薄膜化しない
スケーリング



ゲート絶縁膜を薄膜化する
スケーリング

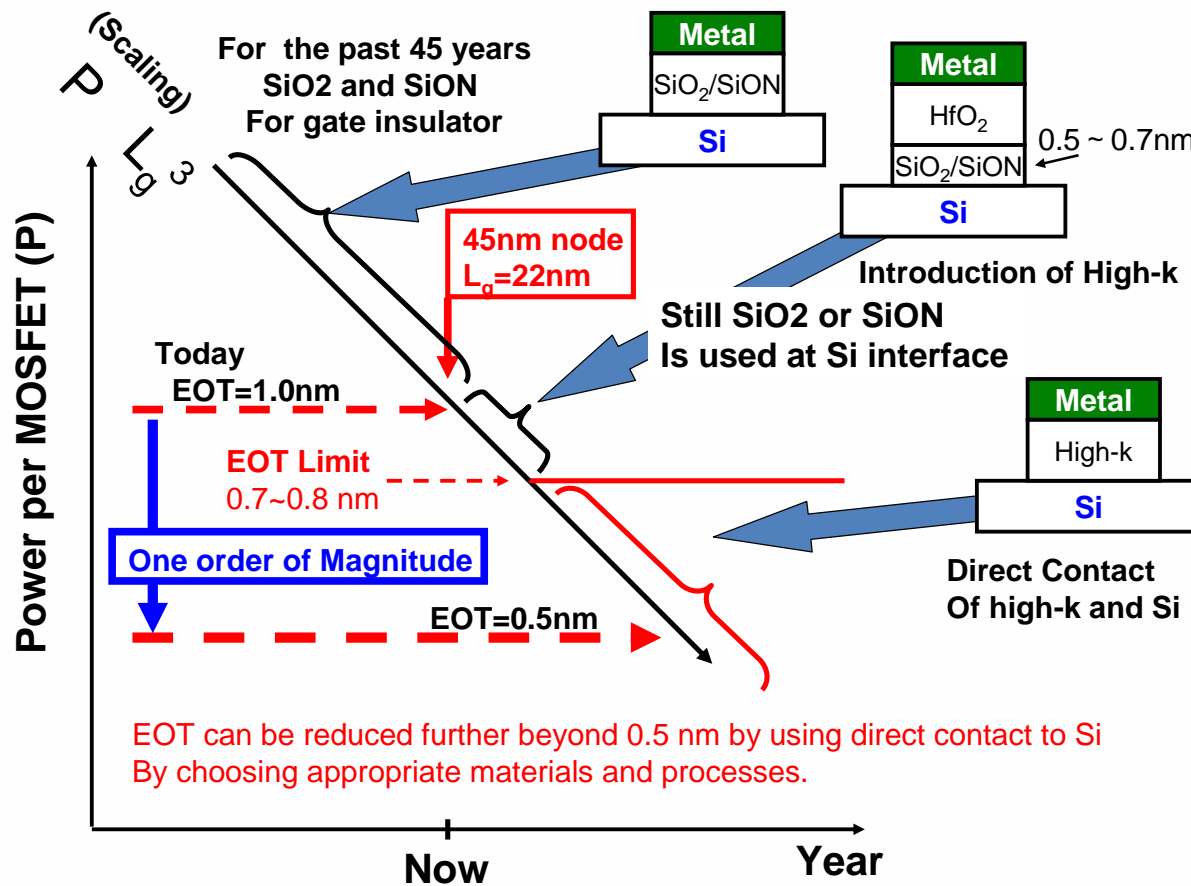


ゲートバイアスによるチャネル電位の制御性が悪化

問題解決

- 短チャネル効果増大
- 閾値電圧のばらつき
- オフリーク電流の増大

第2世代High-k技術： 真のHigh-k技術 High-kとSi基板の直接接合



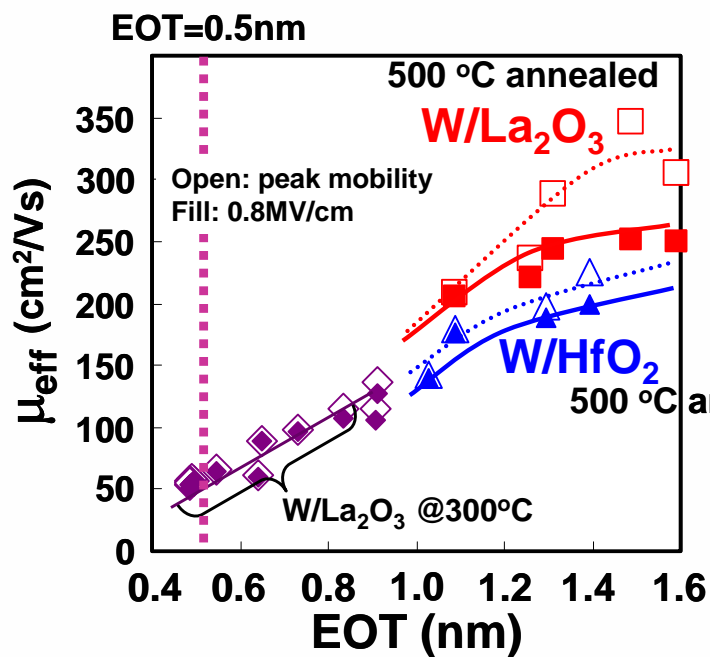
今までは
Si基板とHigh-k膜
の間にSiO₂層間膜

↓
これでは実効膜厚
を0.7nm以下にする
のは困難

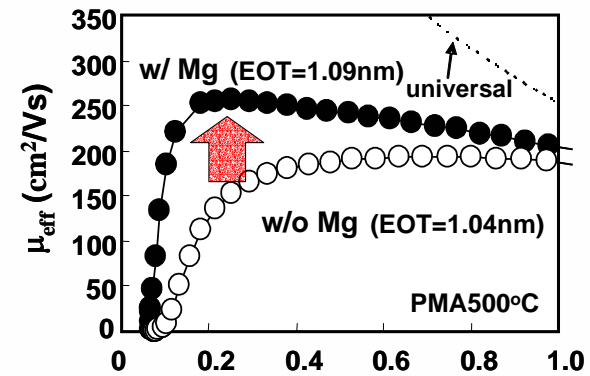
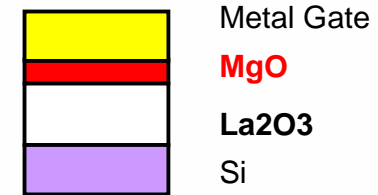
これからは
Si基板とHigh-k膜
の直接接合

High-k薄膜化への挑戦

薄膜化に伴う移動度の劣化



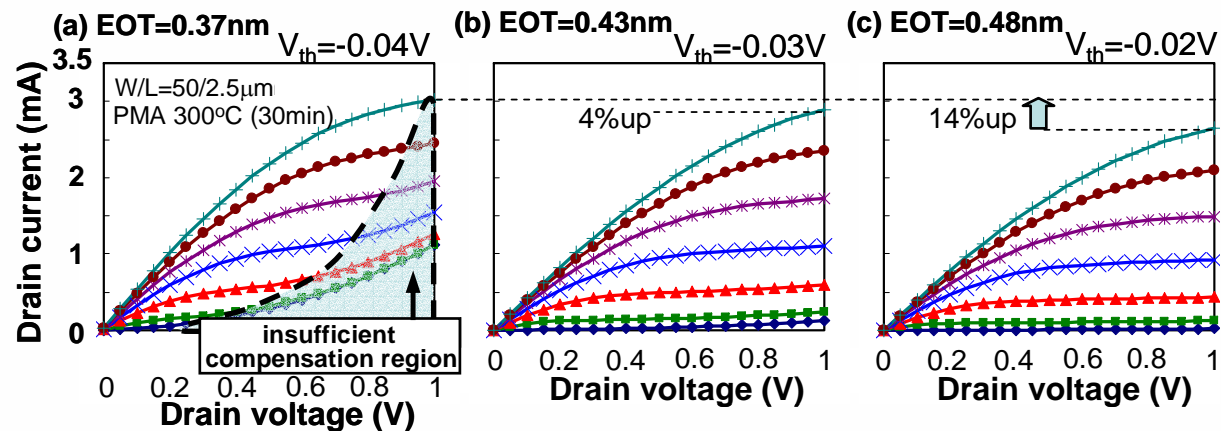
アルカリ土類金属の導入による解決



EOT=0.3nm代への挑戦

希土類系のHigh-kでEOT=0.37nmを達成

EOT<0.5nm with Gain in Drive Current



14% of I_d increase is observed even at saturation region

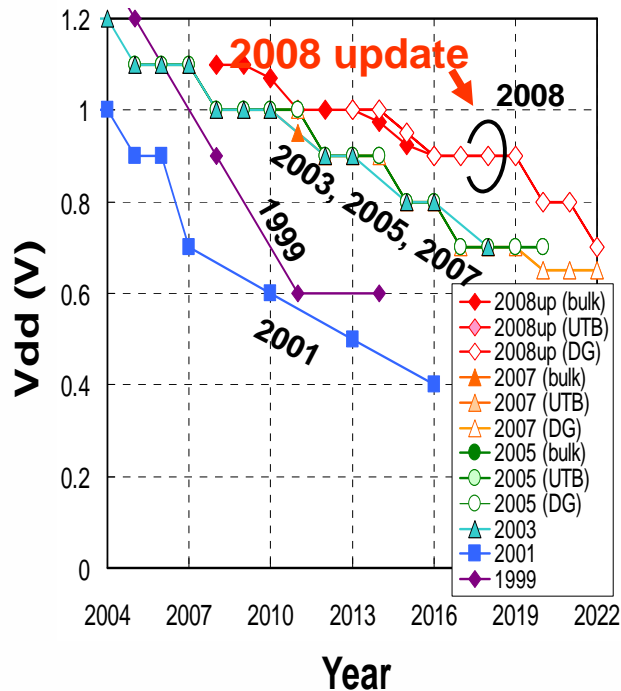


EOT below 0.4nm is still useful for scaling

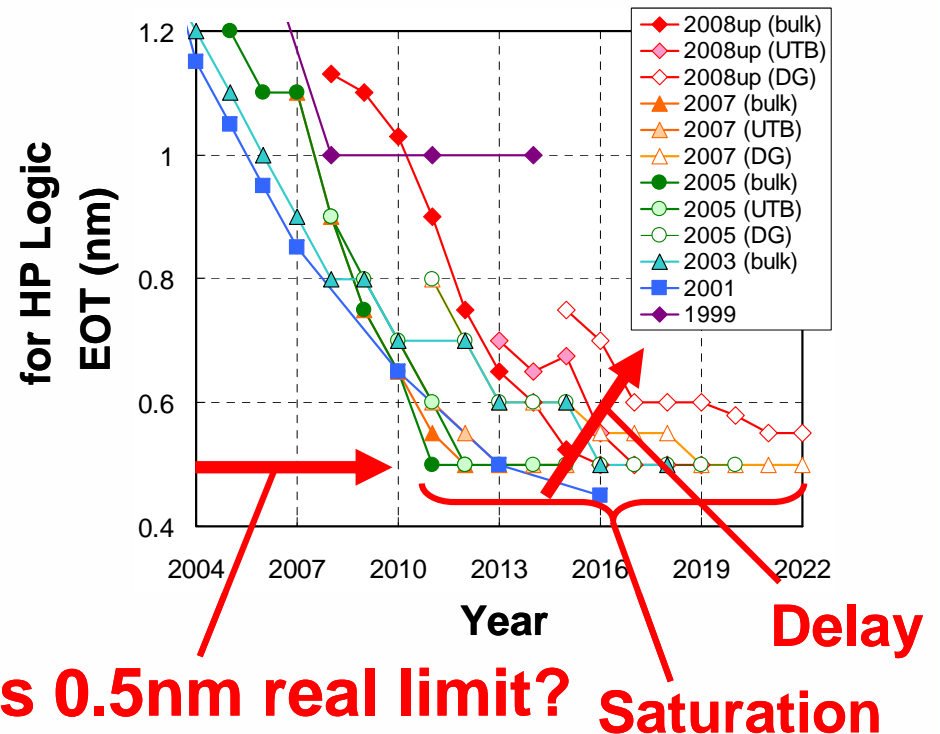
また、EOT=0.5nm化、更にそれ以下に薄膜化する
 ことで、電源電圧のスケールリングが可能になる

以下をブレークスルー

ITRS V_{dd}の高留り



ITRS EOT薄膜化停止



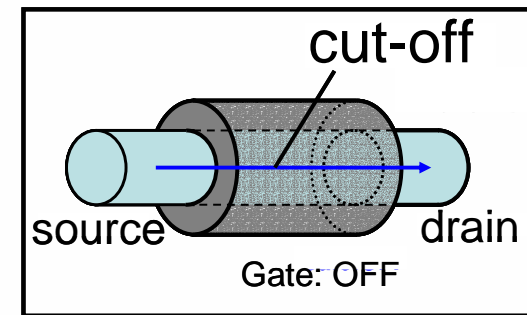
Is 0.5nm real limit? Saturation

Si nanowire FET開発の重要性

1. 既存のCMOSプロセスとの整合性
シリコンであるからこそ

2. オフリーク電流の抑制
ゲートアラウンド構造であるからこそ

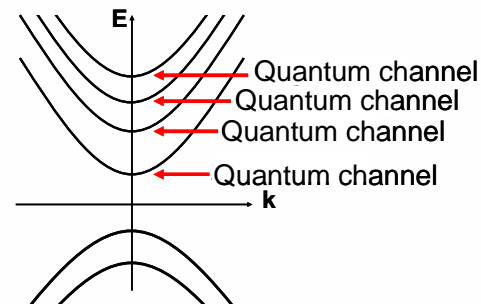
3. 高いオン電流
ナノワイヤの物理に基づく



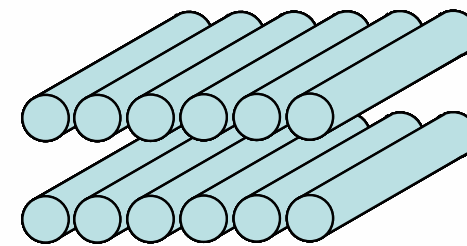
1D バイスティック
伝導



マルチ量子チャネル



高集積化が可能



2030年の本命デバイスとしての Si nanowire FET

2009年10月13,14開催のG-COE PICE Int,Symp: Silicon Nano Devices in 2030:
Prospects by World's Leading Scientists

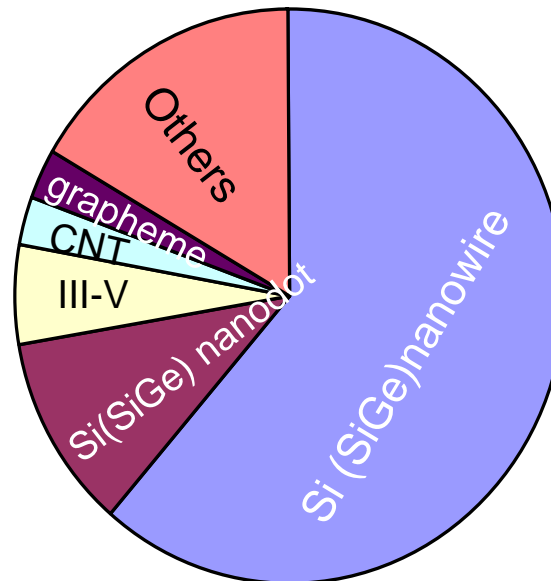
Panel Discussion : Silicon nano-devices in 2030

Q3. What will be the main stream logic device in 2030 and what is the reason for?

Si (SiGe)nanowire,
Si(SiGe) nanodot,
CNT, grapheme,
III-V, others?

Others:

- FinFET,
- planar Si MOSFET,
- CMOS with performance boosters,
- Strained Si for nFETs,
- Strained SiGe (Ge-rich) for pFETs.



2030年代の本命デバイスとして過半数がSi-nanowire FET

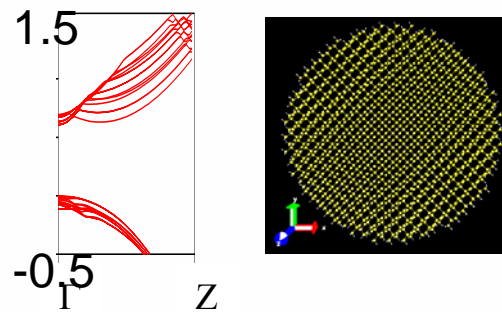
Si nanowire FET開発の課題

- ・良好なオフ電流制御、高いオン電流が得られるかの実証
- ・ナノワイヤ伝導物理現象の解明
- ・回路設計の為のナノワイヤFETのコンパクトモデルの作成
- ・ナノワイヤ最適径、最適断面形状の解明
- ・ナノワイヤ界面準位の抑制
- ・ソース・ドレイン 特にシリサイドソース・ドレインプロセスの最適化
- ・その他、ばらつき制御など

この内いくつかは既に良好な結果が得られている

Si nanowire FET開発途中結果

ワイヤの電子状態の解析



コンパクトモデル化

弾性散乱域

$$\begin{aligned} \frac{2}{\sqrt{m}}(qEx+\varepsilon)\frac{dF(x)}{dx} + \frac{B_0}{\sqrt{qEx+\varepsilon}}\{F(x)-G(x)\} &= 0 \\ -\frac{2}{\sqrt{m}}(qEx+\varepsilon)\frac{dG(x)}{dx} + \frac{B_0}{\sqrt{qEx+\varepsilon}}\{G(x)-F(x)\} &= 0 \end{aligned}$$

$F(x)/h$ は、正速度フラックス

$G(x)/h$ は、負速度フラックス

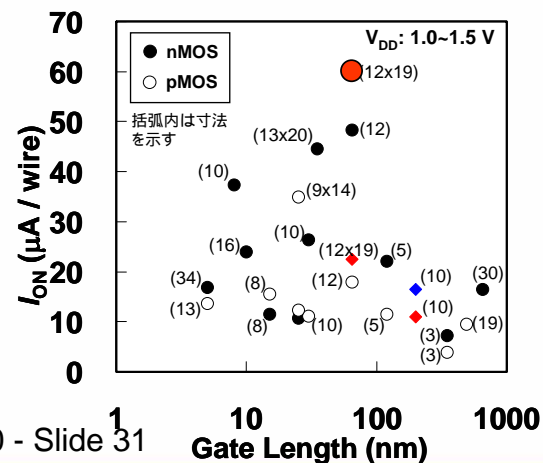
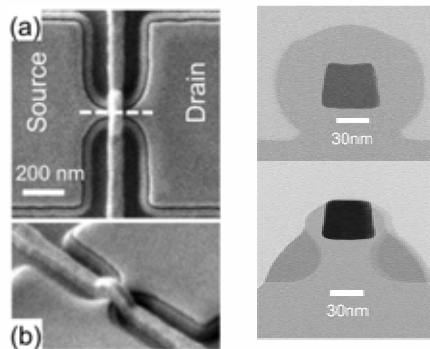
光学フォノン放出域

$$\begin{aligned} \frac{2}{\sqrt{m}}(qEx+\varepsilon)\frac{dF(x)}{dx} + \frac{B_0}{\sqrt{qEx+\varepsilon}}\{F(x)-G(x)\} + \frac{2D_0}{\sqrt{qEx+\varepsilon-\varepsilon^*}}F(x) &= 0 \\ -\frac{2}{\sqrt{m}}(qEx+\varepsilon)\frac{dG(x)}{dx} + \frac{B_0}{\sqrt{qEx+\varepsilon}}\{G(x)-F(x)\} + \frac{2D_0}{\sqrt{qEx+\varepsilon-\varepsilon^*}}G(x) &= 0 \end{aligned}$$

ソースからドレインへの透過確率(エネルギー ε に対して)

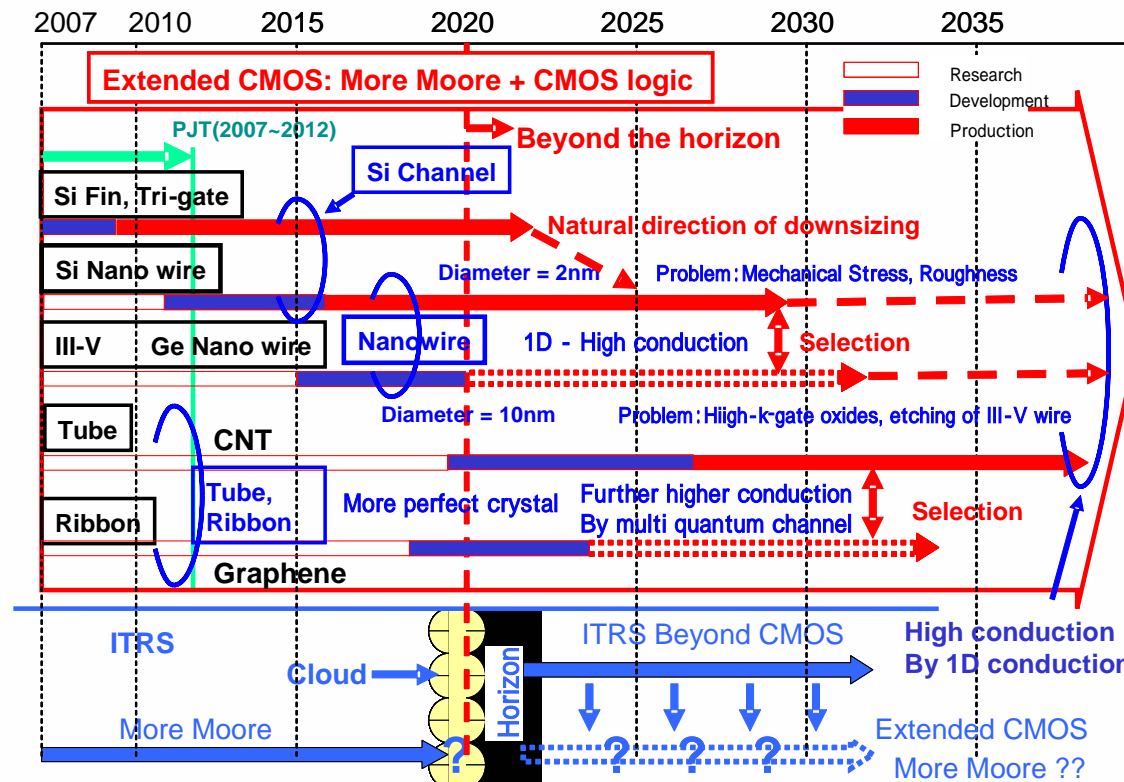
$$T(\varepsilon) = \frac{\sqrt{2D_0}qE}{\left(\sqrt{B_0+D_0+\sqrt{D_0}}\right)qE + \sqrt{2mD_0}B_0 \ln\left(\frac{qEx_0+\varepsilon}{\varepsilon}\right)}$$

実験による検証



中長期のロードマップ

長期のロードマップ



1. 先ずはSi Fin FET

2. 次にSi Nanowire FETが登場

3. 次にIII-V/Ge Nanowire FETはその次に来る可能性もあるがまだ技術的課題も多い

3. CNT, Grapheneは基礎現象解明の段階にあり、まだトランジスタへの応用のサクセスストーリーは見えていない

6. 日本の今後の望ましい 研究開発体制

日本でのナノエレクトロニクス研究開発空洞化の懸念

日本では世界を巻き込んだナノエレクトロニクス研究開発拠点が結果的に出来なかった

欧米・アジア諸国(韓国・中国・台湾・シンガポール・香港・インド)が拠点大学に巨大なナノエレクトロニクス研究開発拠点をこの5年間で続々と形成したのに対し日本ではそれに対抗する拠点ができていない

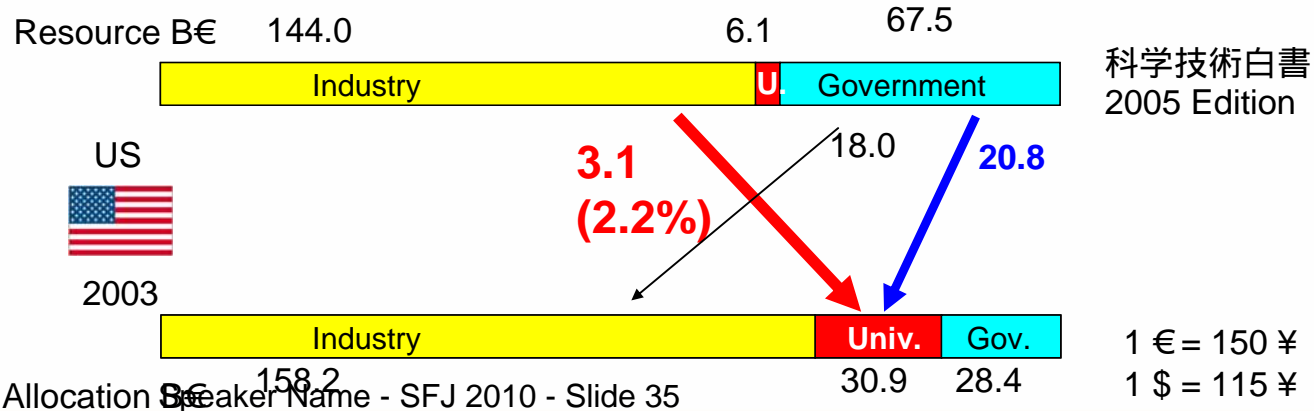
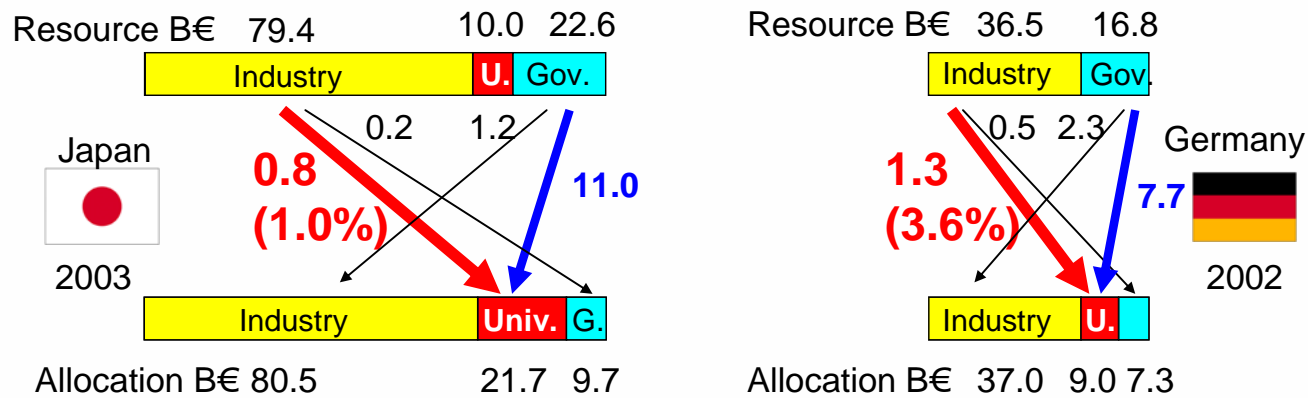
その結果日本の企業も一部はIBMやIMECなど海外で次世代・次々世代のデバイスを開発せざるを得ない状況が生じている

日本の大学もまた然りの状況にある

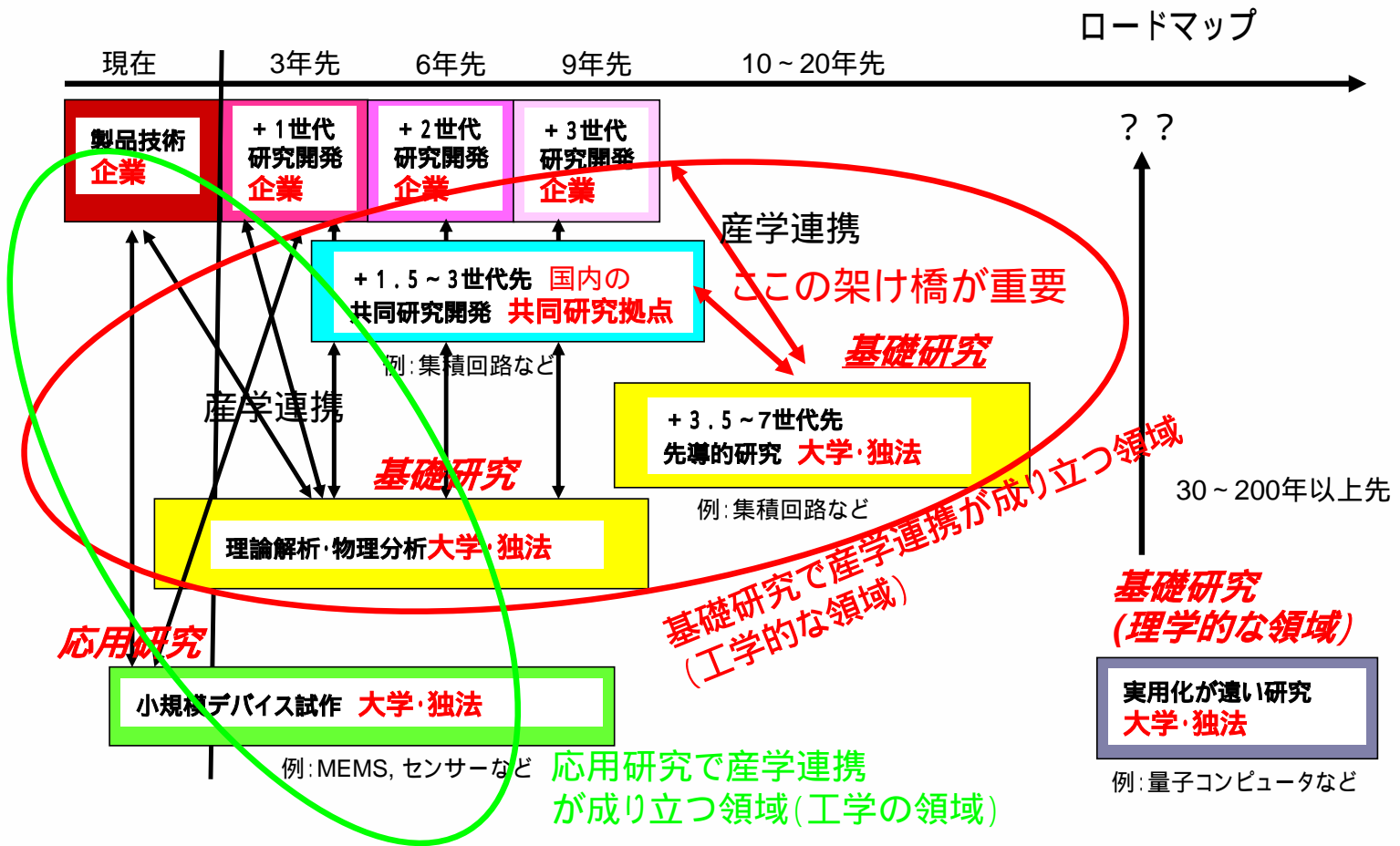
研究開発の空洞化を防ぐ手立てが日本の今後にとって極めて重要となってくると思われる

少し古いデータだが

日本の企業から日本の大学への研究資金は米国の3割
 日本の国から日本の大学への研究資金は米国の5割
 日本の国から日本の企業への研究資金は米国の1割以下



望ましいスキーム



7. オープンディスカッション