

Recent Our Activities in Si FET Research

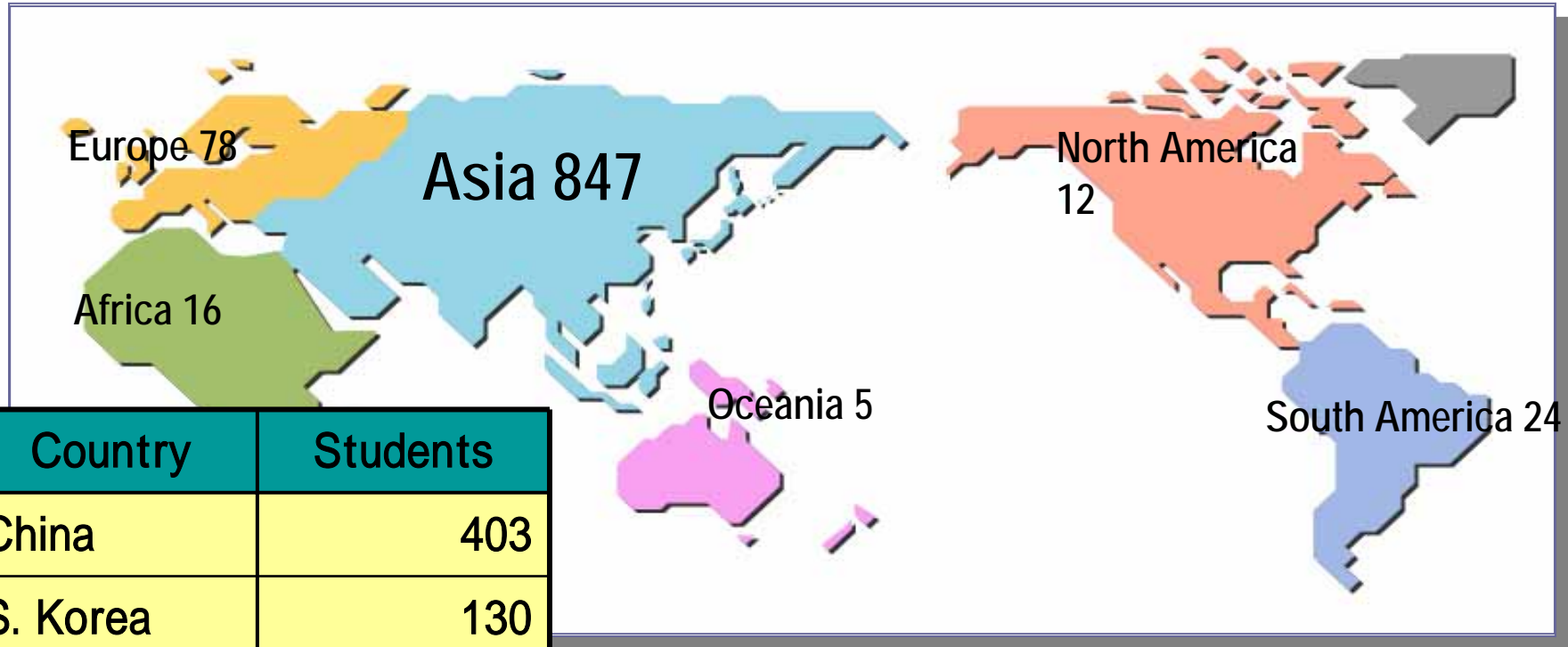
November 3, 2009

IIT Madras, India

Hiroshi Iwai

Tokyo Institute of Technology

International Students



Country	Students
China	403
S. Korea	130
Indonesia	64
Thailand	55
Vietnam	60
Malaysia	28

Total 982
(As of May. 1, 2005)

岩井研メンバー

(2009年04月1日現在)



教授
岩井洋



准教授(共同研究)
筒井一生



客員教授
服部健雄



特任教授
名取研二



連携教授
杉井信之



連携教授
西山彰



助教
Parhat Ahmet



助教
角嶋邦之

博士 研究員



ミナミハラ

博士 課程



D3
佐々木雄一朗



D3
ヘンドリアンシャー・サウジディン



D3
下村浩



D3
宋在烈



D3
館喜一



D2
川那子高暢



D2
佐藤創志



D2
富田隆治



D1
Maimaitirexiati
Maimaiti



D1
Abudukelimu
Abudureheman



D1
幸田みゆき



筒井研 D3
小林勇介

修士 課程



M2
新井英朗



M2
李映勲



M2
中山寛人



M2
船水清永



M2
細田亘



M2
又野克哉



M1
タリス・ハサン



M1
Mokhammad
Sholihul Hadi



M1
小柳友常



M1
小澤健児



M1
神田高志



M1
澤田剛伸



M1
茂森直
隆



M1
向井弘
樹



筒井研 M2
横田知之



筒井研 M2
星野憲文



筒井研 M2
横手義智

学部



B4
来山大祐

スタッフ



松本昭子



辛川美琴



西澤 正子

岩井研究室 ~Iwai Lab.~

● ご挨拶



Welcome to Iwai Lab.

総合理工学研究科 物理電子システム創造専攻 岩井研究室

当研究室では、シリコンをベースとした集積回路のデバイス技術、特に素子超微細化や集積回路限界の探査、研究や、新材料や三次元トランジスタ構造のシリコン集積回路への導入を行っています。さらにエマージング技術としてゲルマニウムやCNT(カーボンナノチューブ)デバイスの検討などを行っています。

LSI (Large scale Integrated Circuit, 大規模集積回路)の最初の製品とみなされるIntelの1k bit DRAMが製造されてから30年近くになりますが、この間にLSIは実に長足の発展を遂げ、高度な計算を行い動作や情報を制御する中枢部品としてありとあらゆる機器に用いられるようになってきました。

最近のMobile Telephone, Mobile PC, ひいてはインターネットの爆発的な普及も軽量、小型、低消費電力で極めてきたことによるものです。今後更にこの文明飛躍的な発展を遂げて、近い将来人間の知性、感性の機能を代行する機器が出現することが大いに期待されます。

これはこれからの高齢化社会で予想される労働人口不足、老人介護人口不足などの状況のもとで、各人が平等にある程度以上の生活レベルを教授できるように行く行くは超えなければならぬハードルであると考えますが、何れにせよこれを実現するためには現状のものから何れも性能の高い機器の実現が必要であると考えられており、まずはハードとしてのLSIの発展が今後何十年かにわたって継続していくことが必要条件のひとつとも考えられています。

さて、LSIの発展はトランジスタを中心としたLSI中の素子の縮小化によってなされてきましたが、トランジスタの縮小化の限界がどこにあるかが重要な疑問としてクローズアップされてきます。この流れが今後も続くとする2005年頃にはゲート長が30nmとなり、更に今世紀の半ばにはゲート長はシリコン結晶中の原子の間隔である0.0003 μm(即ち3 Å)となる計算となります。この寸法辺りが原子を用いてトランジスタを形成する限りにおいて究極的な限界と考えられますが、このようなゲート長のトランジスタが動作するかどうかは甚だ疑問であると思われるため、経済的要因からはもう少し大きいところとも言われています。

研究テーマとしてはCMOS LSIの素子微細化の限界を見据えて、今後のLSIがハード、ソフトの両面から継続して発展していくためにはどう技術を開発していくべきかを考えつつ、まずは微細シリコントランジスタ微細の特性研究、微細化限界とその打破(高誘電体ゲート絶縁膜などの新材料の導入、構造の改良等)の研究などから手を染めていきたいと考えています。またその後のポストスケール時代に対応した、エマージング技術として、ゲルマニウムやシリコンナノワイヤートランジスタ、CNT(カーボンナノチューブ)デバイスの研究を行っていくと思っています。また、成果をできるだけ広く産業界に使っていただき、社会に貢献すること目指しており、産学連携と国際協力を研究の基本としています。

国際連携先: グルノーブル工科大学, LETI(フランス), 台湾交通大学 他多数

産学連携: SELETE, 東芝, 日立, アルパック, アルパックファイ, UJT

● 最近の研究テーマ

Siデバイスの重要性

現代社会: 生産、金融、運輸、医療、行政などの社会機構
インターネット、i-mode、Bluetooth、携帯電話、カーナビ、ゲーム、自動車、航空機、製造装置などの全ての機器、CD、DVDなどの機器

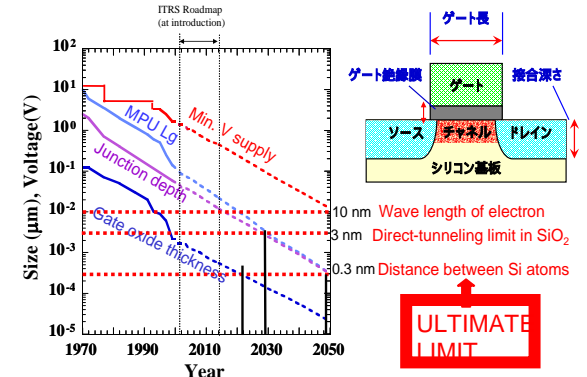
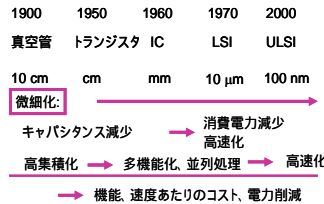
Si集積回路による管理・制御無くしてこれらは有り得ない

近年のSiデバイスの驚異的な発展

数千万個 - 数億個のトランジスタ集積
MPUのクロック周波数 3GHz
SiGeバイポーラの f_t 300GHz以上

微細化の重要性

素子の微細化 (100年間で100万分の1に!)



微細化限界打破の手法

新材料 high-k/metal ゲートスタック構造

異種新材料の導入による新しい展開の可能性

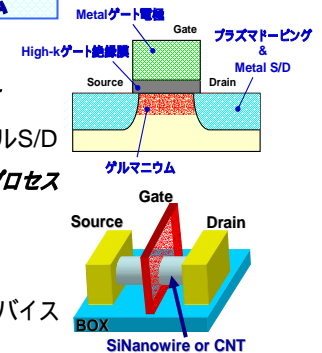
新プロセス プラズマドーピング技術、メタルS/D

新構造 SiNanowireトランジスタ

超高速、高密度、機能化デバイスの実現

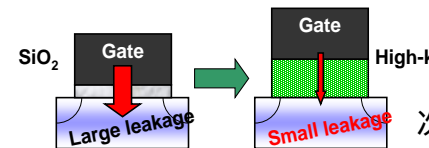
エマージング技術 GeMOSFET、CNTデバイス

Siデバイス・Si集積回路との融合

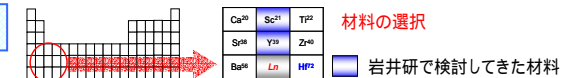


High-k/metalゲートスタック

直接トンネル電流は低く、実効ゲート容量は大きく!



$$C_{ox} = \frac{\epsilon_d \epsilon_0}{t_{ox}} = \frac{\epsilon_{SiO_2} \epsilon_0}{EOT} \Rightarrow t_{ox} = \frac{\epsilon_d}{\epsilon_{SiO_2}} EOT$$

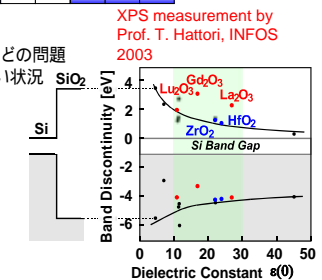


誘電率(κ)の高い材料: ZrO₂, HfO₂, La₂O₃

HfO₂が主流であるが、界面層成長、相分離などの問題があり、EOT<1nm以下の薄膜化は中々難しい状況

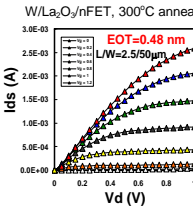
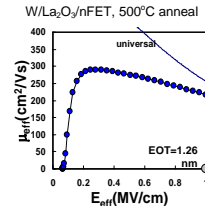
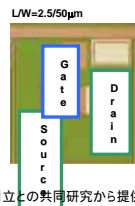
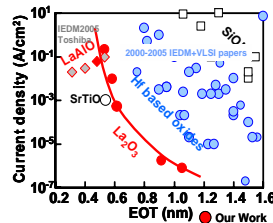
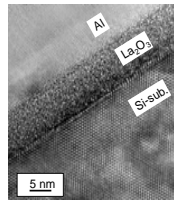
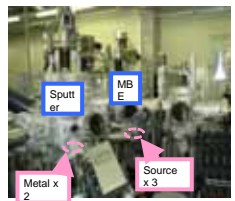
次世代ゲート絶縁膜材料として

La₂O₃に注目



La₂O₃

EOT=0.5 nmでもリーク電流の抑制が可能である



日立との共同研究から提供

第一原理計算

実験結果を裏付ける理論計算

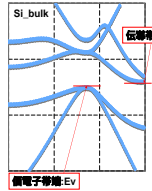


Single crystal (Cubic structure)

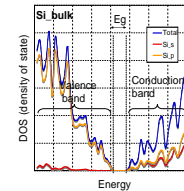
高い移動度が得られ

実験値を使うことなく計算により物質の状態がわかる

低EOTを実現



バンドの構造が求まる

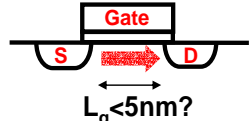


各bandを構成する電子の軌道がわかる

GeMOSFET

高移動度チャネル材料の必要性

ゲート長縮小の限界ソース/ドレイン間の漏れ電流増加



$$I_{ds} = \frac{W}{L} \mu_{eff} C_{ox} \frac{1}{2} (V_g - V_{th})^2$$

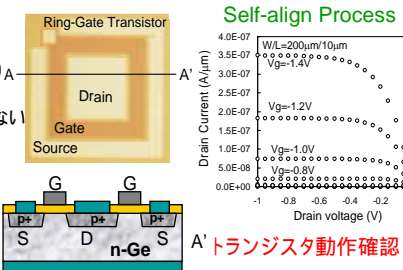
	μ_n [cm ² /Vs]	μ_p [cm ² /Vs]
Si	1400	450
Ge	3900	1900
GaAs	8500	400
InP	4600	650

Geトランジスタのゲート絶縁膜 W/La₂O₃/Ge p-MOSFET

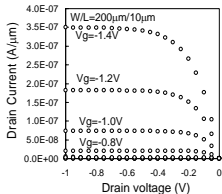
GeO₂は

- 高温熱処理で分解
- 水溶性(ウェットプロセス不可能)
- 比誘電率が低い
- 良好なトランジスタ特性が得られない

high-kをGeトランジスタのゲート絶縁膜として使おう!



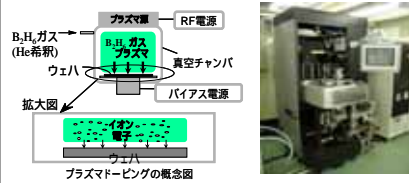
Self-align Process



A' トランジスタ動作確認

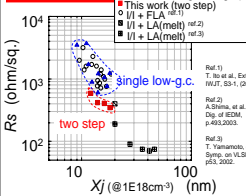
Plasma Doping

プラズマドーピング法の概念

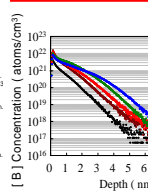


世界最小の接合深さを実現

Rs-Xj plots



as-doped B Profile



Metal Source/Drain

● Source/Drain領域のスケーリング

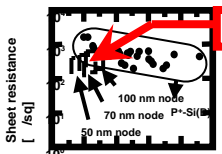
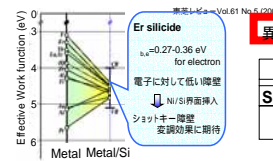
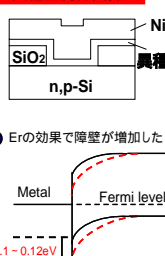


Fig.1 Sheet resistance vs. junction depth.



● Erの効果で障壁が増加した



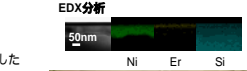
● Pt, Bも検討中

Schottky障壁の制御が必要

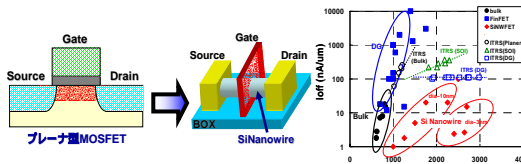
- 浅い接合形成が容易
- ソース/ドレイン低抵抗
- 短チャネル効果耐性が高い

- ショットキー障壁による駆動電流の劣化

● Ni/Er(3.6nm)/p-Si, 500°C TEM

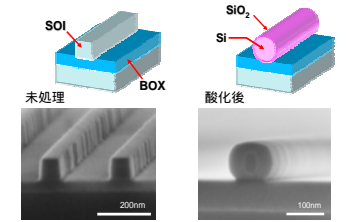


SiNanowireトランジスタ



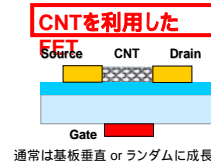
Nanowire型トランジスタ (1次元量子効果デバイス) 短チャネル効果抑制 低電圧で高い駆動電流を実現

- Volume Inversion 反転電子密度の増加
- 1次元伝導の発現 量子化コンダクタンス
- エネルギーバンド構造 間接遷移型から直接遷移型 Egの増加

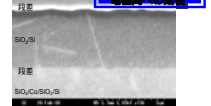
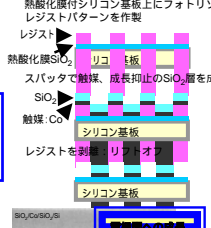


ワイヤ径の最適化、界面の制御 SiナノワイヤFETの作製

CNTデバイス



通常は基板垂直に成長

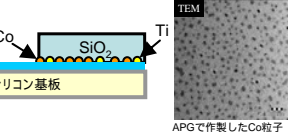


なぜカーボンナノチューブなの

- 無散乱輸送: 高速動作
- 高い電流駆動能力 高速動作
- 電子と正孔で全く同じ移動度 n-chとp-chで同じ特性 CMOSに有利

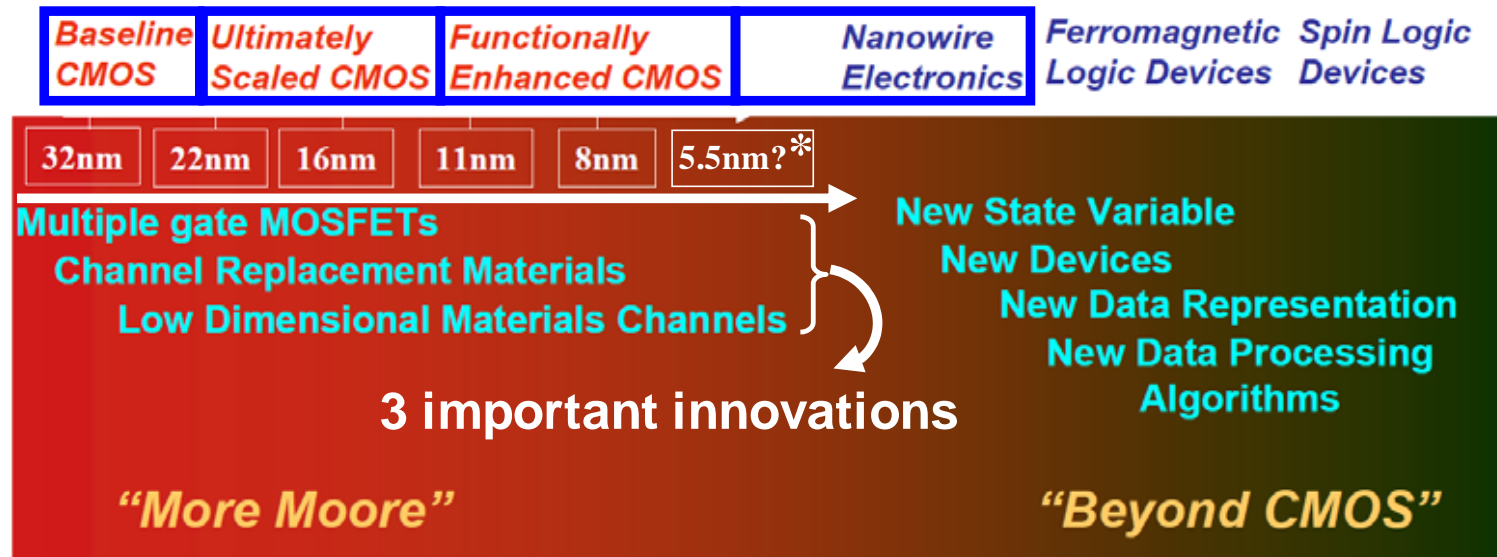
Semiconducting CNTを成長させる必要がある

APGで触媒膜を行うことで、2-5nmの電子管を作製



- 触媒を断面に出すことで、基板と平行方向へCNTが成長
- 断面から出ず触媒は、阻止層との形成を防ぎ、電子管が成長し、触媒のみの層で成長すると腐敗してしまう。
- Tiがあった深さで成長し、Tiがなくなった深さで成長し、Tiがなくなった深さにCNTが成長
- FET特性の制御
- 成長速度、特性の制御

- There will be still 4~6 generations left until we reach 11 ~ 5.5 nm technologies, at which we will reach down-scaling limit, in some year between 2020-30 (H. Iwai, IWJT2008).
- Even After reaching the down-scaling limit, we could still continue R & D, seeking sufficiently higher I_{d-sat} under low V_{dd} .
- Two candidates have emerged for R & D
 1. Nanowire/tube MOSFETs
 2. Alternative channel MOSFETs (III-V, Ge)
- Other Beyond CMOS devices are still in the cloud.



ITRS figure edited by Iwai

Scaling down approach is very beautiful and important

2 Generations scaling	$k = 0.7^2 = 0.5$ if we keep the chip area the same for scaling
Single MOFET	$V_{dd} \rightarrow 0.5$ $L_g \rightarrow 0.5$ $I_d \rightarrow 0.5$ $C_g \rightarrow 0.5$ P (Power)/Clock $\rightarrow 0.5^3 = 0.125$ τ (Switching time) $\rightarrow 0.5$
Chip	N (# of Tr) $\rightarrow 1/0.5^2 = 4$ f (Clock) $\rightarrow 1/0.5 = 2$ P (Power) $\rightarrow 1$

- The concerns for limits of down-scaling have been announced for every generation.
- However, down-scaling of CMOS is still the ‘royal road’* for high performance and low power.
- Effort for the down-scaling has to be continued by all means.

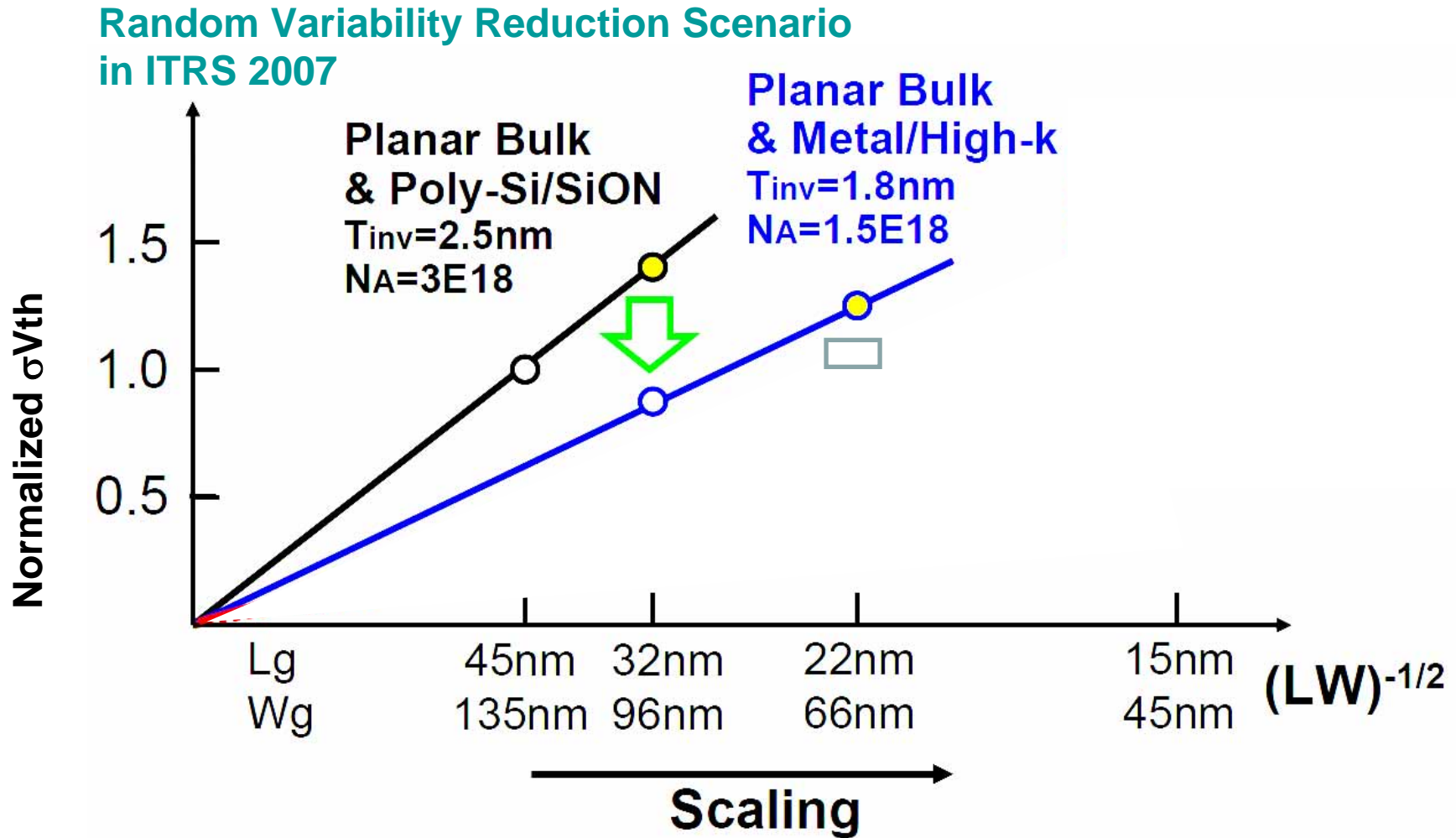
* Euclid of Alexandria (325BC?-265BC?)

‘There is no royal road to Geometry’

Mencius (Meng-zi), China (372BC?-289BC?)

孟子: 王道, 霸道 (Rule of right vs. Rule of military)

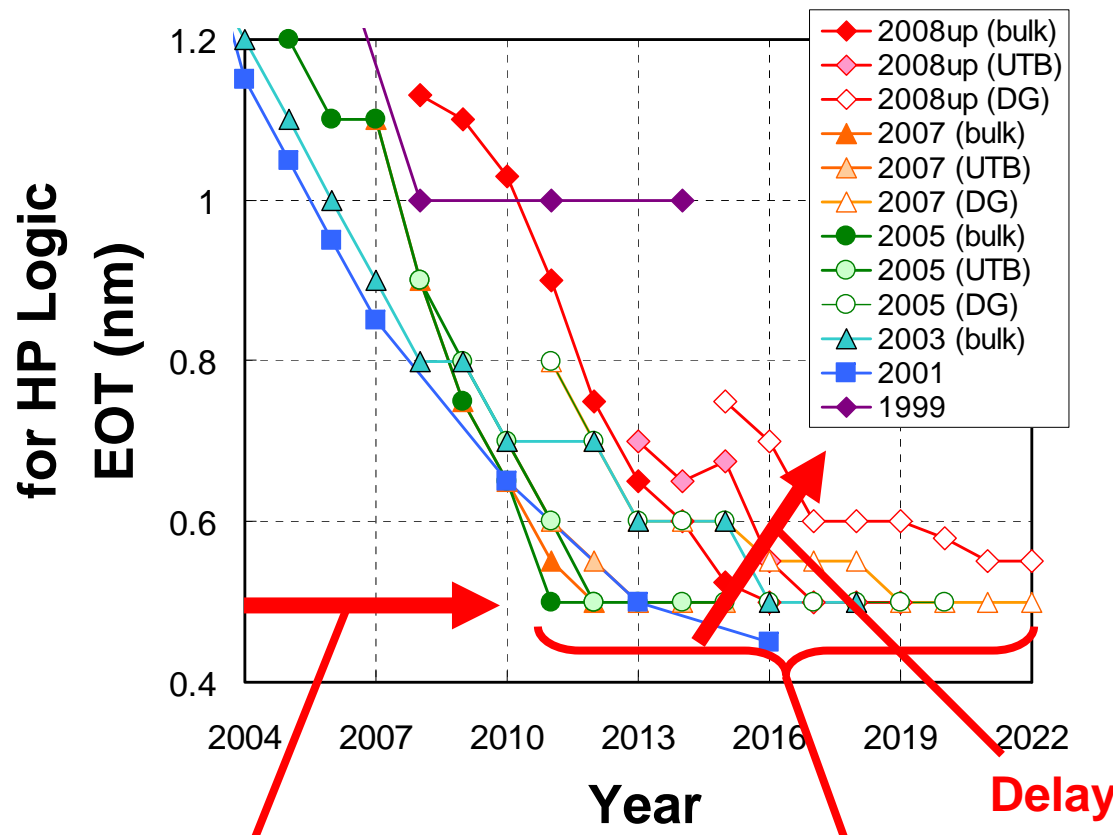
Gate oxide scaling is very important also for suppressing the variation.



Assumption: Random dopant fluctuation is Main source of Random Variability: Line width roughness of L_g and W_g is not considered in this

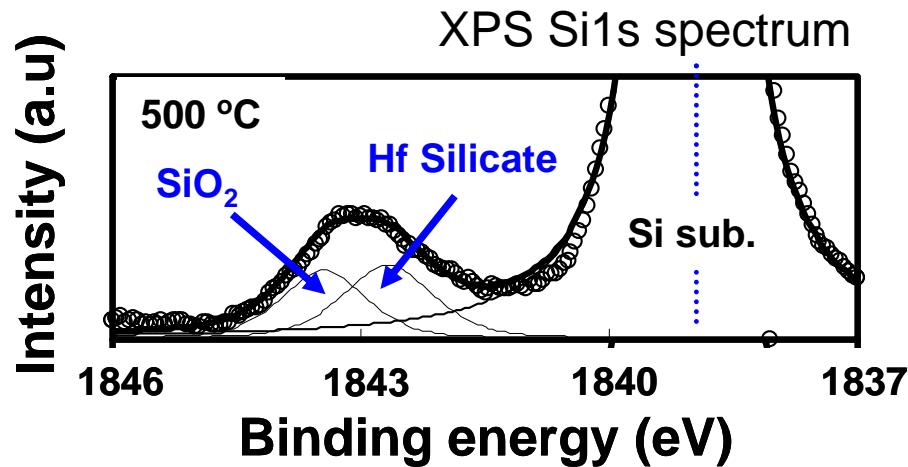
EOT (Equivalent gate oxide thickness) is supposed to saturate at 0.5

Saturation of EOT thinning is a serious roadblock to proper down-scaling → short-channel effect & Vth variation

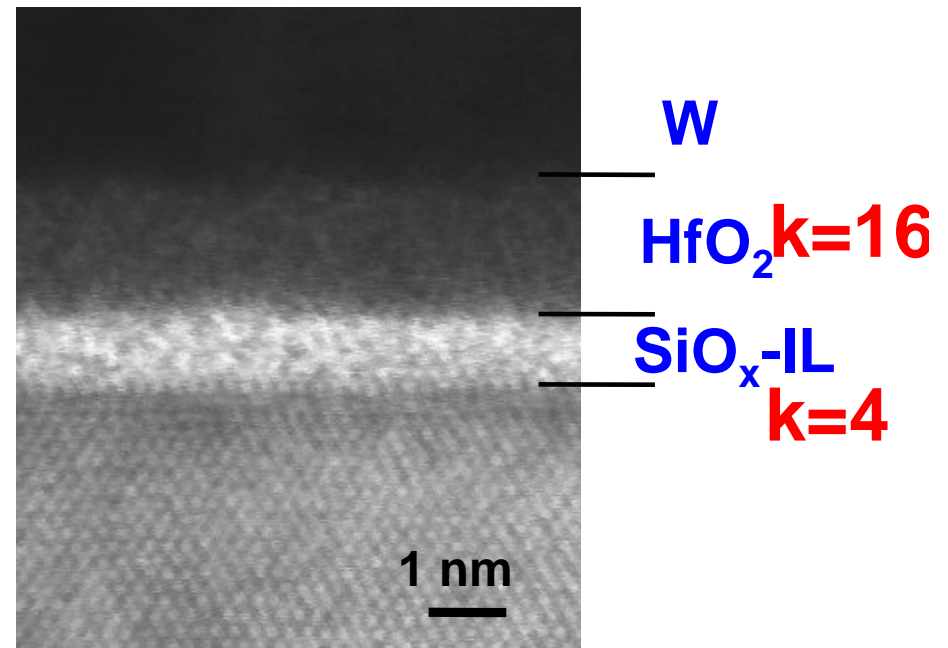


Is 0.5nm real limit? Saturation

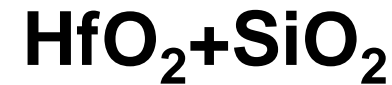
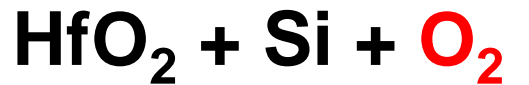
SiO_x-IL growth at HfO₂/Si Interface



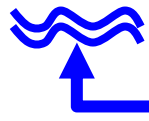
TEM image 500 °C 30min



Phase separator



H. Shimizu, JJAP, 44, pp. 6131



Oxygen supplied from W gate electrode

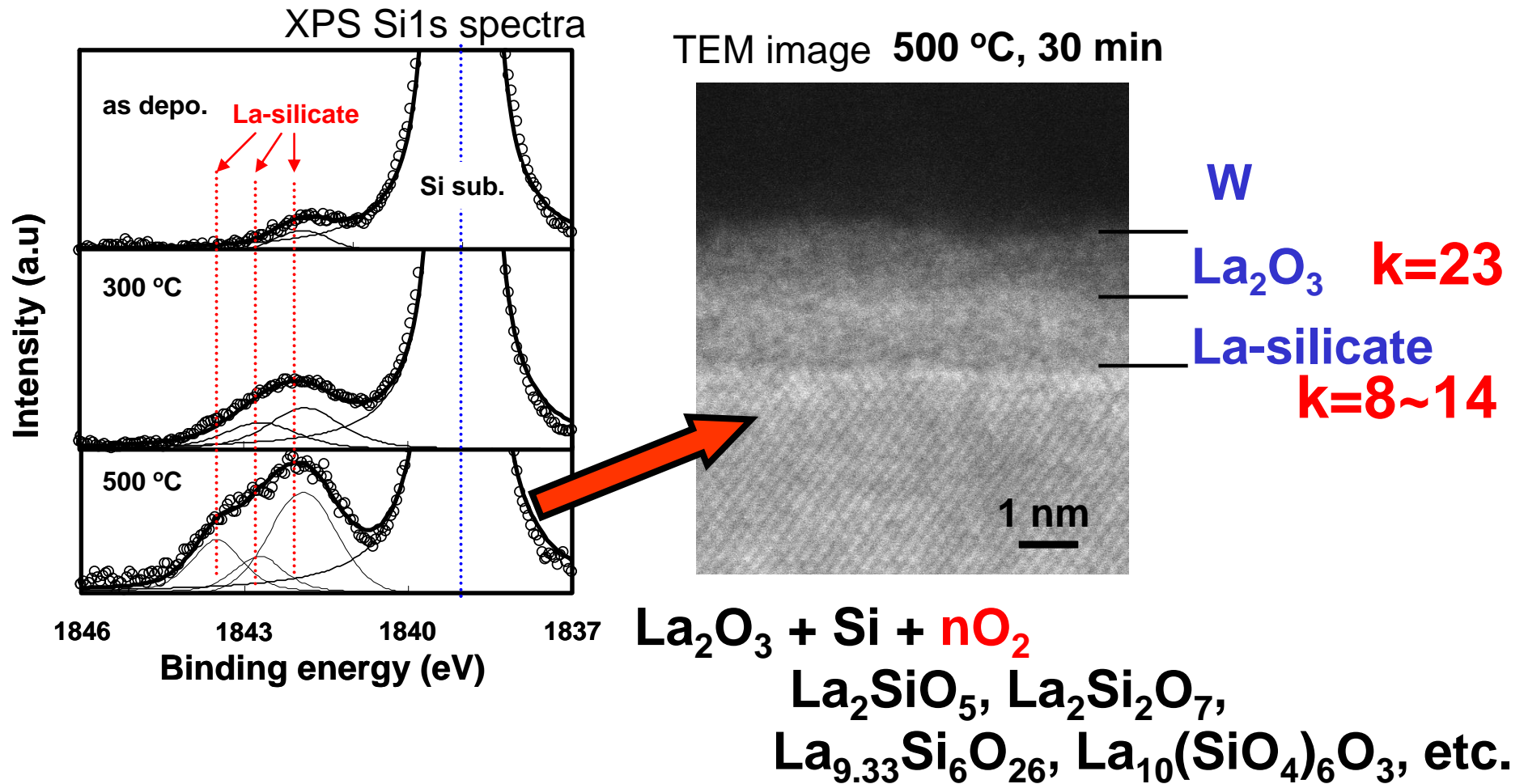
D.J.Lichtenwalner, Tans. ECS 11, 319

SiO_x-IL is formed after annealing

Oxygen control is required for optimizing the reaction

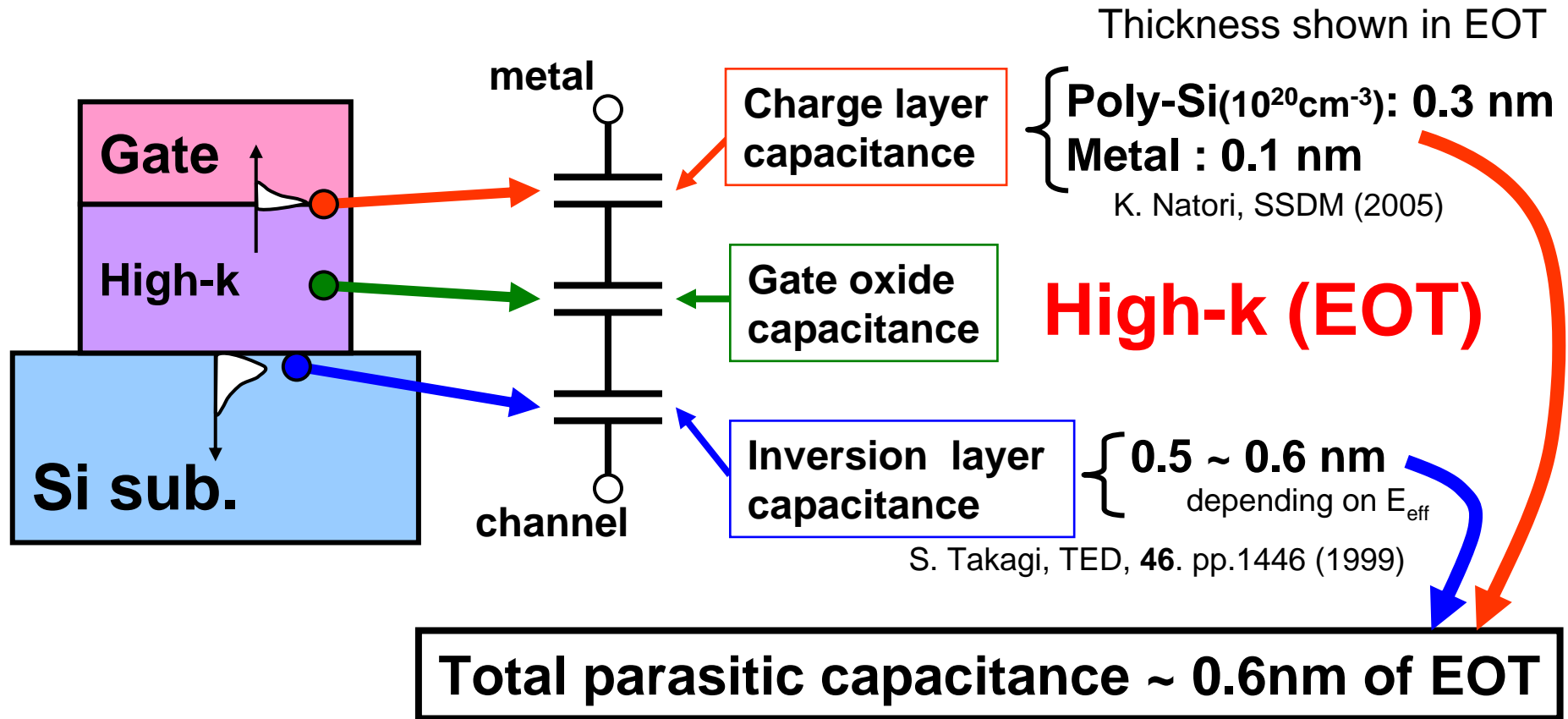
La-Silicate Reaction at $\text{La}_2\text{O}_3/\text{Si}$

Direct contact high-k/Si is possible



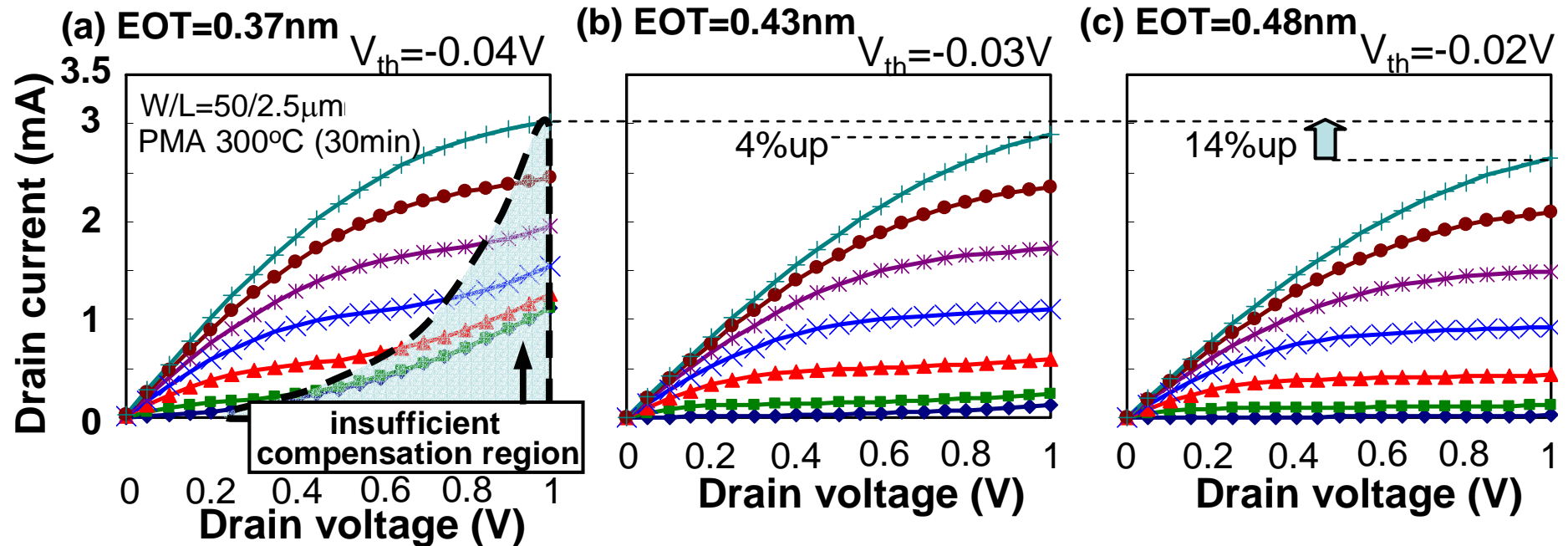
La_2O_3 can achieve direct contact of high-k/Si

Quantum Effect in Gate Stack

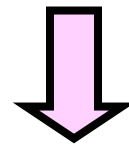


- A question if the performance improvement can be obtained with $EOT < 0.5\text{nm}$
- Is $EOT < 0.5\text{nm}$ achievable?

EOT<0.5nm with Gain in Drive Current

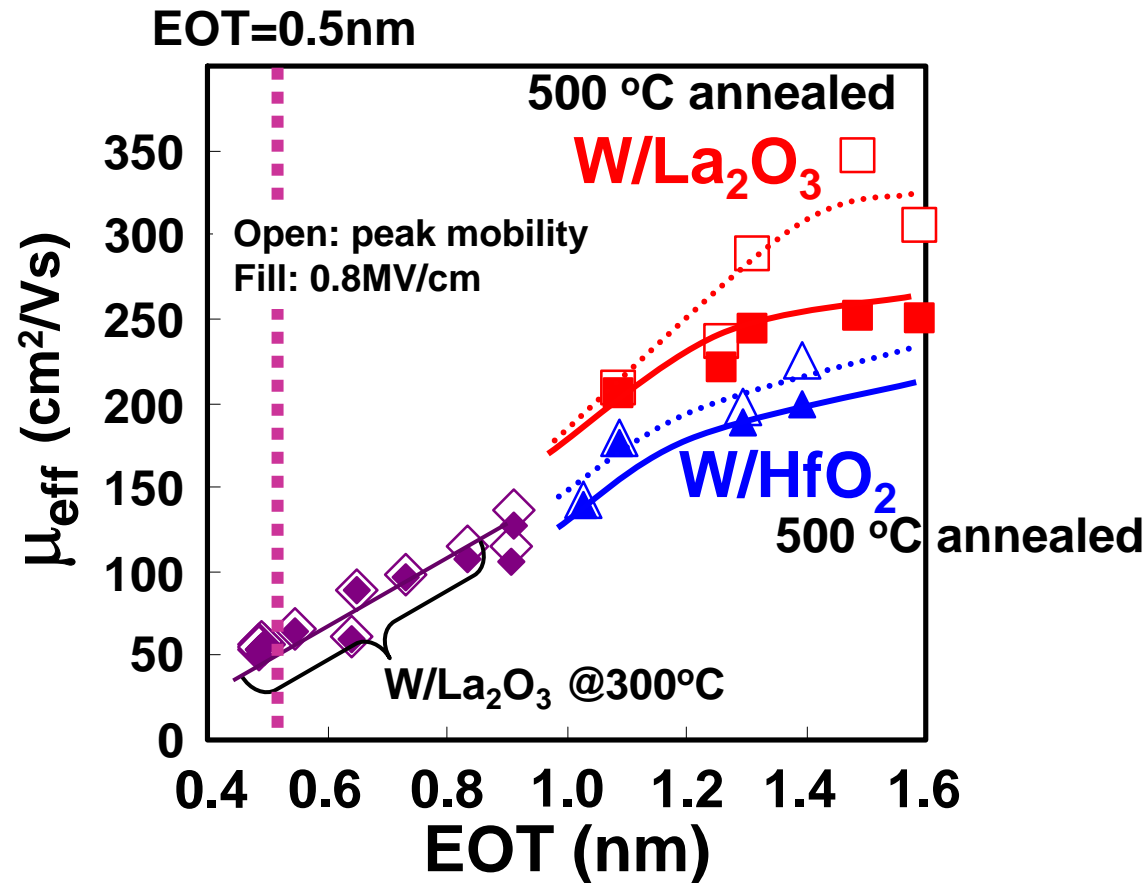


14% of I_d increase is observed even at saturation region



EOT below 0.4nm is still useful for scaling

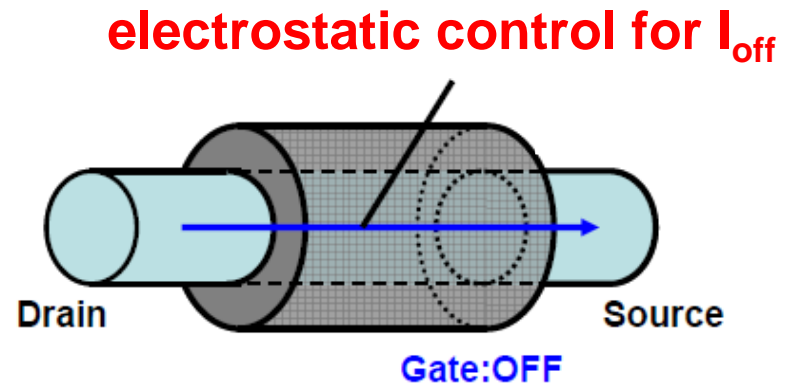
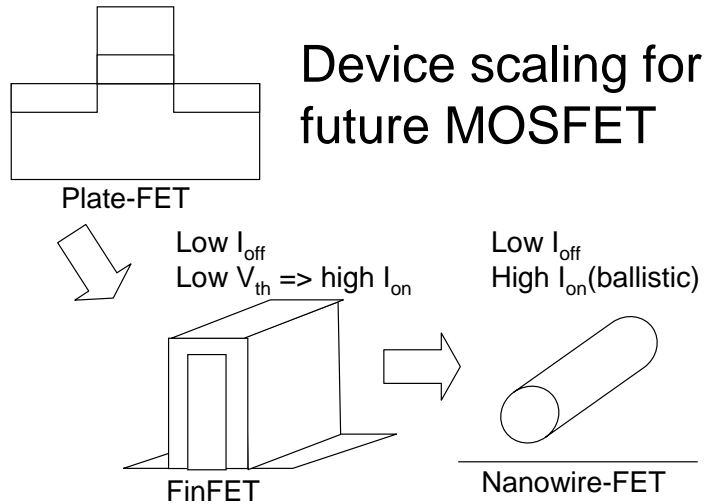
μ_{eff} of W/La₂O₃ and W/HfO₂ nFET on EOT



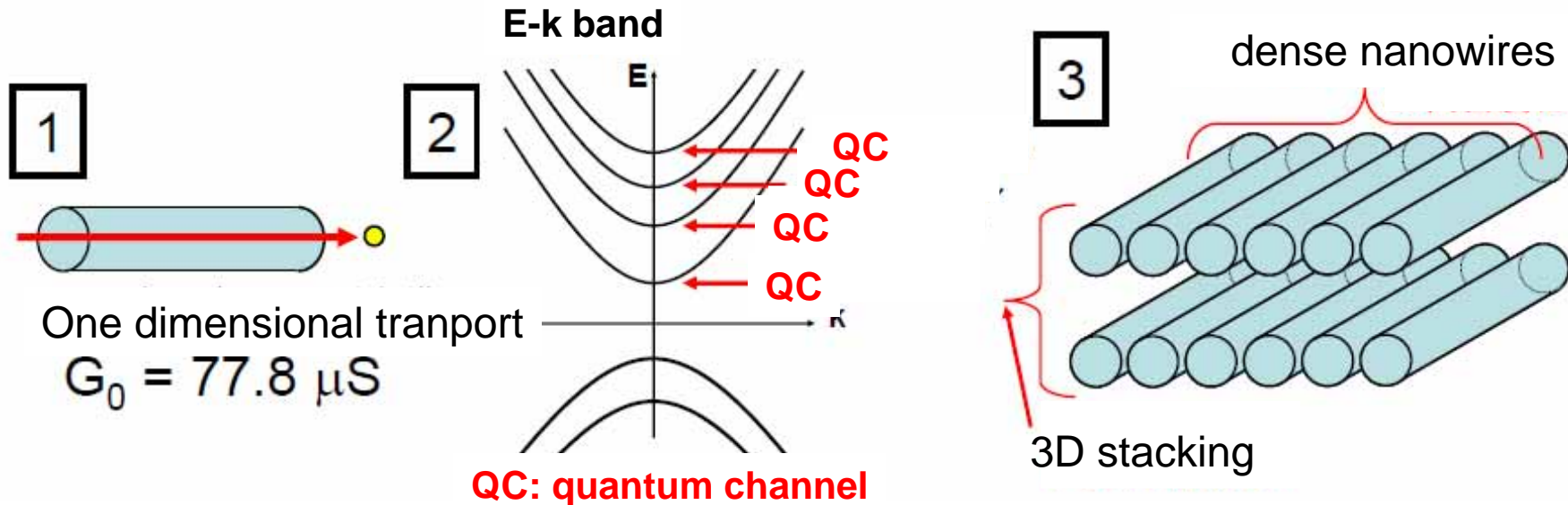
- W/La₂O₃ exhibits higher μ_{eff} than W/HfO₂
- μ_{eff} start degrades below EOT=1.4nm

Si nanowire FET with 1D Transport

Device scaling



3 approaches for I_{on} improvement



Selection of MOSFET structure for high conduction:
Nano-wire or Nano-tube FETs is promising

3 methods to realize High-conduction at Low voltage

M1 . Use 1D ballistic conduction

M2 . Increase number of quantum channel

M3 . Increase the number of wire or tube per area
3D integration of wire and tubes

For suppression of I_{off} , the Nanowire/tube is also good.

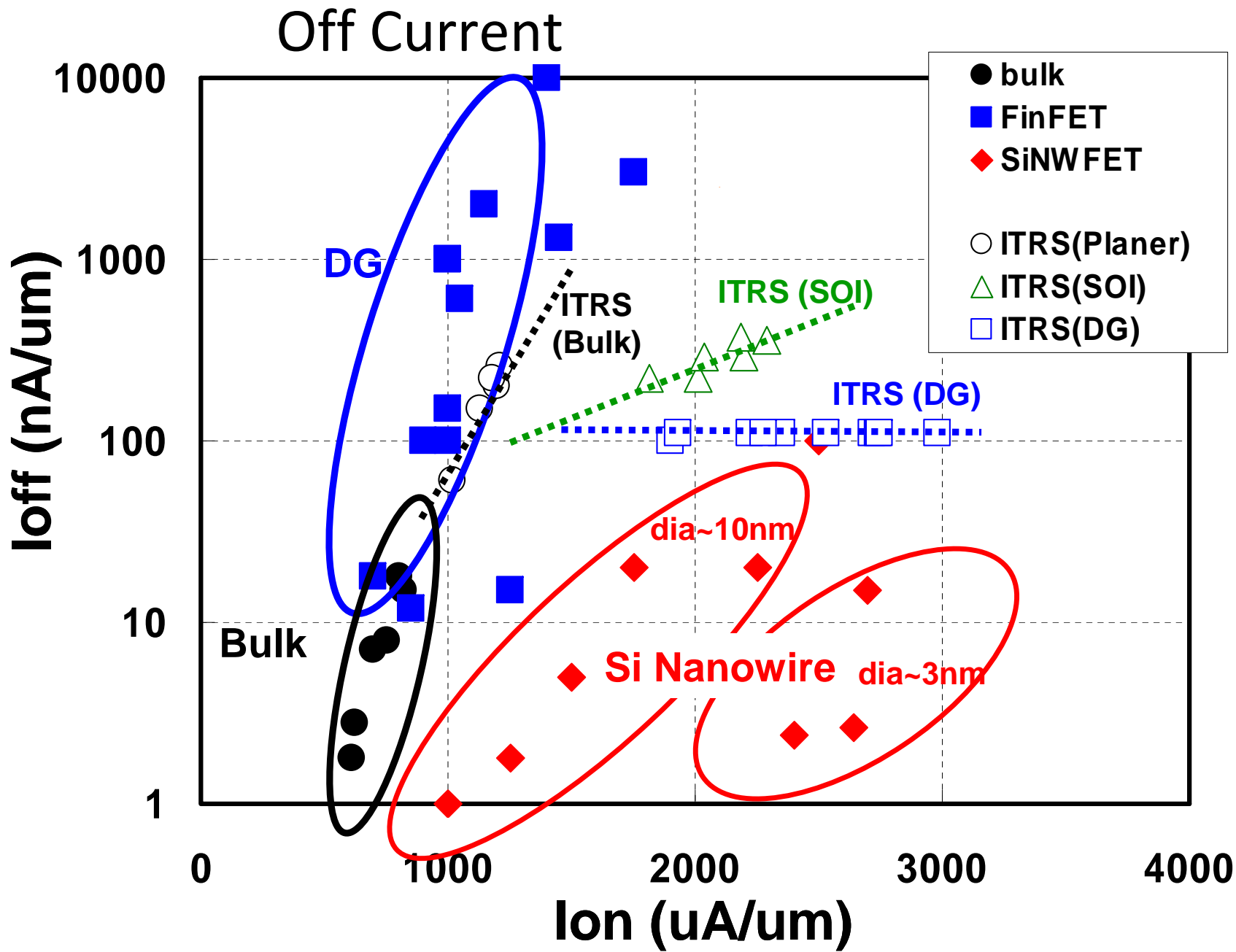
1D conduction per one quantum channel:

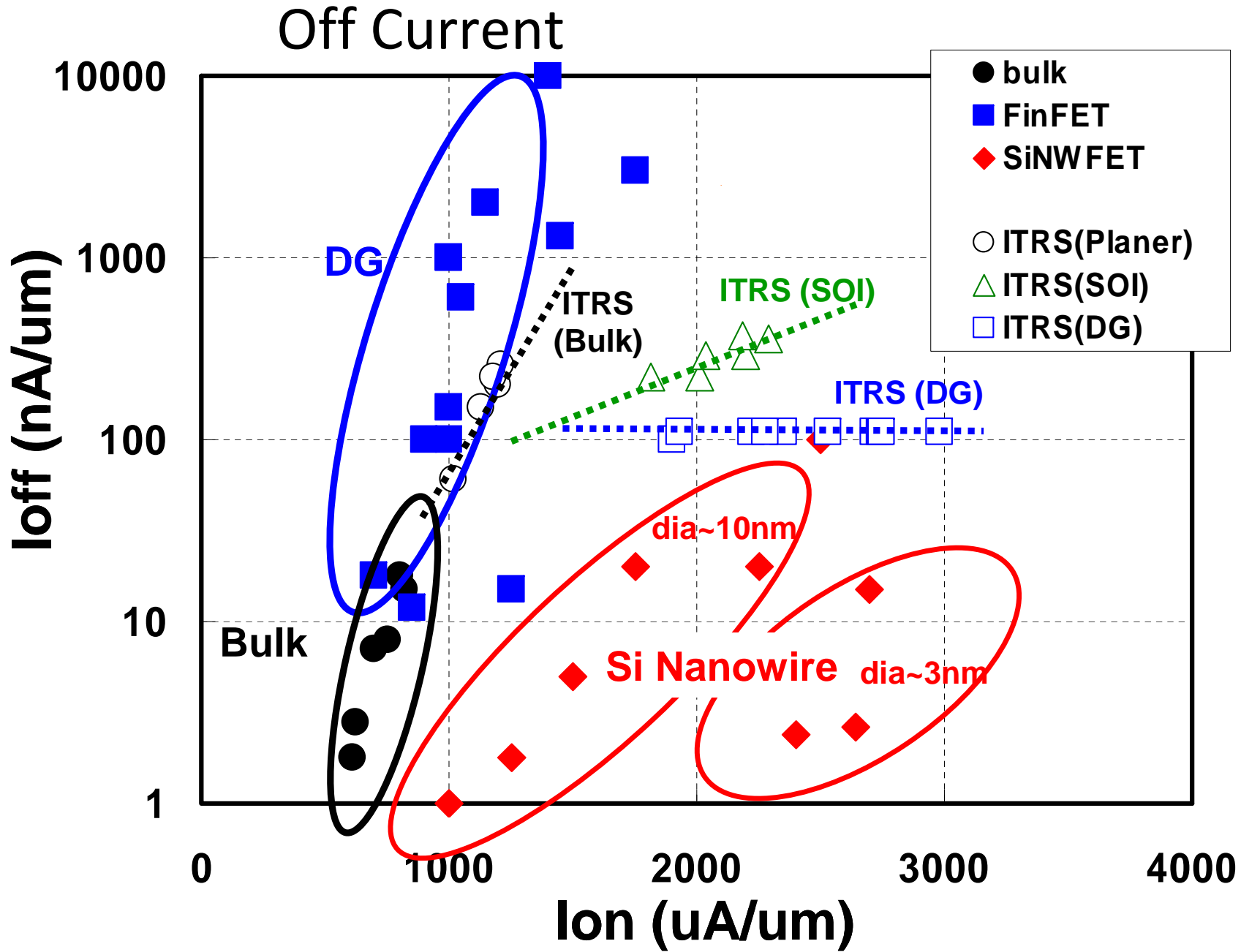
$$G = 2e^2/h = 77.8 \mu\text{S/wire or tube}$$

regardless of gate length and channel material

That is $77.8 \mu\text{A/wire}$ at 1V supply

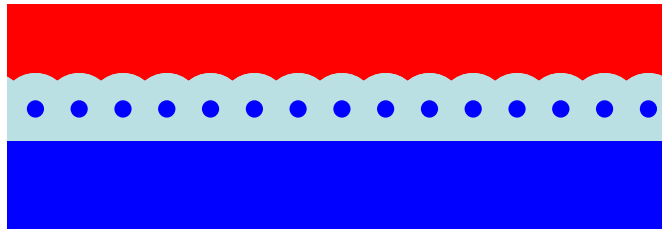
This an extremely high value



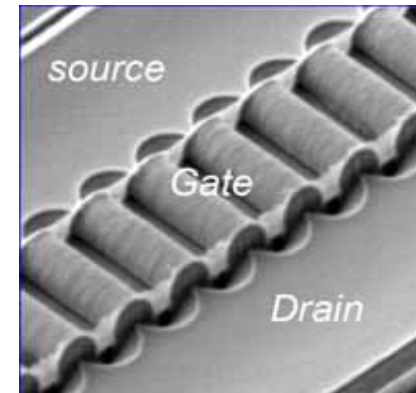
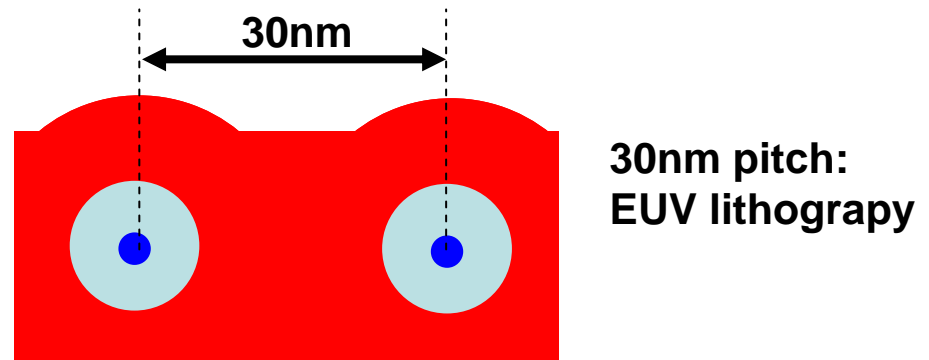
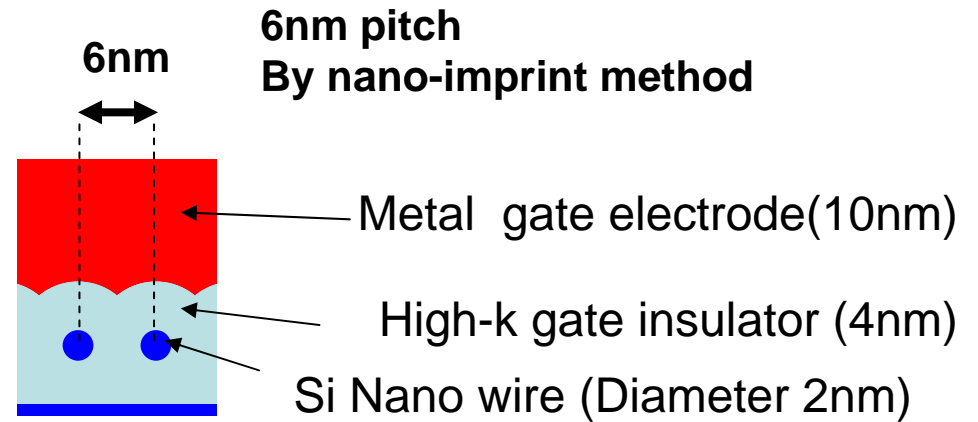
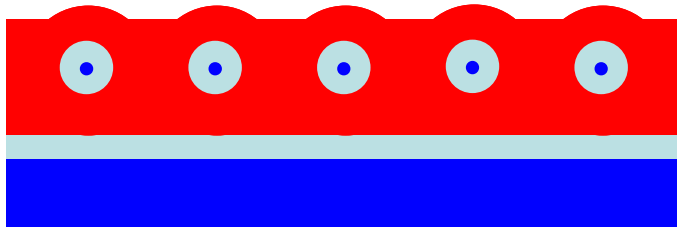


Maximum number of wires per 1 μm

Front gate type MOS 165 wires / μm

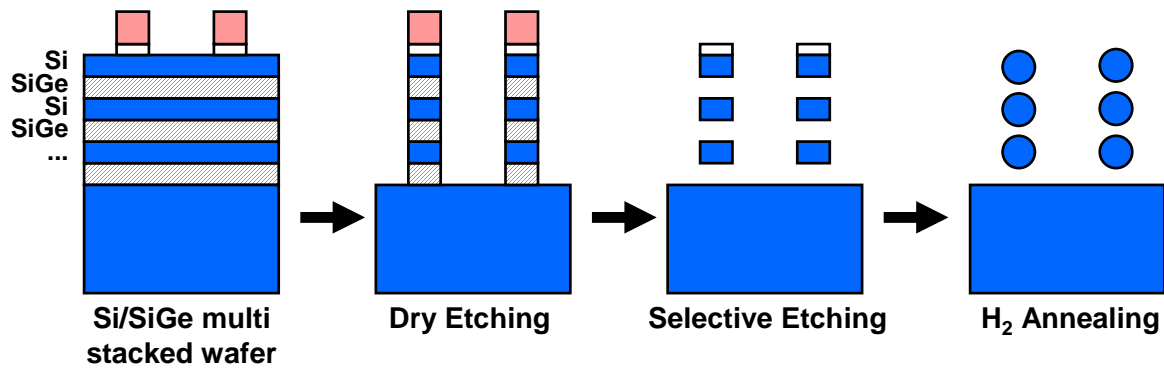
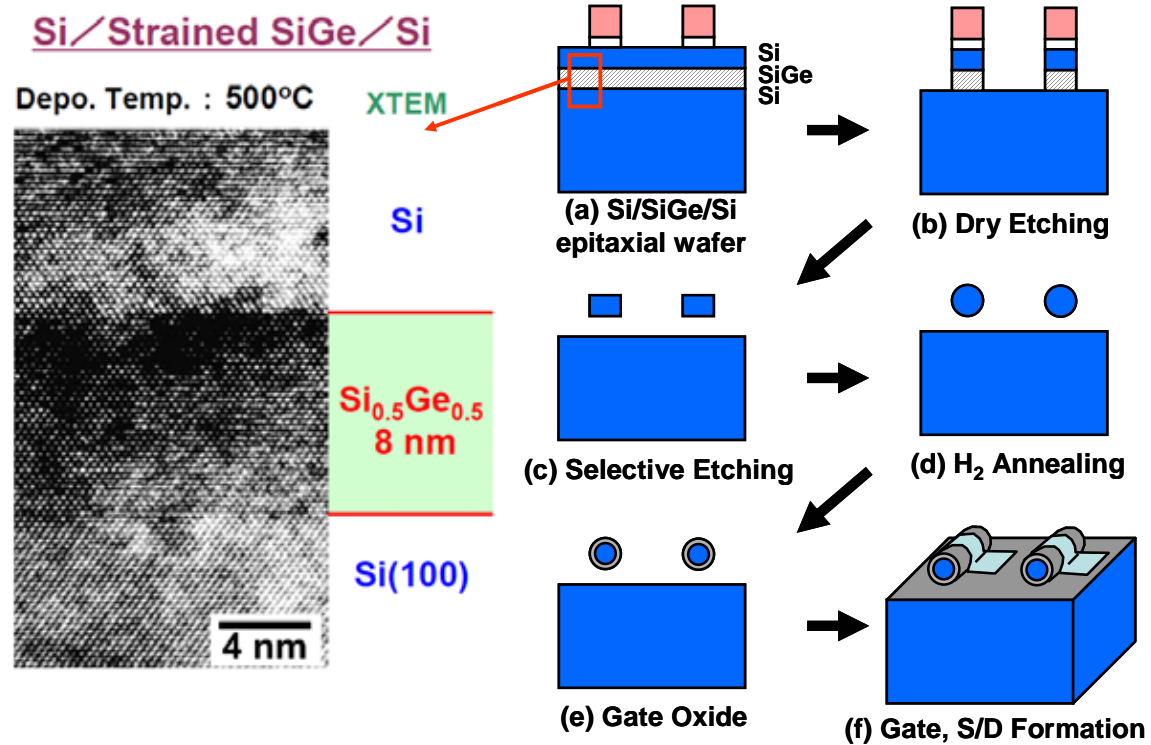


Surrounded gate type MOS 33 wires / μm

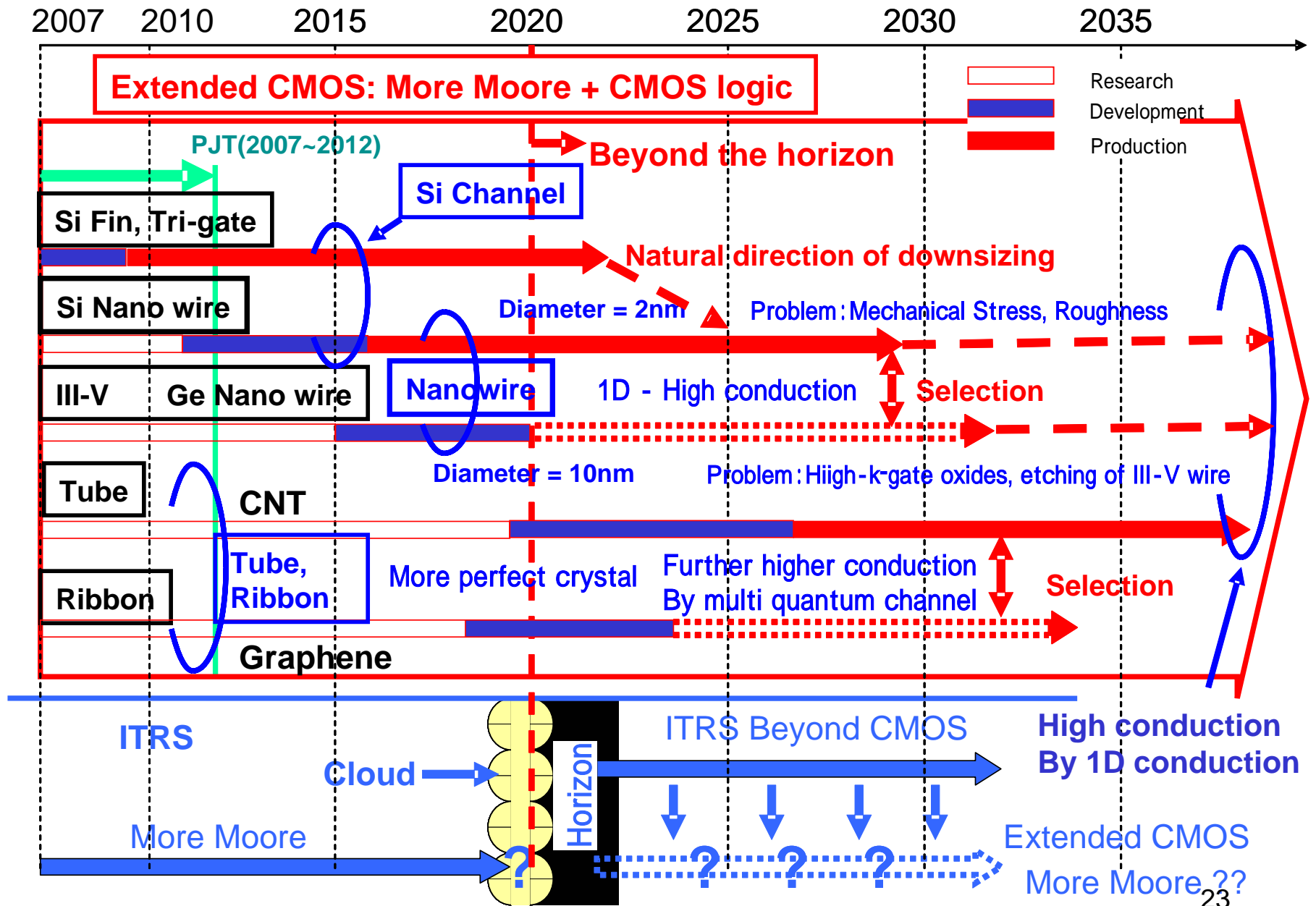


Surrounded gate MOS

Increase the number of wires towards vertical dimension



Our new roadmap



Theoretical model
Fabrication

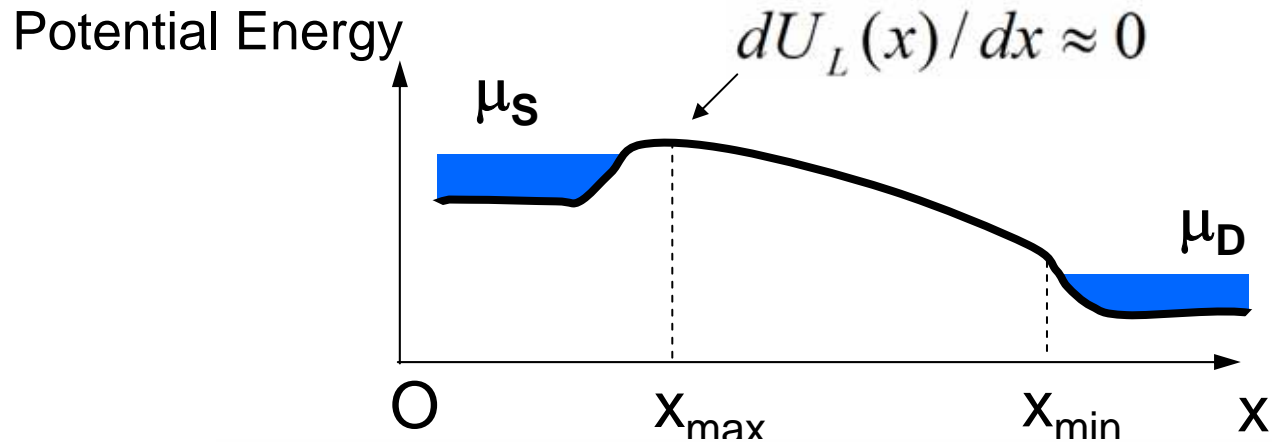
K. Kakushima, K. Natori, H. Iwai
Tokyo Institute of Technology

S. Nomura, K. Shiraishi
University of Tsukuba

K. Ohmori, K. Yamada
Waseda University

Theoretical model of SiNW FET

Landauer Formalism for Ballistic FET

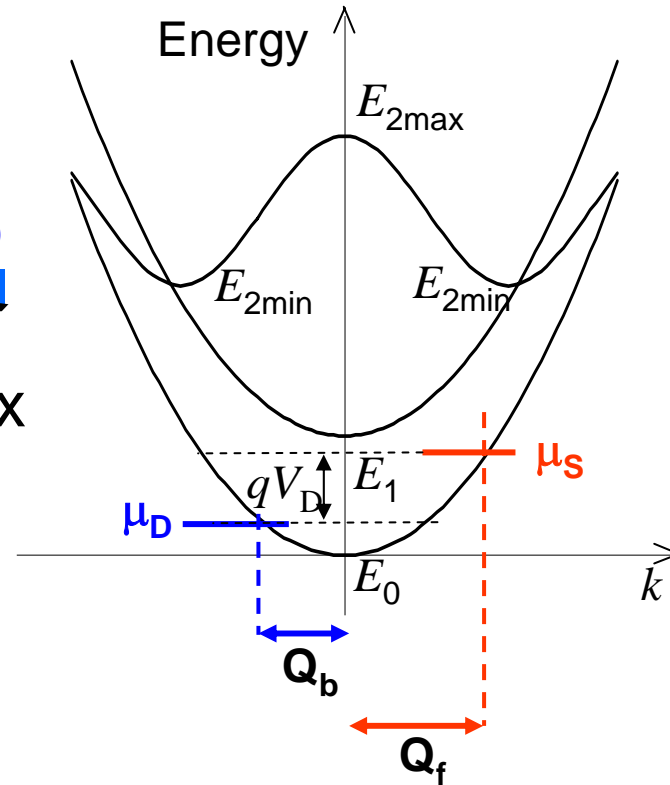
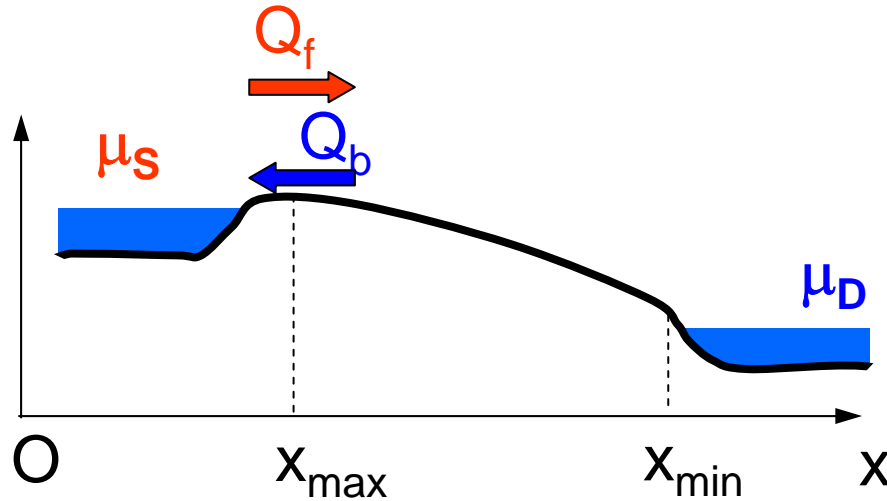


$$I_D = \frac{q}{\pi \hbar} \sum_i \int [f(E, \mu_S) - f(E, \mu_D)] T_i(E) dE$$

From x_{\max} to x_{\min} $T_i(E) \approx 1$

$$I_D = G_0 \left(\frac{k_B T}{q} \right) \sum_i g_i \ln \left\{ \frac{1 + \exp[(\mu_S - E_{i0}) / k_B T]}{1 + \exp[(\mu_D - E_{i0}) / k_B T]} \right\}$$

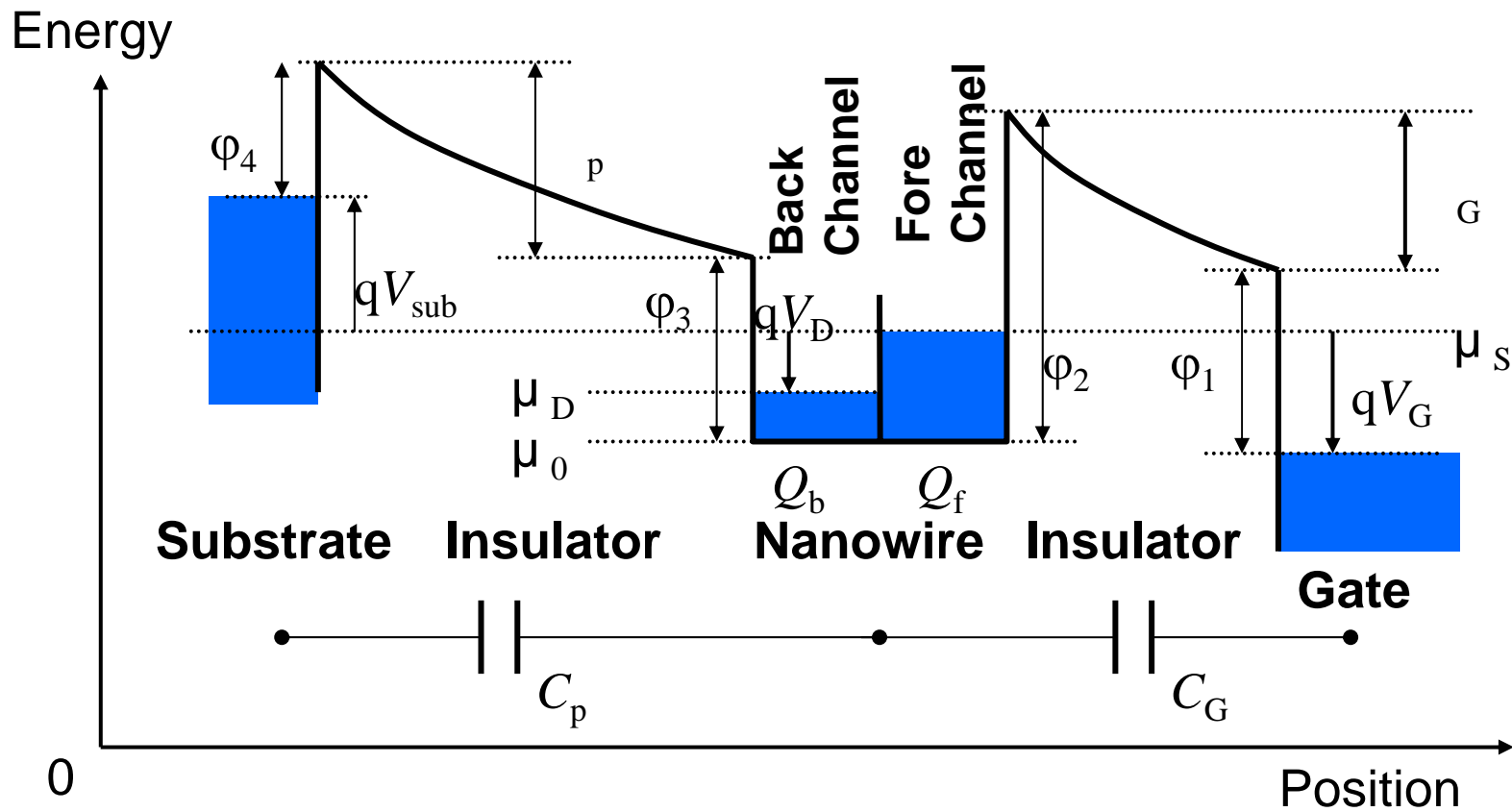
Carrier Density obtained from E-k Band



$$|Q| = |Q_f| + |Q_b|$$

$$= \frac{q}{\pi} \sum_i g_i \left[\int_{k_{i\min}}^{\infty} \frac{dk}{1 + \exp\left\{\frac{E_i(k) - \mu_S}{k_B T}\right\}} + \int_{-\infty}^{k_{i\min}} \frac{dk}{1 + \exp\left\{\frac{E_i(k) - \mu_D}{k_B T}\right\}} \right]$$

Carrier Density obtained from Band Diagram



$$\frac{|Q|}{C_G} = (V_G - V_t) - \alpha \frac{\mu_S - \mu_0}{q}$$

$$\alpha = 1 + \frac{C_P}{C_G}$$

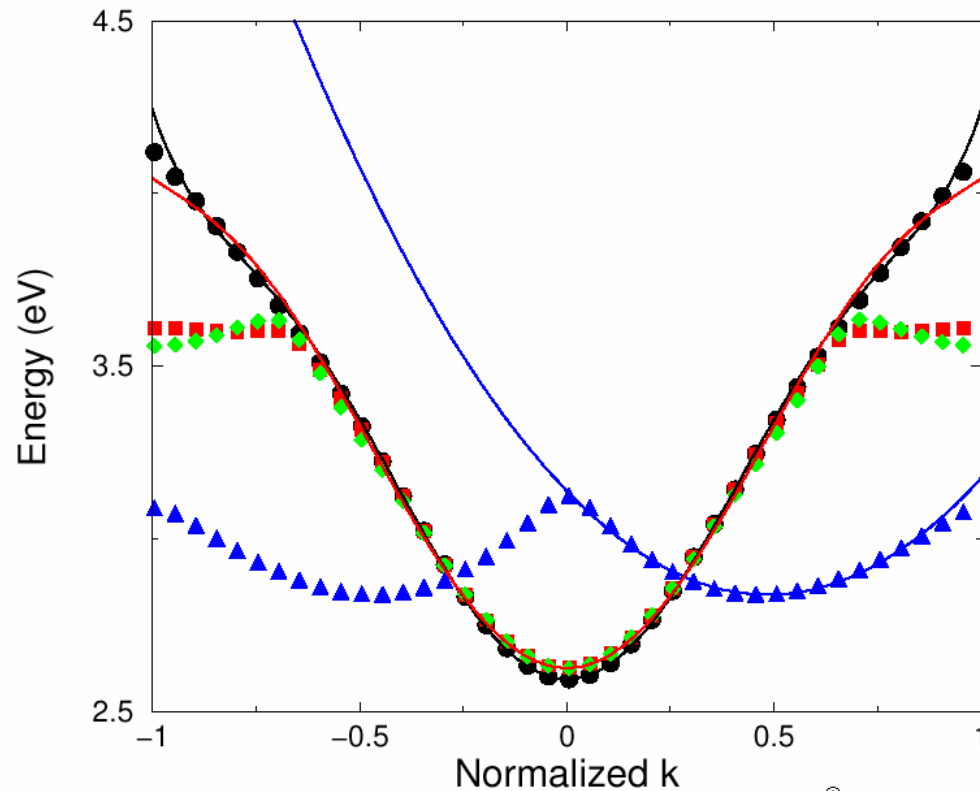
Demonstration of Si Nanowire MOSFET

1 ~ 2nm SiNW

lowest subband ($g=1$), second lowest subband ($g=3$)

effective mass= $0.3m_0$

E. Gnani et al. IEEE ED vol. 54, pp. 2243, 2007



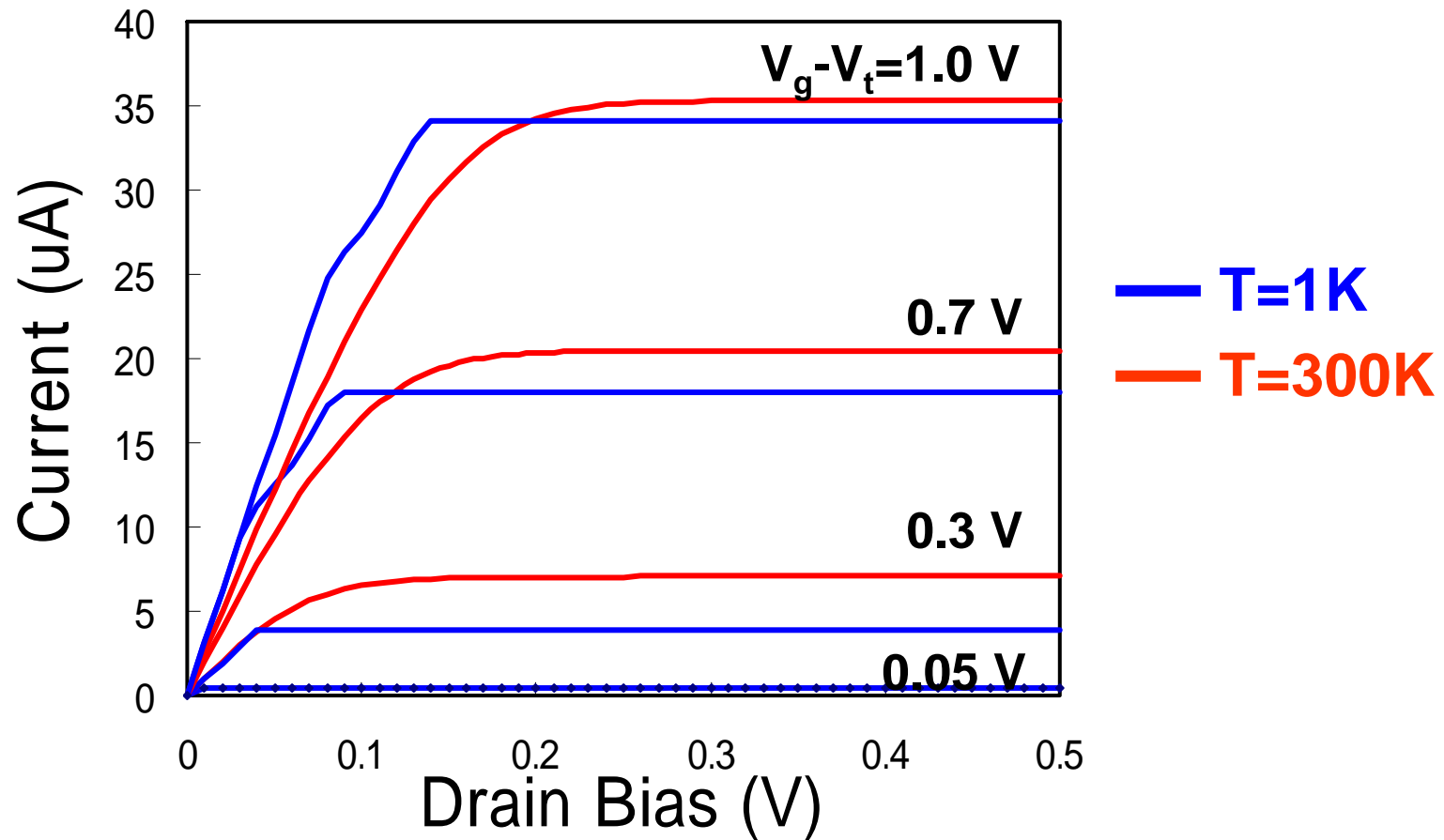
MOSFET

Surrounded gate

EOT= 1 nm

($C_G=2.57$ pF/cm, $C_p=0$)

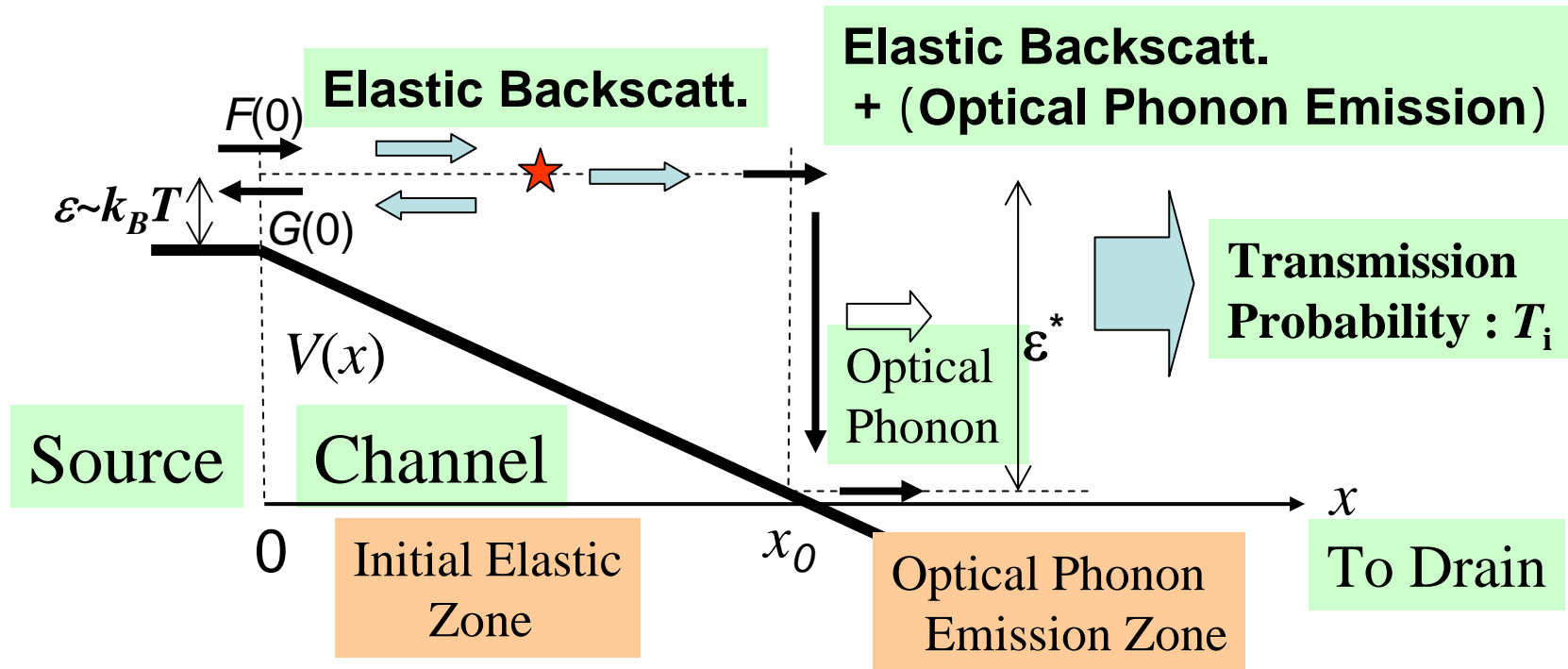
IV Characteristics of Ballistic SiNW FET



Small temperature dependency
 $35\mu A/wire$ for 4 quantum channels

Model of Carrier Scattering

Linear Potential Approx. : Electric Field E



Transmission Probability to Drain

$$T(\epsilon) = \frac{F(0) - G(0)}{F(0)} \quad \text{Injection from Drain}=0$$

Résumé of the Compact Model

$$I = \frac{q}{\pi \hbar} \sum_i g_i \int [f(\varepsilon, \mu_S) - f(\varepsilon, \mu_D)] T_i d\varepsilon$$

$$C_G = \frac{2\pi \varepsilon_{ox}}{\ln \left\{ \frac{\sqrt{2r+t_{ox}} + \sqrt{t_{ox}}}{\sqrt{2r+t_{ox}} - \sqrt{t_{ox}}} \right\}}$$

Planar Gate

$$(V_G - V_t) - \alpha \frac{\mu_S - \mu_0}{q} = \frac{|Q_f + Q_b|}{C_G}$$

$$\mu_S - \mu_D = qV_D$$

$$C_G = \frac{2\pi \varepsilon_{ox}}{\ln \left(\frac{r+t_{ox}}{r} \right)}$$

GAA

(Electrostatics requirement)

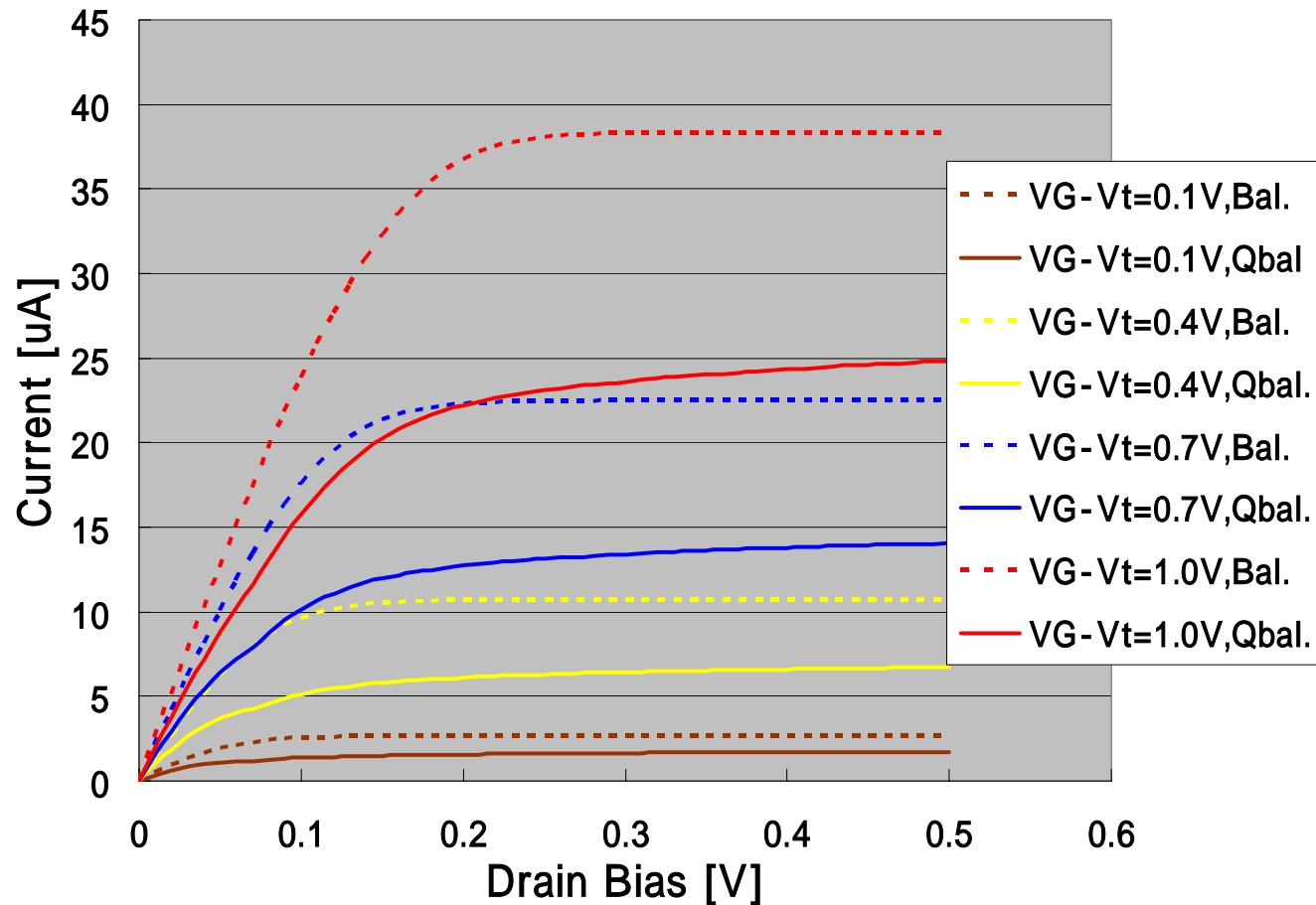
$$|Q_f + Q_b| = \frac{q}{\pi} \sum_i g_i \left[\int_{-\infty}^{\infty} \frac{dk}{1 + \exp \left\{ \frac{\varepsilon_i(k) - \mu_S}{k_B T} \right\}} - \int_{-\infty}^0 \left\{ \frac{1}{1 + \exp \left\{ \frac{\varepsilon_i(k) - \mu_S}{k_B T} \right\}} - \frac{1}{1 + \exp \left\{ \frac{\varepsilon_i(k) - \mu_D}{k_B T} \right\}} \right\} T_i(\varepsilon_i(k)) dk \right]$$

$$T(\varepsilon) = \frac{\sqrt{2D_0} qE}{\left(\sqrt{B_0 + D_0} + \sqrt{D_0} \right) qE + \sqrt{2mD_0} B_0 \ln \left(\frac{qEx_0 + \varepsilon}{\varepsilon} \right)}$$

(Carrier distribution in Subbands)

Unknowns are I_D , $(\mu_S - \mu_0)$, $(\mu_D - \mu_0)$, および $(Q_f + Q_b)$

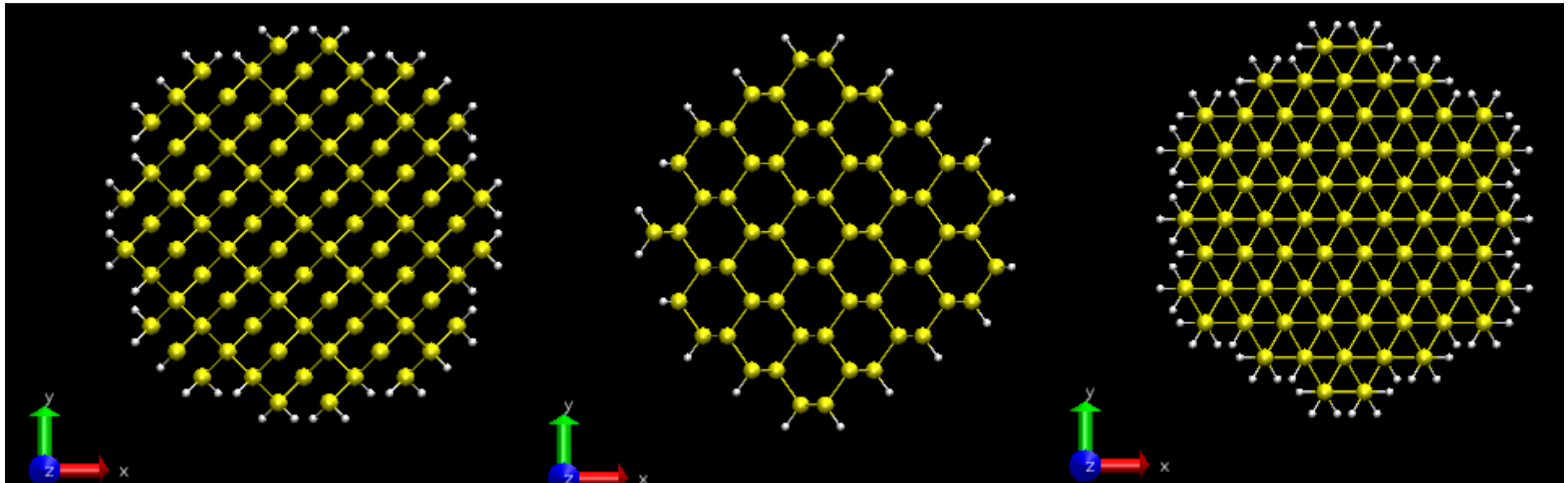
I- V_D Characteristics (RT)



- Electric current 20 ~ 25 μA
- No saturation at Large V_D

Cross section of Si NW

First principal calculation, TAPP



$D=1.96\text{nm}$

[001]

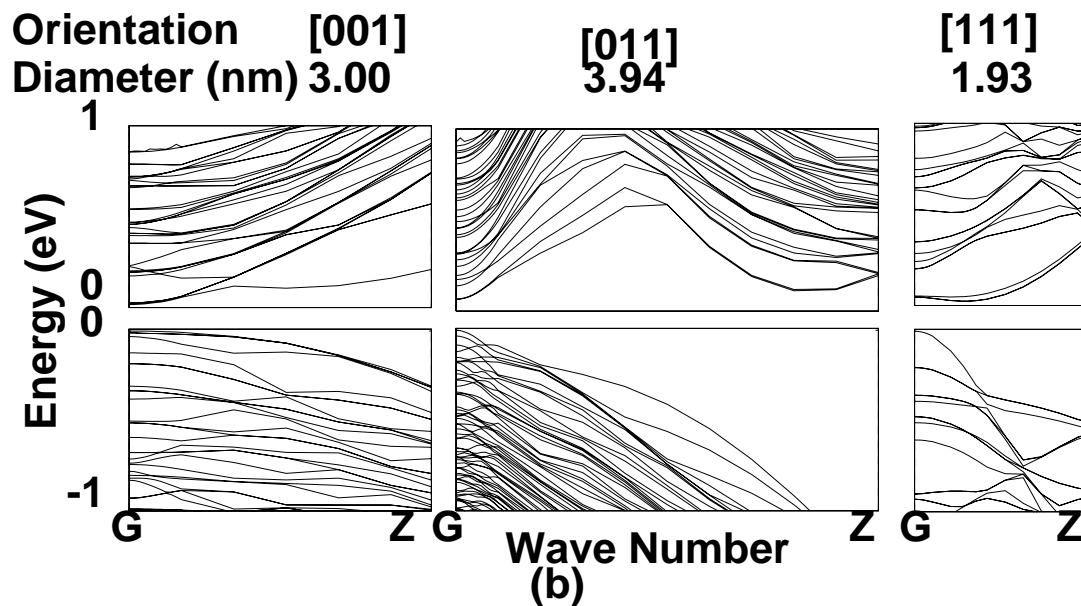
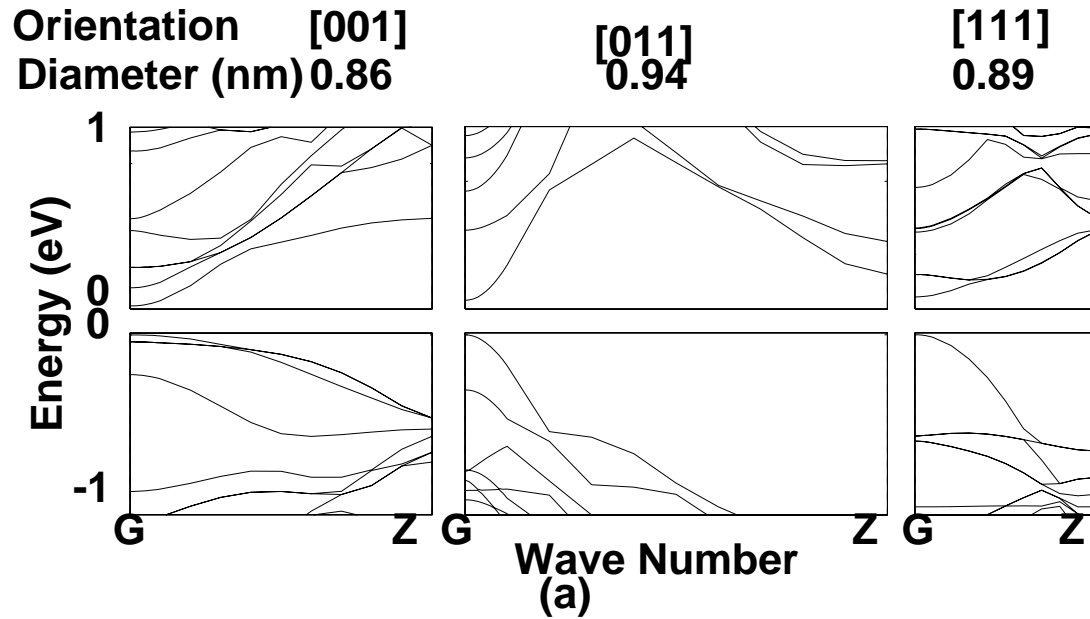
$D=1.94\text{nm}$

[011]

$D=1.93\text{nm}$

[111]

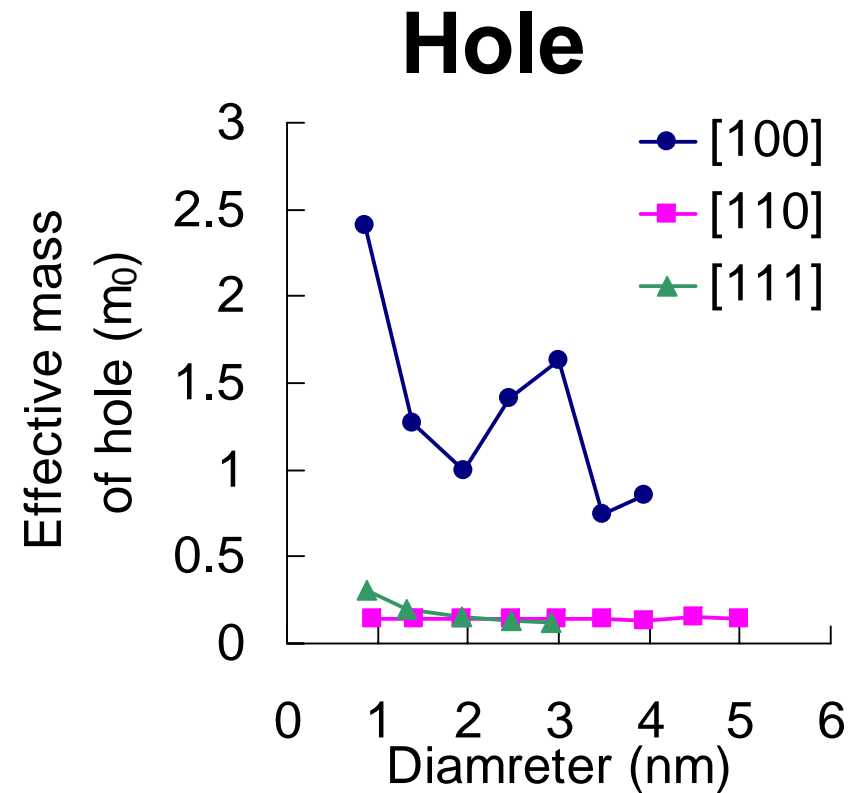
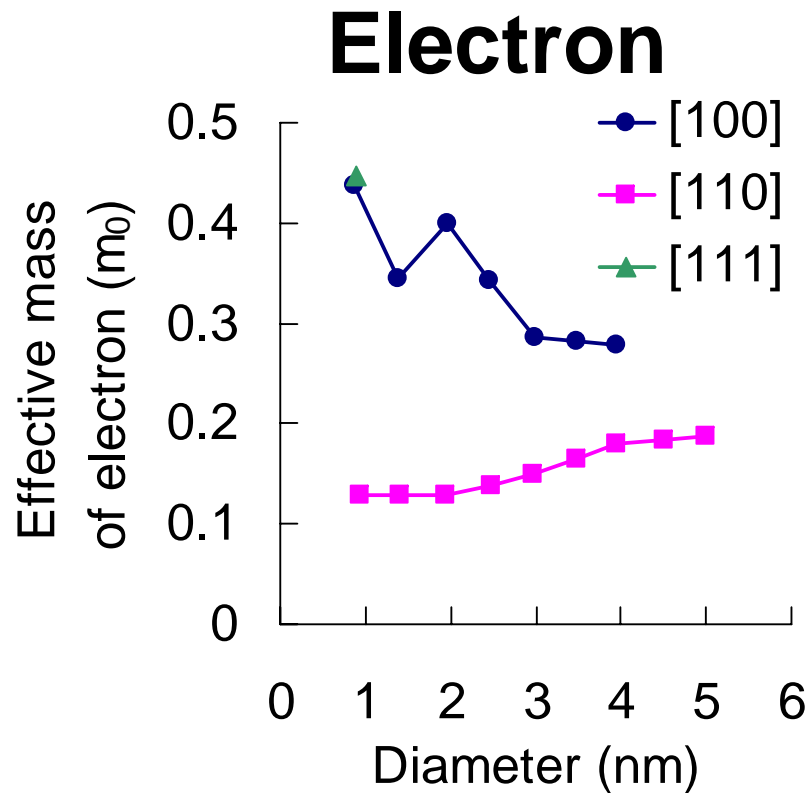
Si nanowire FET with 1D Transport



Small mass with [011]

**Large number of
quantum channels
with [001]**

Effective mass

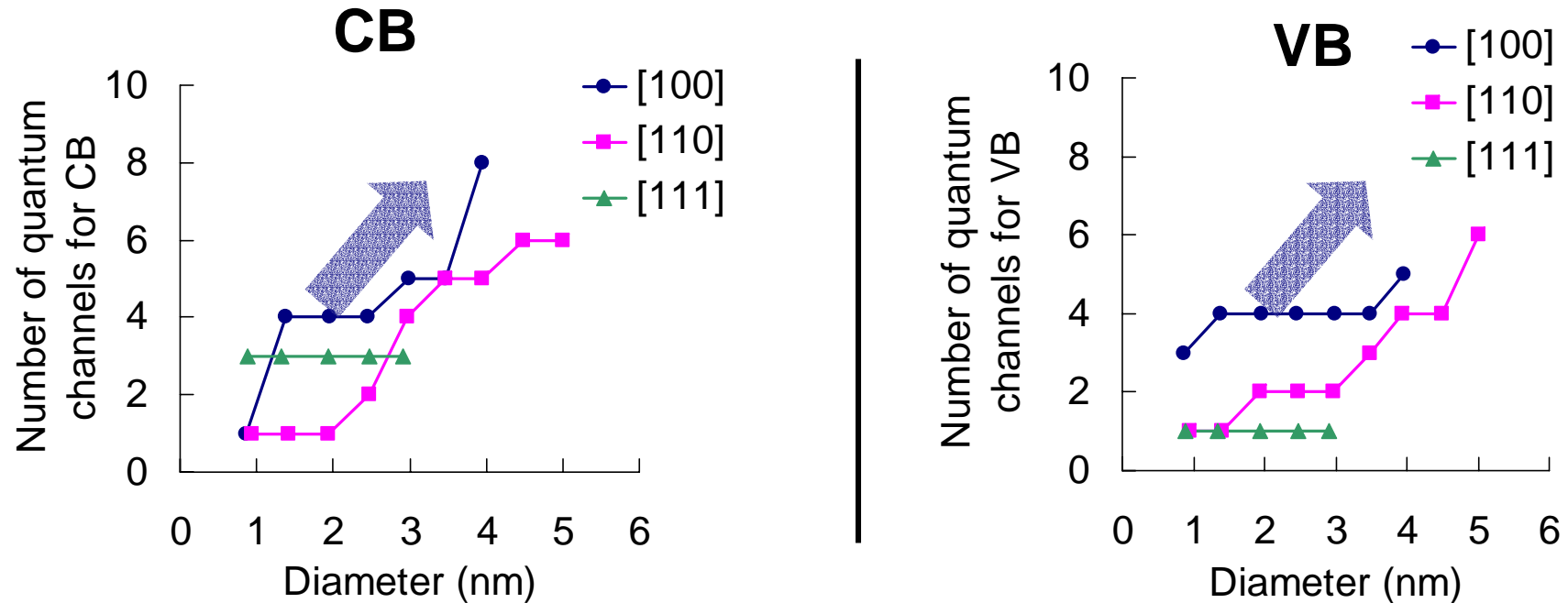


Lighter effective masses make conductance higher

Electron	$[100] \quad [111] > [110]$	lighter
Hole	$[100] \gg [110] \quad [111]$	

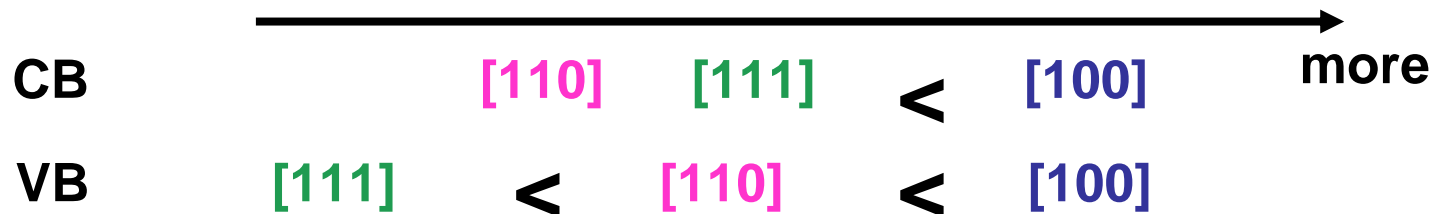
Numbers of Quantum Channels

Quantum channels denote subband edges within 0.1 eV from CBM and VBM



Quantum channels increase in large wire

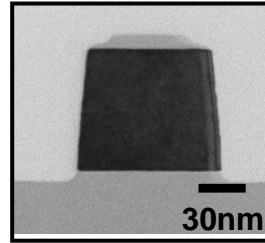
Quantum channel \longrightarrow Passage for transport



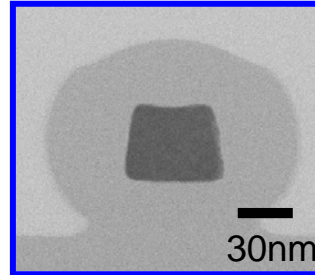
SiNW FET Fabrication

SiNW FET Fabrication

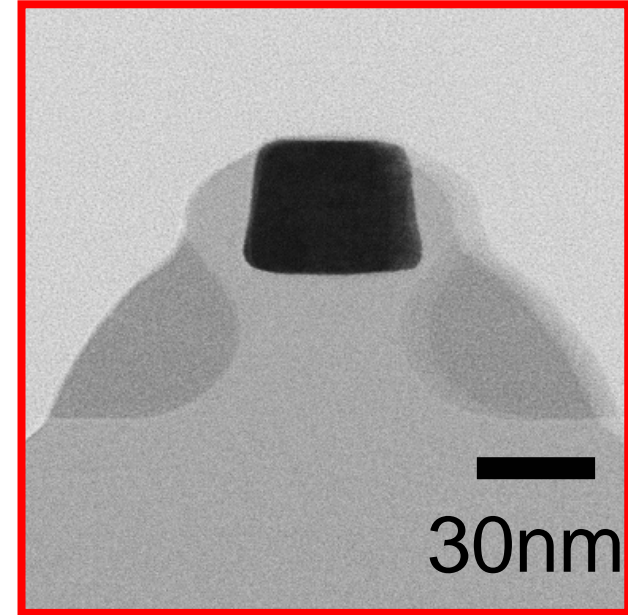
○ S/D & Fin Patterning



○ Sacrificial Oxidation



○ Oxide etch back



○ SiN sidewall support formation

○ Gate Oxidation & Poly-Si Deposition

○ Gate Lithography & RIE Etching

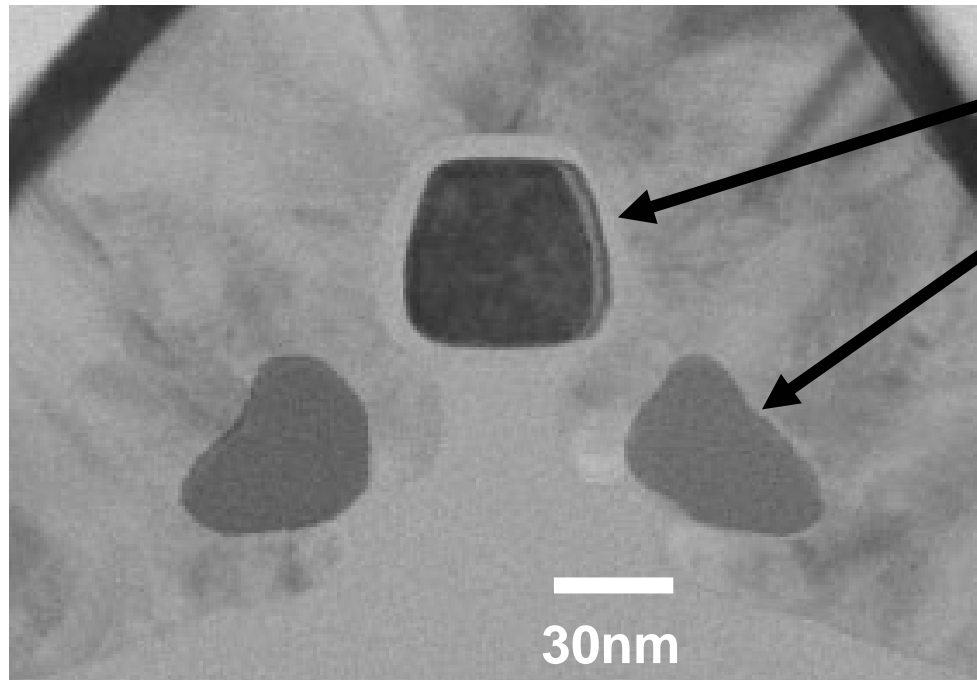
○ Gate Sidewall Formation

○ Ni SALISIDE Process (Ni 9nm / TiN 10nm)

○ Backend

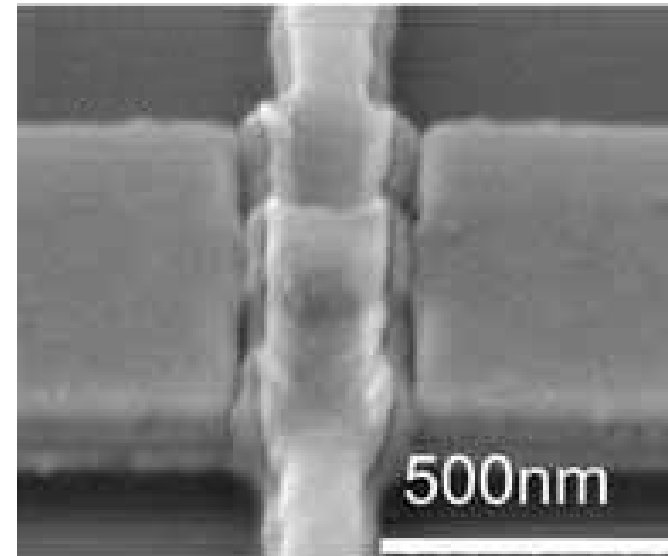
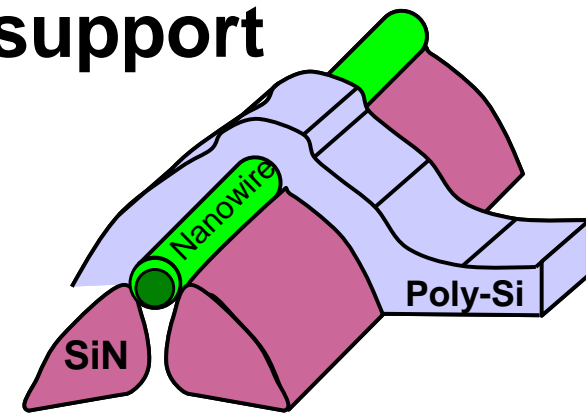
Standard recipe for gate stack formation

Fabricated SiNW FET

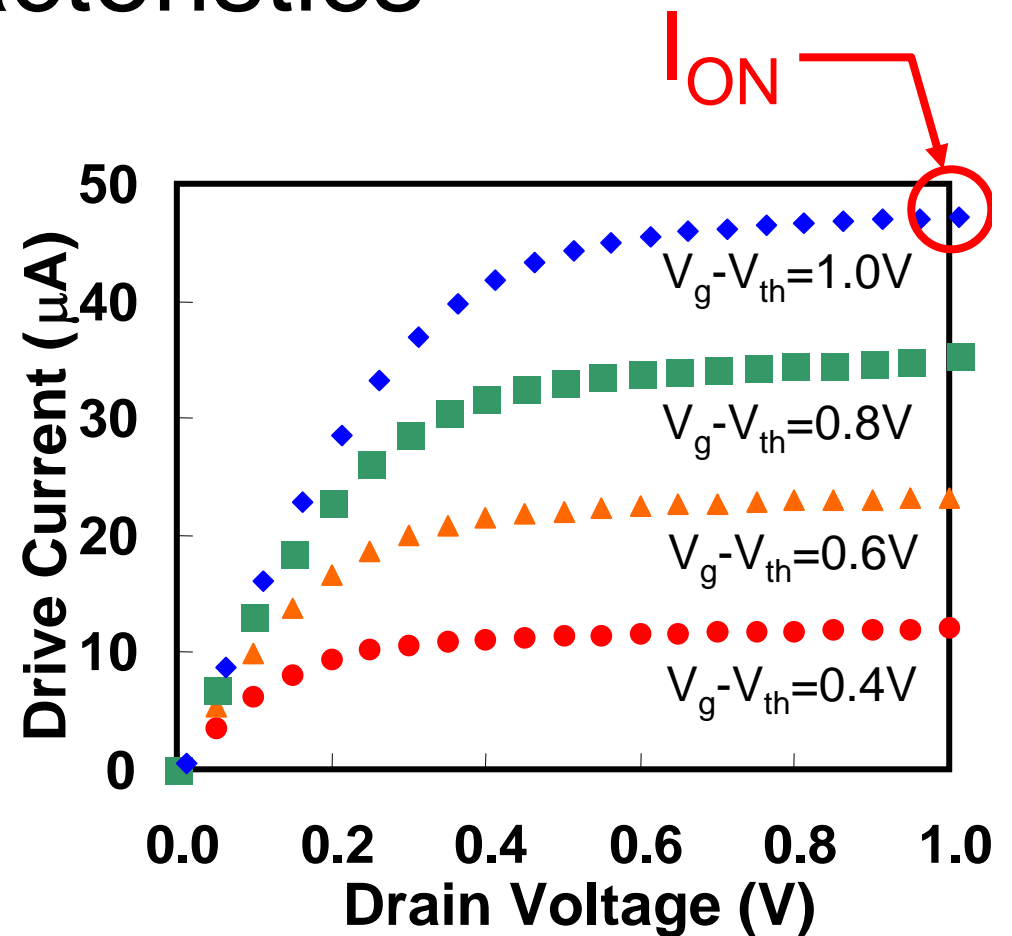
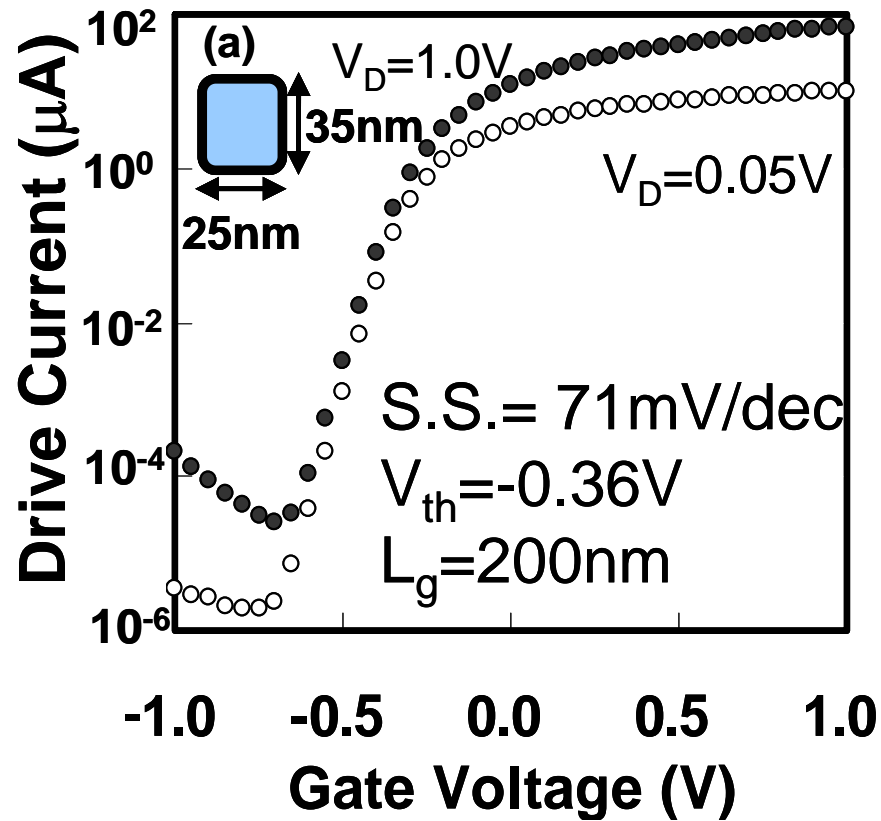


SiNW

SiN support

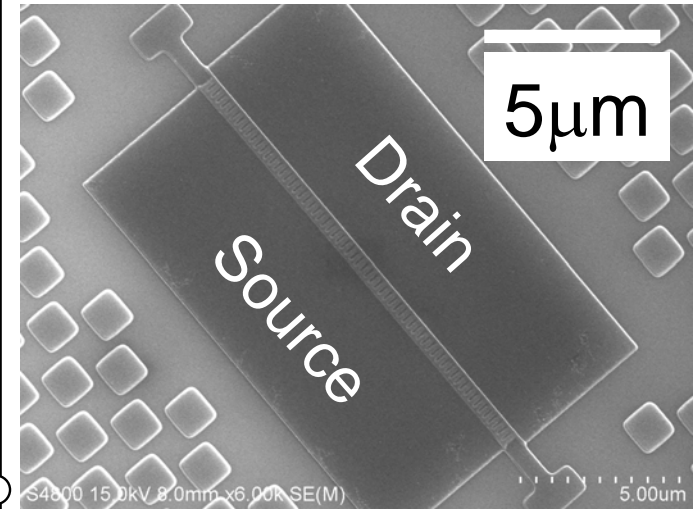
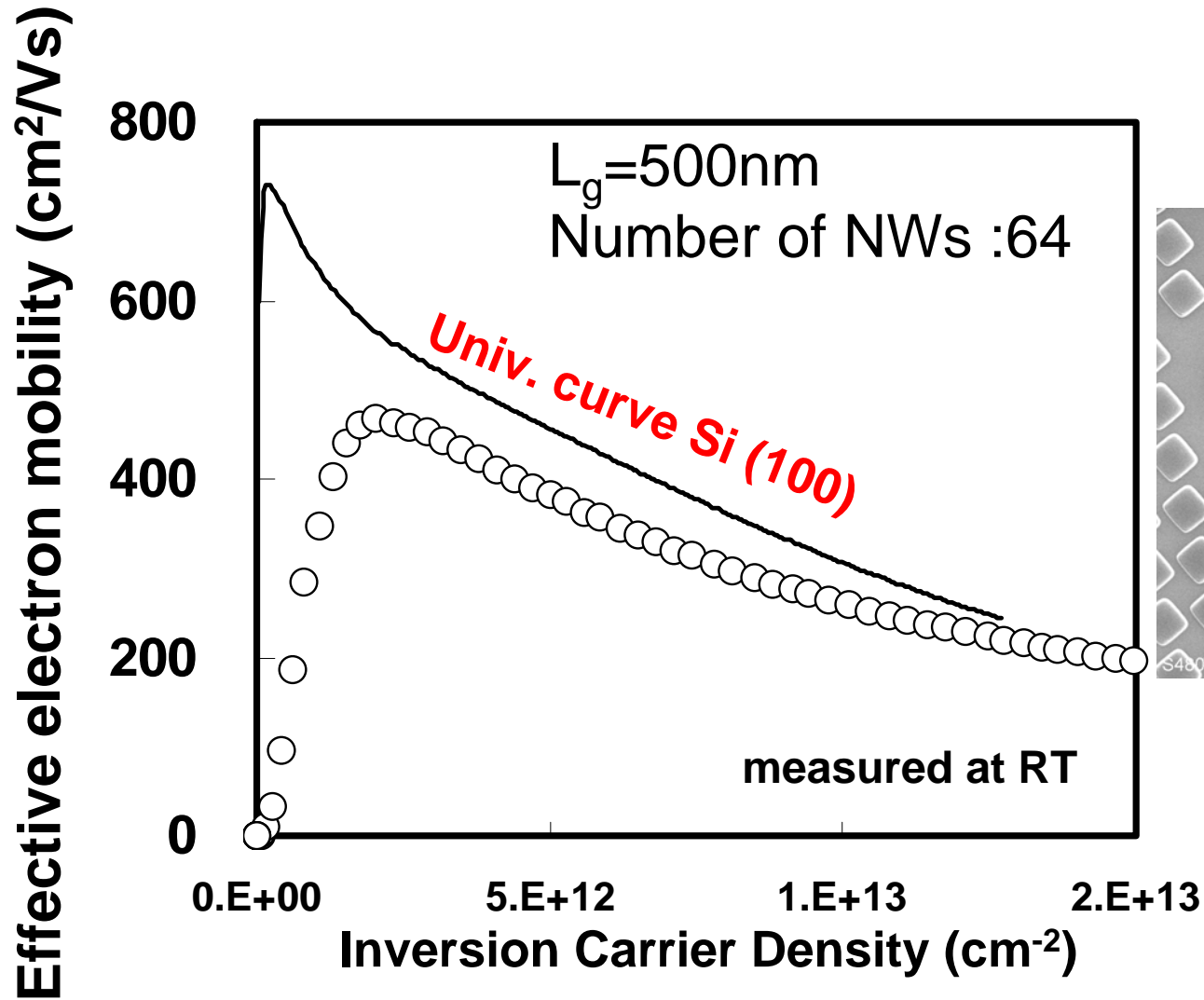


$I_d V_g$ and $I_d V_d$ Characteristics



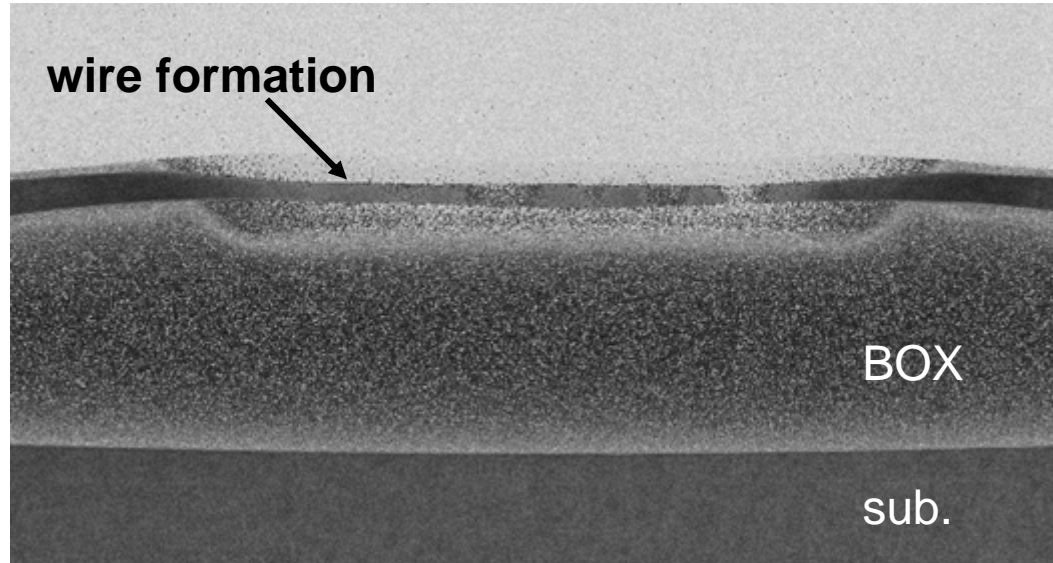
I_{on}/I_{off} ratio of $\sim 10^7$, high I_{on} of 49.6 $\mu A/wire$

Effective mobility extraction

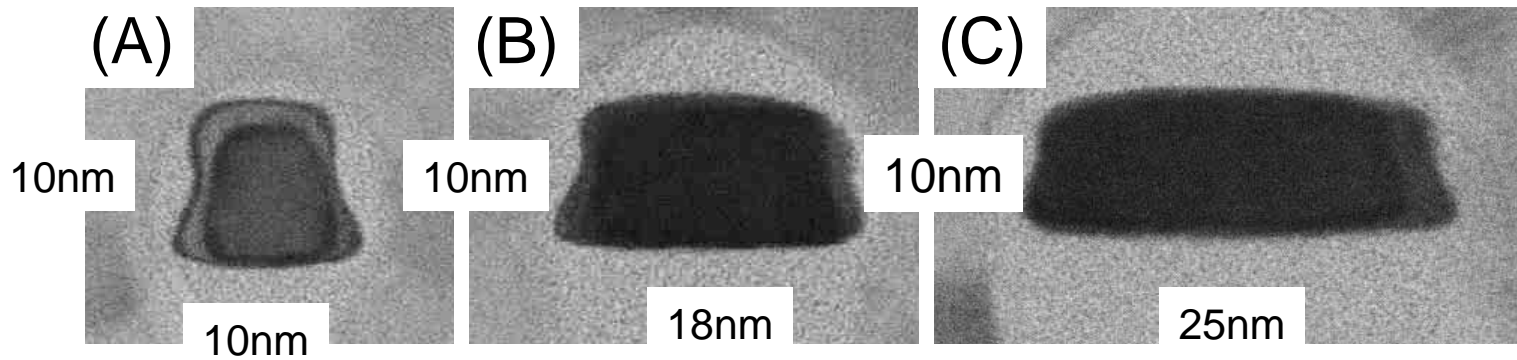


??

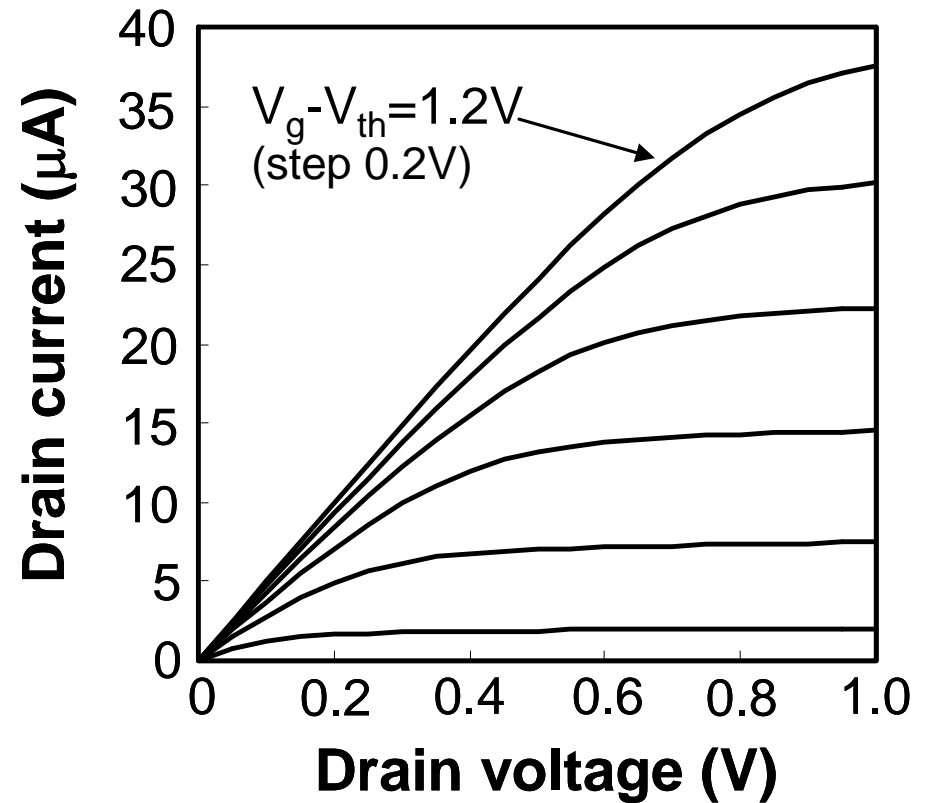
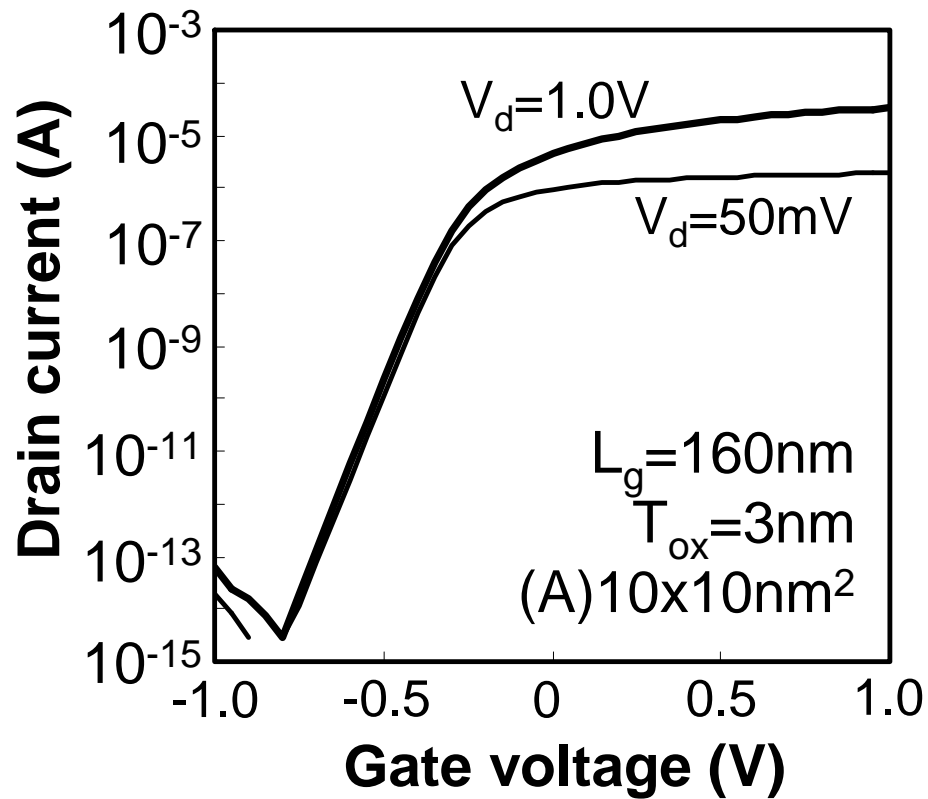
(a)



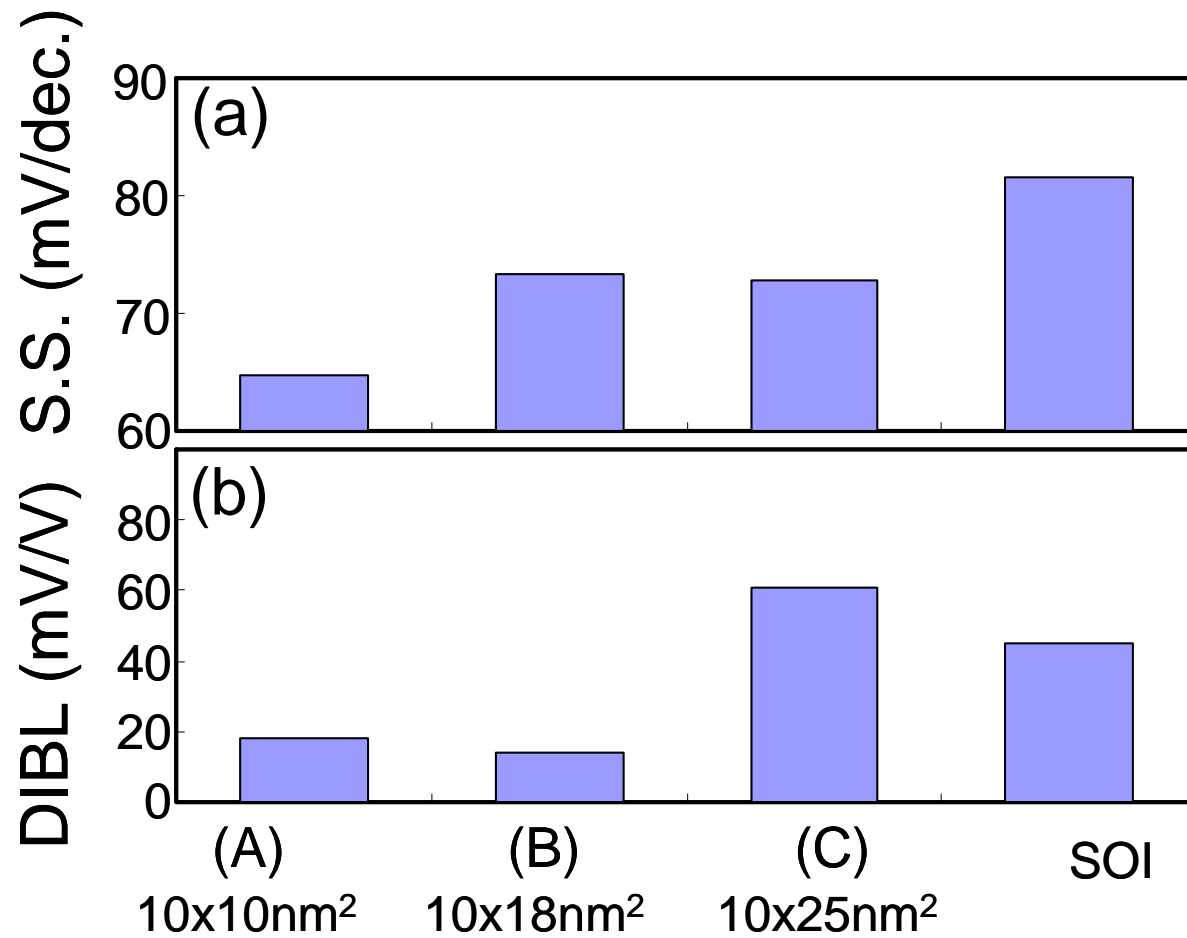
(b)



Output characteristics of $10 \times 10 \text{ nm}^2$ SiNW FET

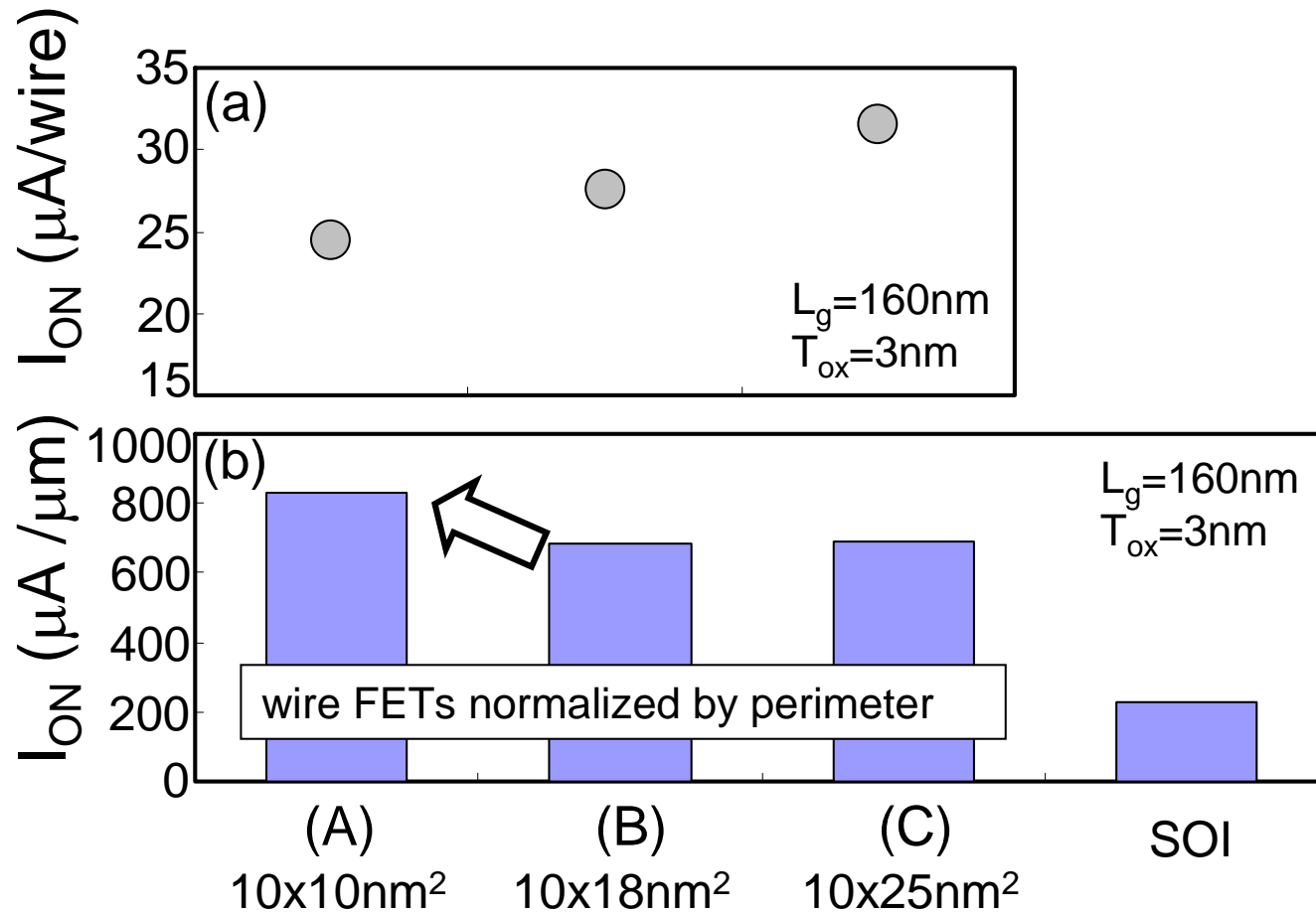


S. S. and DIBL



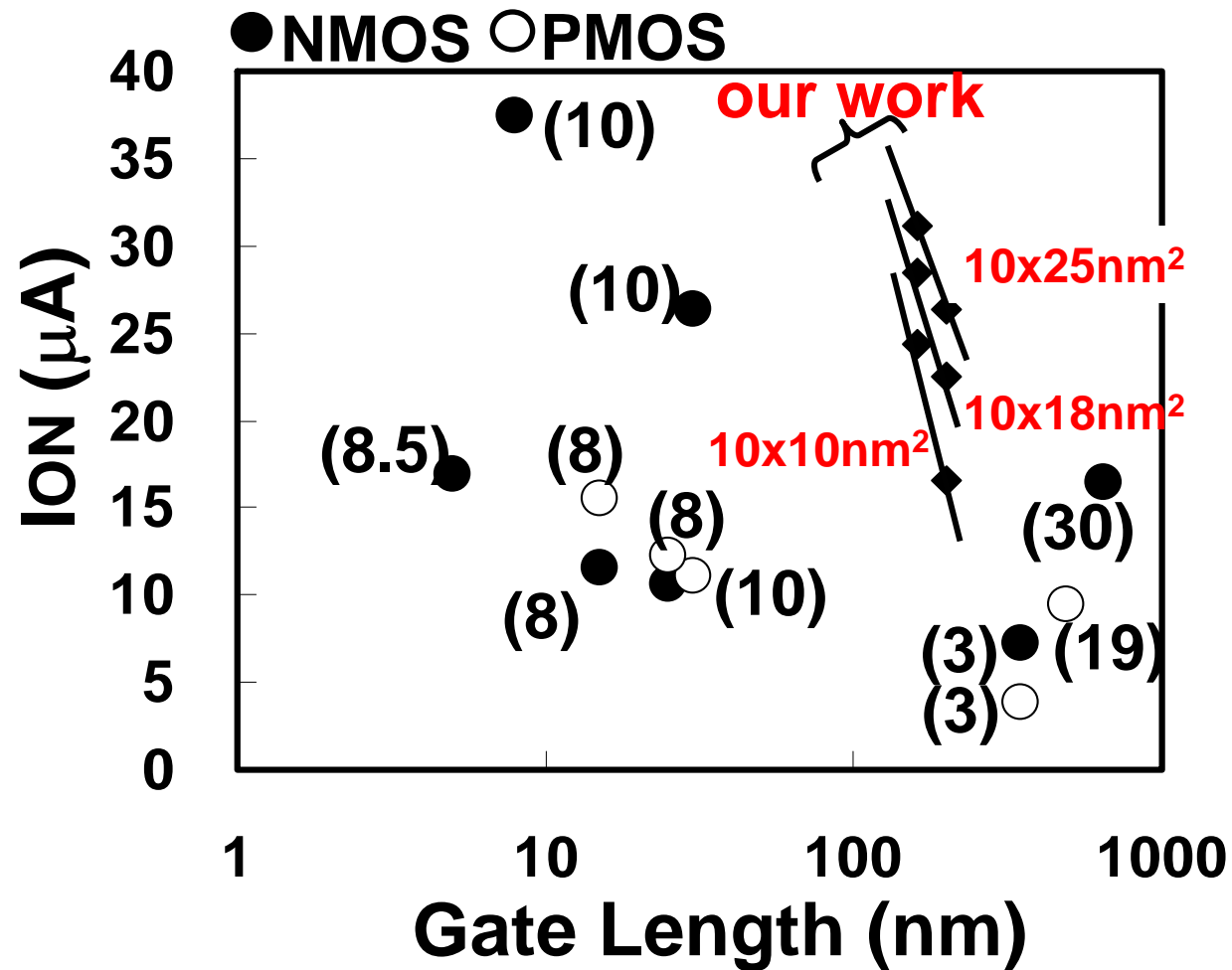
Nice electrostatic control of gate enables small S.S. and DIBL

On current assessment



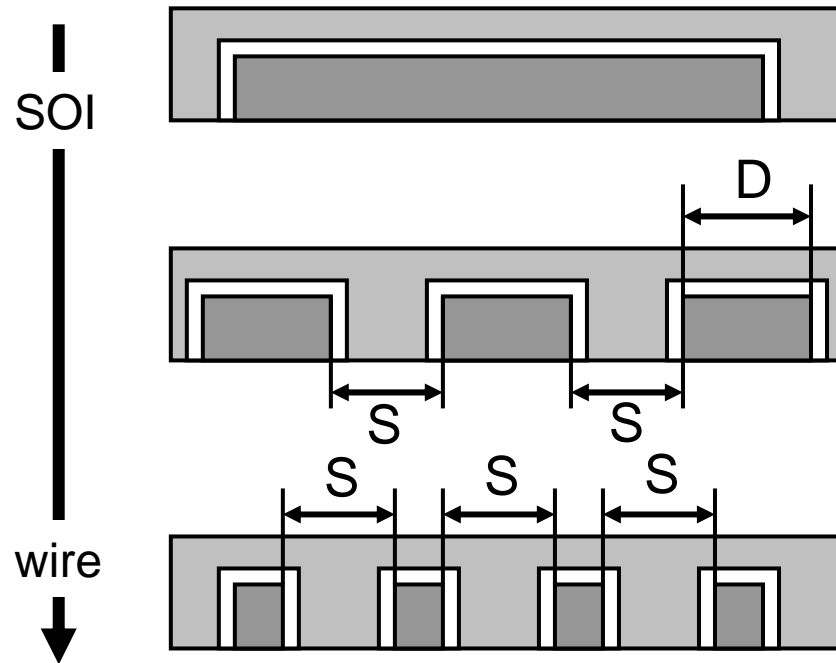
A slight enhancement in I_{ON} is observed when normalized by perimeter

Obtained Ion with reported data



Even with large L_g , fairly nice I_{ON} have been achieved

On current evaluation base on gate width



Year	half-pitch (nm), P
2010	45
2014	28
2018	18
2022	11

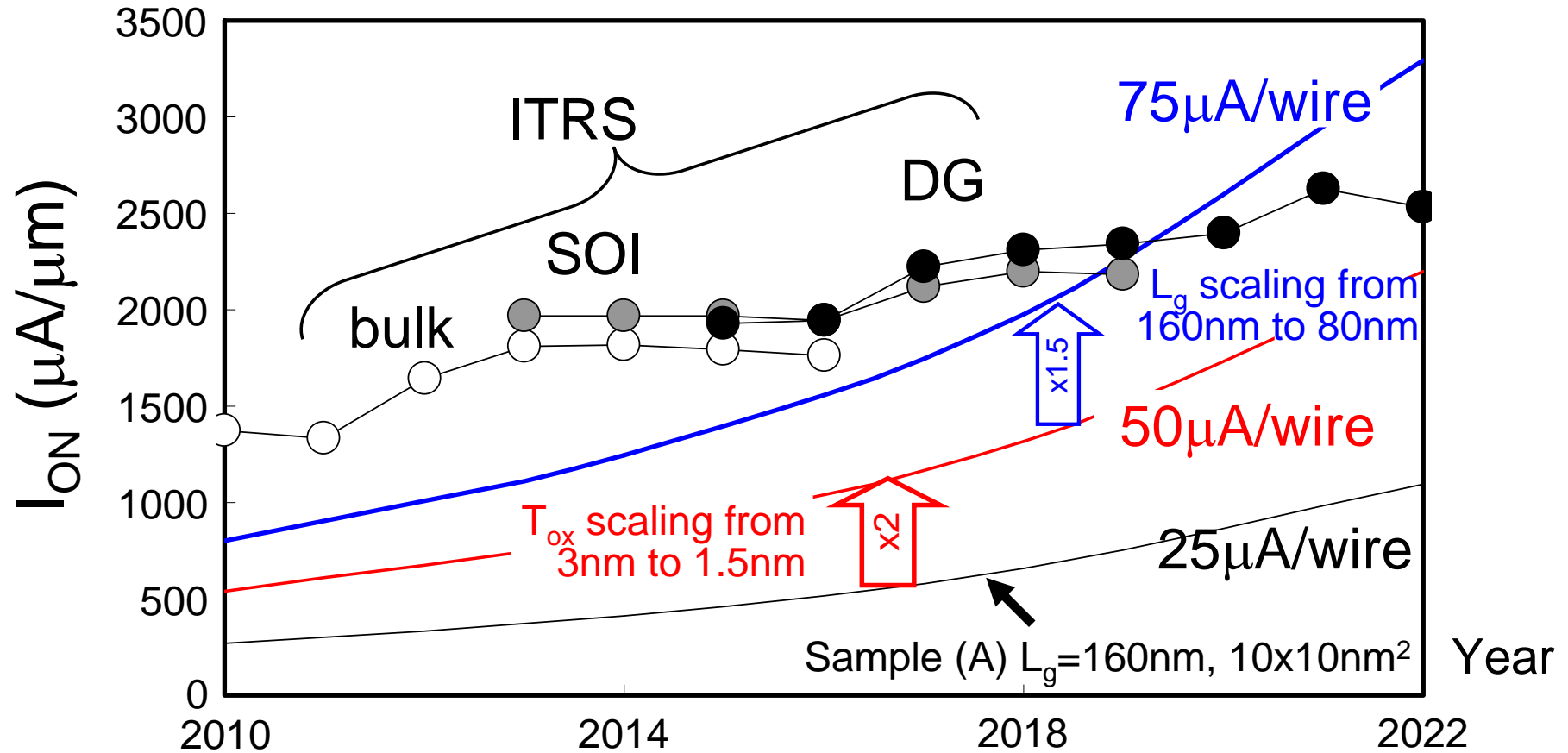
(based on ITRS2008update)

Numbers of wires are determined by the lithographic technology

$$\#N = \frac{1000(\text{nm})}{P} \quad \text{or} \quad \frac{1000(\text{nm})}{D + P/2}$$

(at $D < P/2$) (at $D > P/2$)

Performance of SiNW FET in ITRS



With device scaling in T_{ox} and L_g , SiNW FET can exceed the required performance in ITRS