

東京工業大学公開講座

2011年5月25日

節電社会を牽引する新たなナノSi技術 --- ナノCMOSの進化 ---

東京工業大学

フロンティア研究機構

(兼)大学院総合理工学研究科

岩井 洋

自己紹介

1972年4月 東京大学工学部電子工学科卒業

卒論:核融合:重水素プラズマ発生用Qスイッチレーザの開発

1973年4月～ 東京芝浦電気(株)総合研究所 集積回路研究所

NMOSLSI技術開発、1kbit SRAM、64kbit DRAM、1Mbit SRAM開発、
高速バイポーラ技術、BiCMOS技術開発、RFCMOS技術開発
Sub-50nmCMOS技術開発、等々

1983年3月～84年11月 スタンフォード大学 集積回路研究所

1999年3月まで (株)東芝半導体事業本部マイクロエレクトロニクス技術研究所

1999年4月～ 東京工業大学 大学院総合理工学研究科

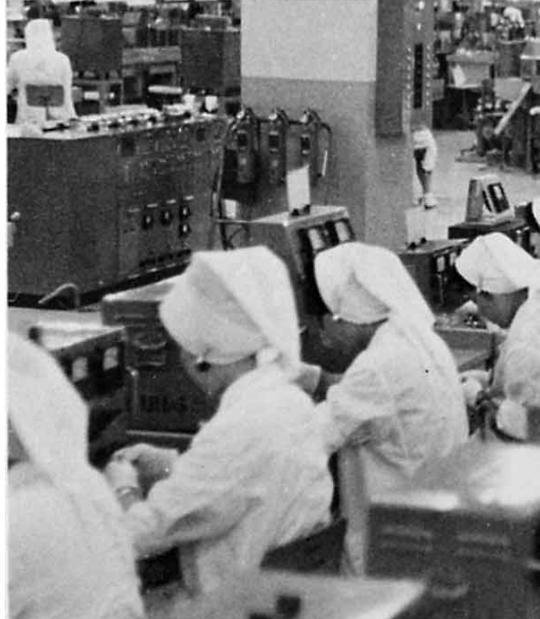
2011年5月現在 東京工業大学 フロンティア研究機構
(兼)大学院総合理工学研究科

Nano-CMOS, high-k, Si-nanowire, III-V MOSFET, ReRAM、等々

学会:IEEE, President, Electron Devices Society
Director, Div I
Member, Board

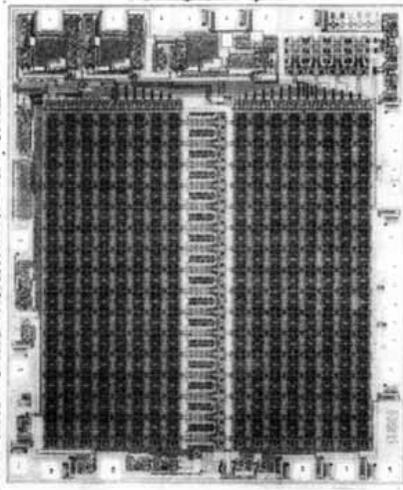


余談ですが...



Wafer Yield

1k bit NMOS SRAM



100%



50



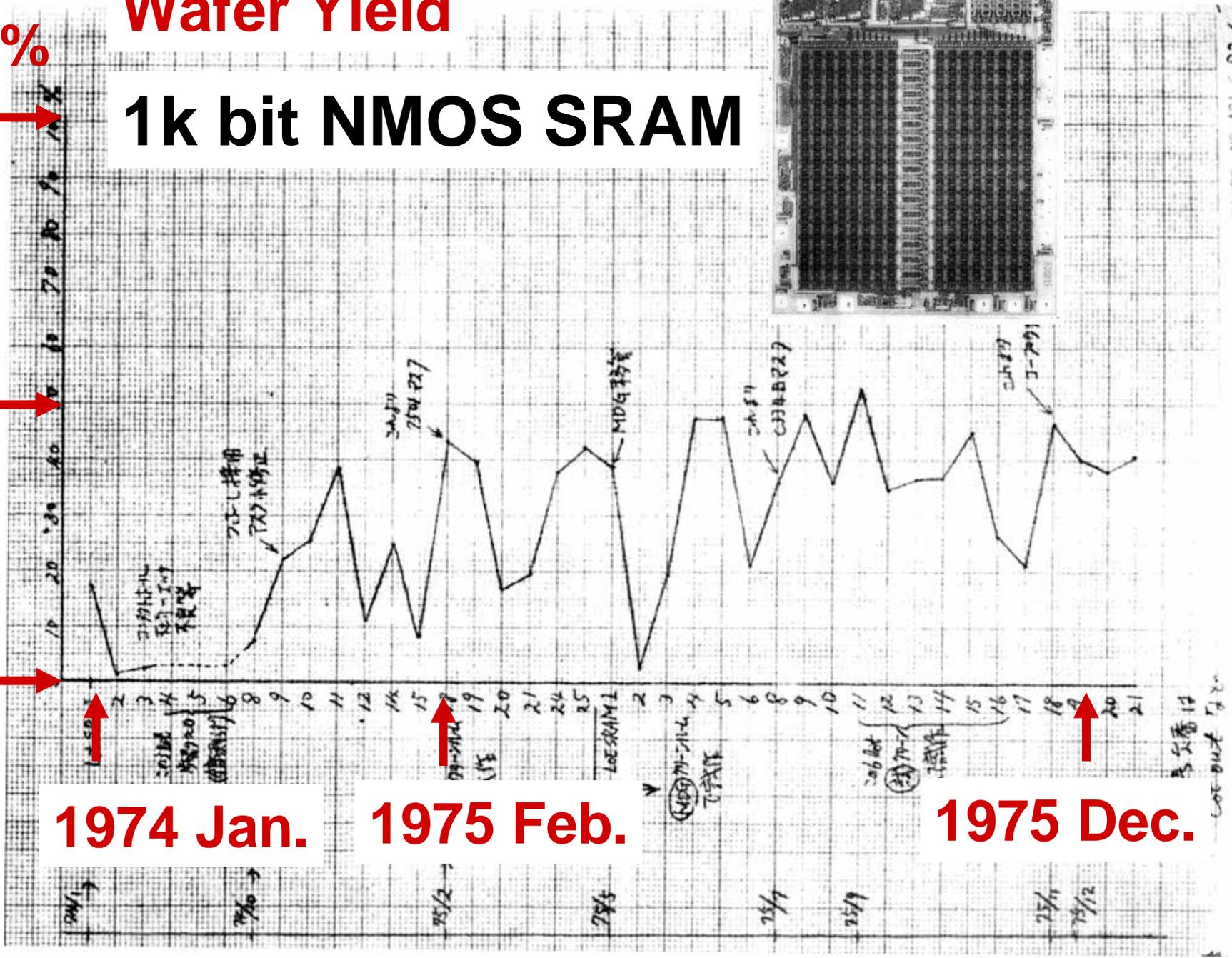
0



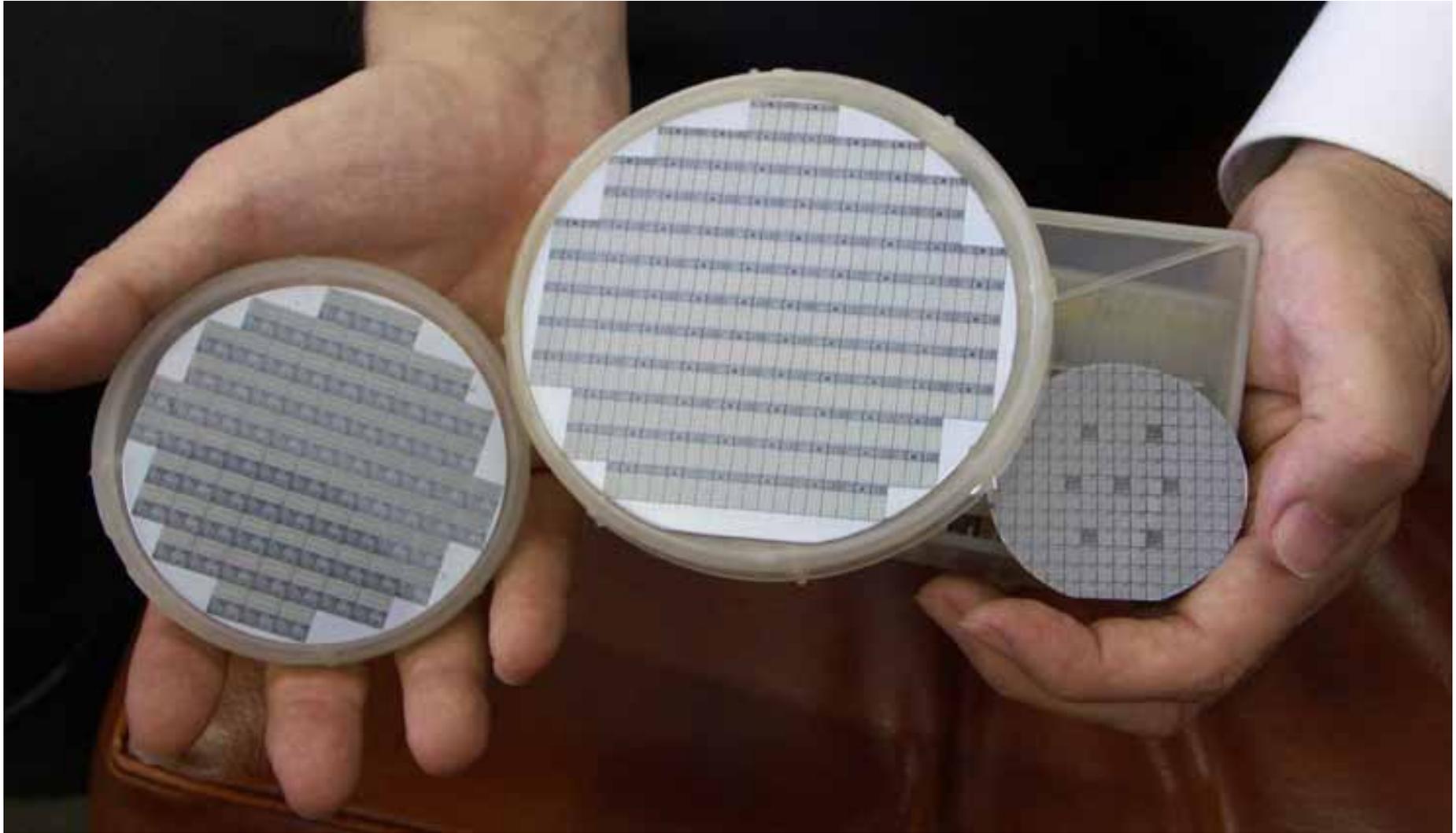
1974 Jan.

1975 Feb.

1975 Dec.







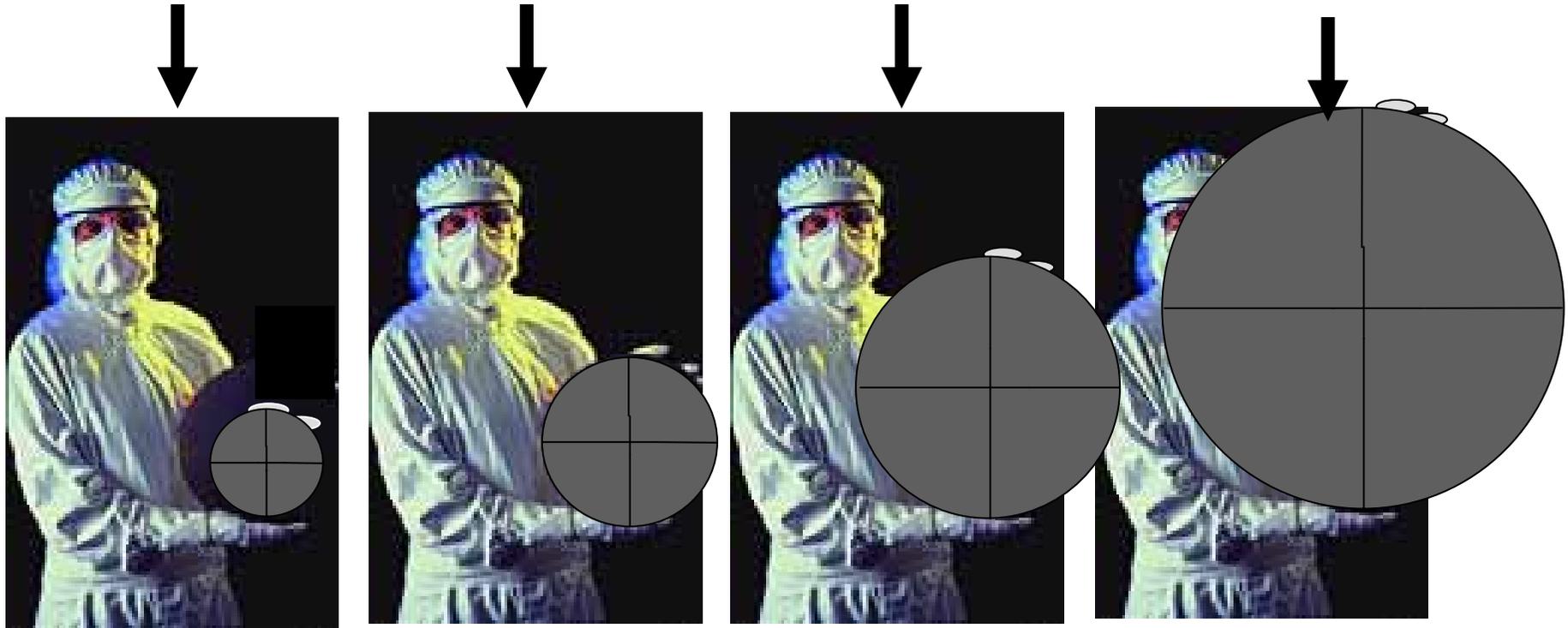
75 mm, 100 mm, 50 mm

過去

現在

まもなく

本当にここまで？
当分出番は無い



200mm/1990

300mm/2001

450mm/2012?

675mm/2025?

← (125/150mm - 1981)



節電に向けて集積回路の果たす役割

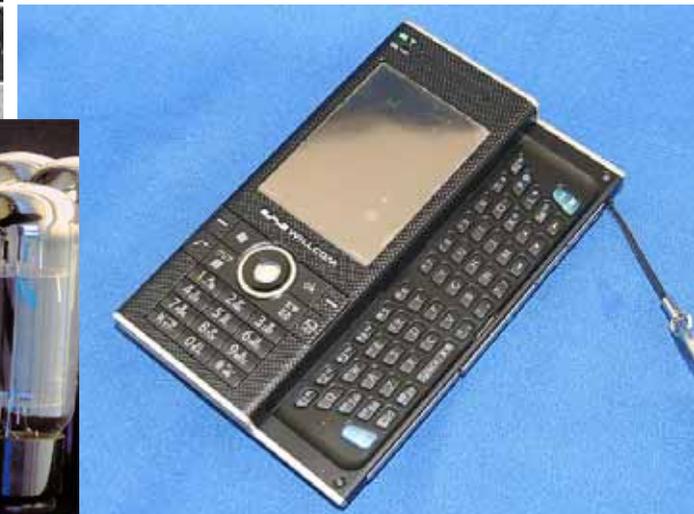
世界最初の電算機 Eniac: 多くの真空管で形成 1946年 重厚長大, 大消費電力, 真空管のフィラメントの寿命が短時間

真空管: 17,468本の、抵抗器: 70,000個の、コンデンサ: 10,000個

幅24m、高さ2.5m、奥行き0.9m、総重量30トン、消費電力: 150kW



今日のpocket PC
は遥かに高性能で、
尚且つ極めて低消費電力



最近のSDカード



最近のSDカード



$$\begin{aligned} 128\text{GB} &= 128\text{Gbite} \\ &= 128\text{G} \times 8\text{bit} = 1024\text{Gbit} \\ &= 1.024\text{T(Tera)bit} \end{aligned}$$

(1bit: 最小の情報“0”又は“1”)

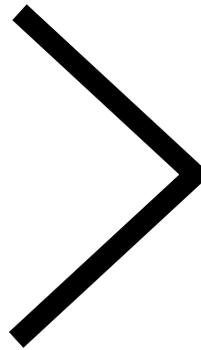
$$1\text{T} = 10^{12} = 1\text{兆個}$$

世界人口: 60億人

脳細胞(人間): 100 ~ 1000億個

銀河系 恒星: 1000億個

最近のSDカード

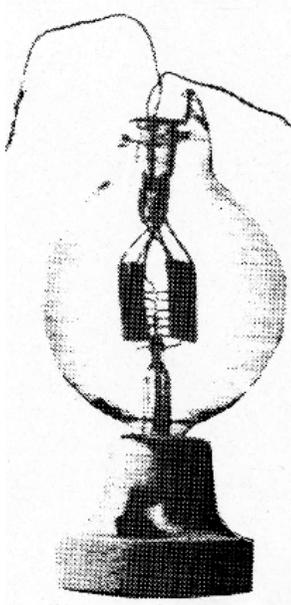




2.4cm(幅) X 3.2cm(長さ) X 0.21cm(厚さ)

体積:1.6cm³ 重さ:2g

電圧:2.7 - 3.6V



昔の真空管 1個:

5cm X 5cm X 10cm、 100g、 100W

1Tbit = 1兆個 = 1万個 X 1万個 X 1万個

体積 = 0.5km X 0.5km X 1km
= 0.25 km³ = 0.25X10¹²cm³

重さ = 0.1 kgX10¹² = 0.1X10⁹ton = 1億ton

消費電力 = 0.1kW X 10¹² = 500億kW

東電供給電力 5500万kW

集積回路:トランジスタの微細化は節電に有効

集積回路の電力(P)はトランジスタの
キャパシタンス(C)の充放電で決まる。

電源電圧をVとすると:

$$P = CV^2/2$$

微細化によって、C、Vとも減少

トランジスタ当たりの消費電力激減

東電管内での

全PCの消費電力:100万kW

全データセンターでの消費電力:数10万kW

ちなみに、スーパーコンピュータ:Cray XT6(本体):7000kW

集積回路:トランジスタの微細化は高性能化にも有効

トランジスタのスイッチング時間(τ)は
キャパシタンス(C)の充放電で決まる。

電源電圧を V ,電流を I とすると:

$$\tau = Q/I = CV/I$$

Q : キャパシタに
蓄えられた電荷

微細化によって、 C 、 V とも減少

トランジスタの τ 激減

一方、微細化によってトランジスタ数激増

→ 多数の並列演算が可能 → 演算速度の向上

、 で一石二鳥の効果

微細化が集積回路発展の駆動力



	1900	1950	1960	1970	2000
	真空管	Transistor	IC	LSI	ULSI
寸法	10 cm	cm	mm	10 μ m	100 nm
(ゲート長、 フィラメント)	10^{-1} m	10^{-2} m	10^{-3} m	10^{-5} m	10^{-7} m

過去100年足らずの間に百万分の一に縮小

石器時代から人類は数々の道具を発明して来たが、このような急激な微細化は、人類史の中で空前絶後の出来事

微細化によりトランジスタ当たりのコストも激減

128GB SDカード 4万円

→ 1bit 当たり 4×10^{-8} 円 → 4沙円

→ 40 n円 → これが本当のナノテク??

-1 -2, -3, -4, -5, -6, -7 -8, -9,-10,-11,-12
分, 厘, 毛, 糸, 忽, 微, 纖, 沙, 塵, 埃, 縷, 漠

..... -20 -21, -22,-23,
虚, 空, 清, 浄

-9: nano, -12:pico, -15: femoto,
-18: atto, -21: zept, -24: yocto

nm =塵米
(中国は別)

節電に向けて集積回路が果たすもう一つの役割

言うまでもないが

集積回路は、

今や我々人類社会に必要な不可欠なものとなっている

我々の社会はCMOS集積回路の補助無しではやっていけない

家庭、オフィス、生産、金融、通信、運輸、医療、教育、娯楽等

仮に、CMOS集積回路が動かなければ

銀行のコンピュータが停止 世界経済が直ちに停止

携帯電話を含め世界の通信が停止

情報が全く入らない状況

原発の制御も当然不可能

今後、少子高齢化社会において、人間の知的作業を代行・補助する機器が重要で、このためにも集積回路が重要

省エネの為には、集積回路を制御素子として、ありとあらゆる所に用いて

1. あらゆるシステムの高効率化・省エネ化

自動車エンジン制御

都市交通網制御

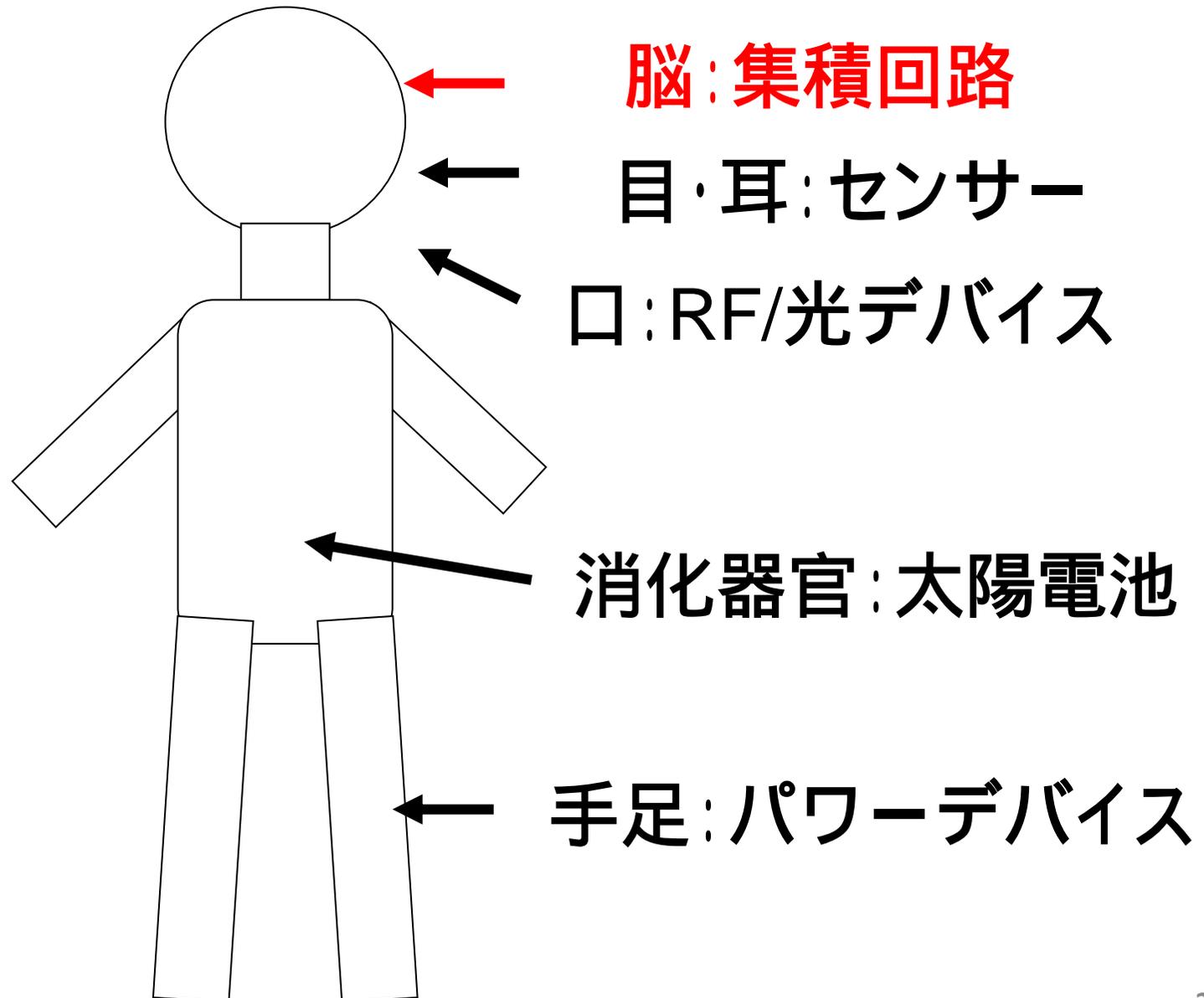
スマートグリッド(送電制御)

製造マシン

2. 電力供給能力状況に対応した、システム・機器の省エネモード動作化、一時停止

エアコン、家電

各種電子デバイスの省エネに対する重要性



集積回路の省エネへの貢献(まとめ)

2通りの貢献: いずれも微細化が鍵

1 . Green **by** IC (IC: Integrated Circuit)

集積回路を用いたシステムの高効率化・省エネ化

集積回路の低消費電力化も勿論であるが、
更なる高性能化も重要

2 . Green **of** IC

集積回路自身の低消費電力化

PC, データセンター, 携帯電話など

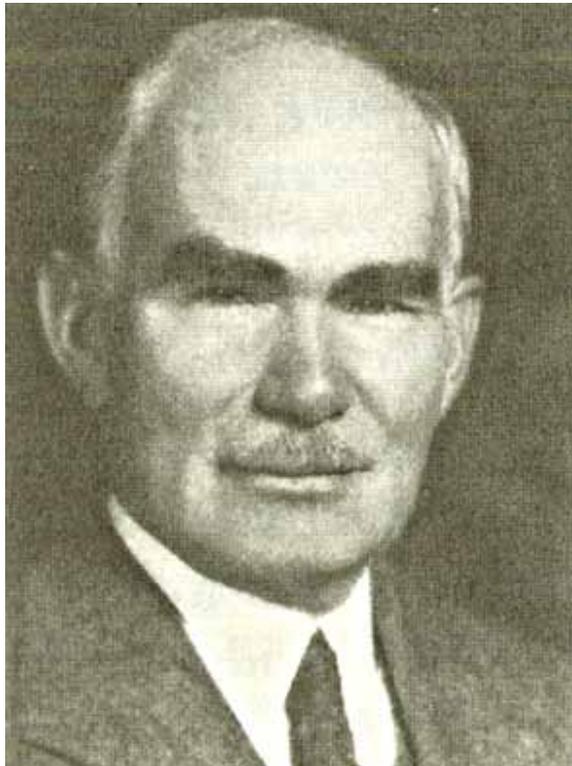
集積回路微細化の歴史

1906: 真空管 : 3 極管

2006年はその100周年

この100年前後にされた発明
の中でも最も重要なもの

Lee De Forest (1873-1961)

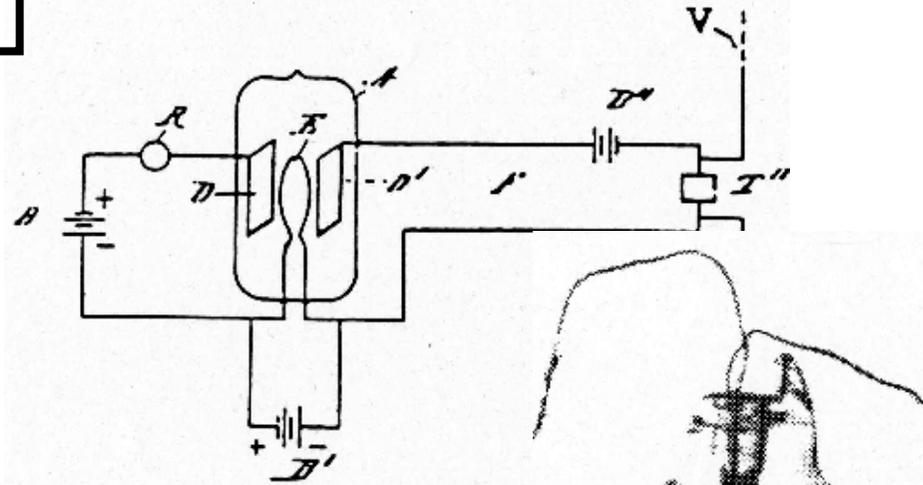


1996年 コンピュータ50周年

1997年 電子発見 100周年

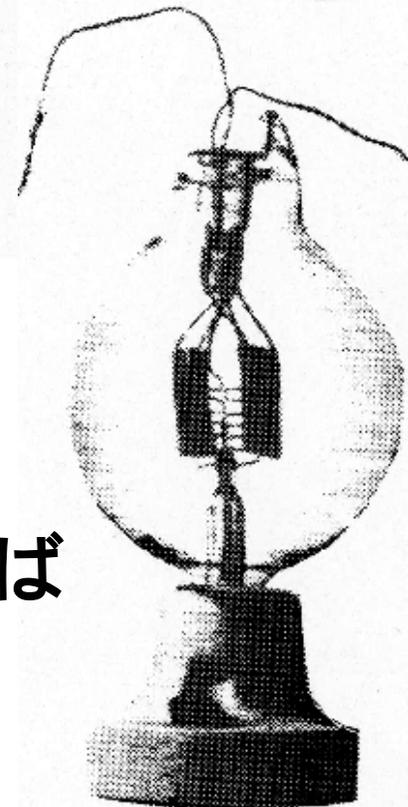
トランジスタ50周年

2005年 物理年 アインシュタイン



電子回路は3極管
がその始まり

彼が長生きしていれば
ノーベル賞を受賞
したであろう



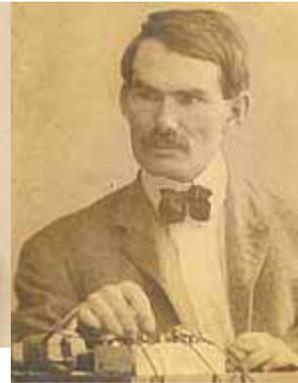
Lee De Forestの4人の妻

1906 Lucille Sheardown

1907 Nora Blatch

1912 Mary Mayo, singer

1930 Marie Mosquini, silent film actress

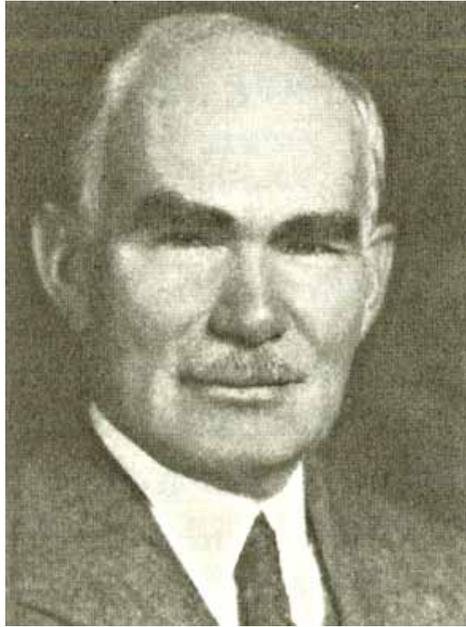


Mary

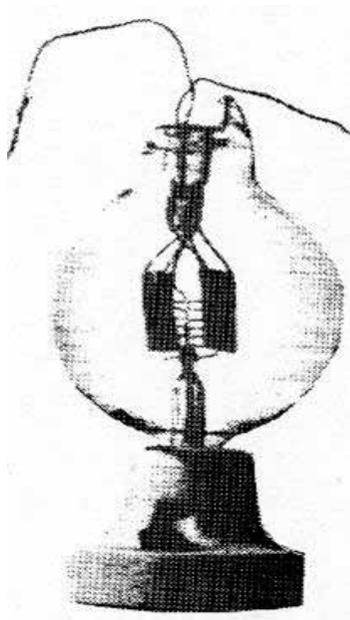


Marie





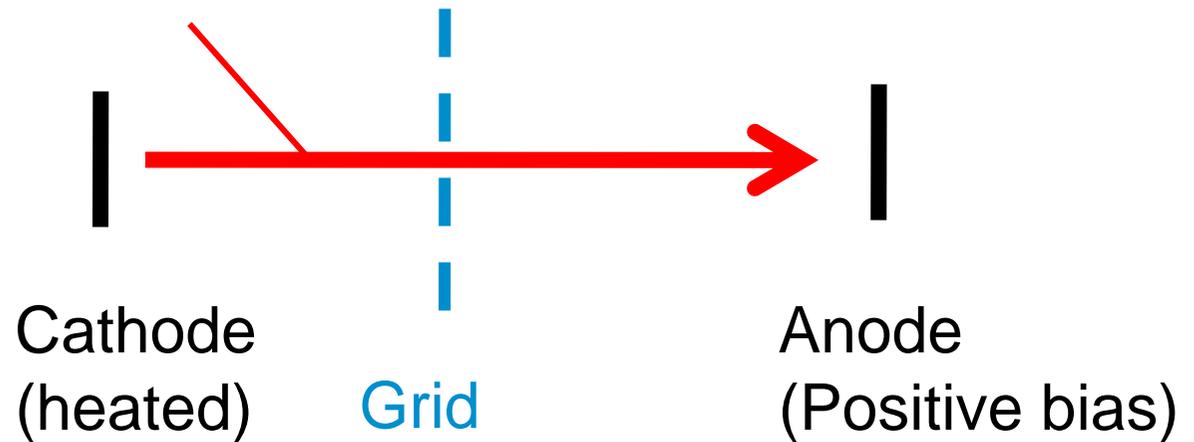
Lee De Forest



真空管 (3極管) の原理

グリッドの電位で
電子の流れを制御
(オン・オフを制御)

熱電子放出



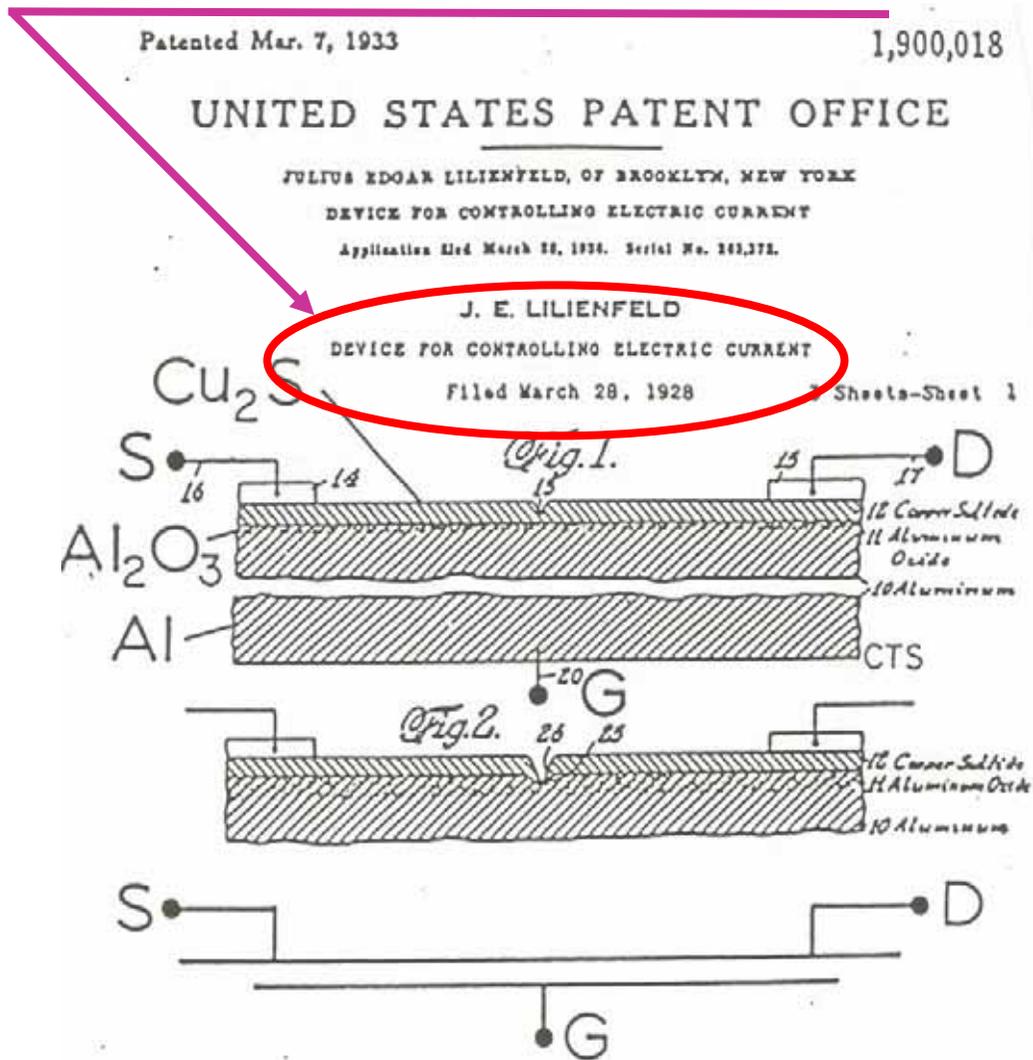
現在のトランジスタと同じメカニズム

J. E. LILIENFELD

DEVICES FOR CONTROLLED ELECTRIC CURRENT

Filed March 28, 1928

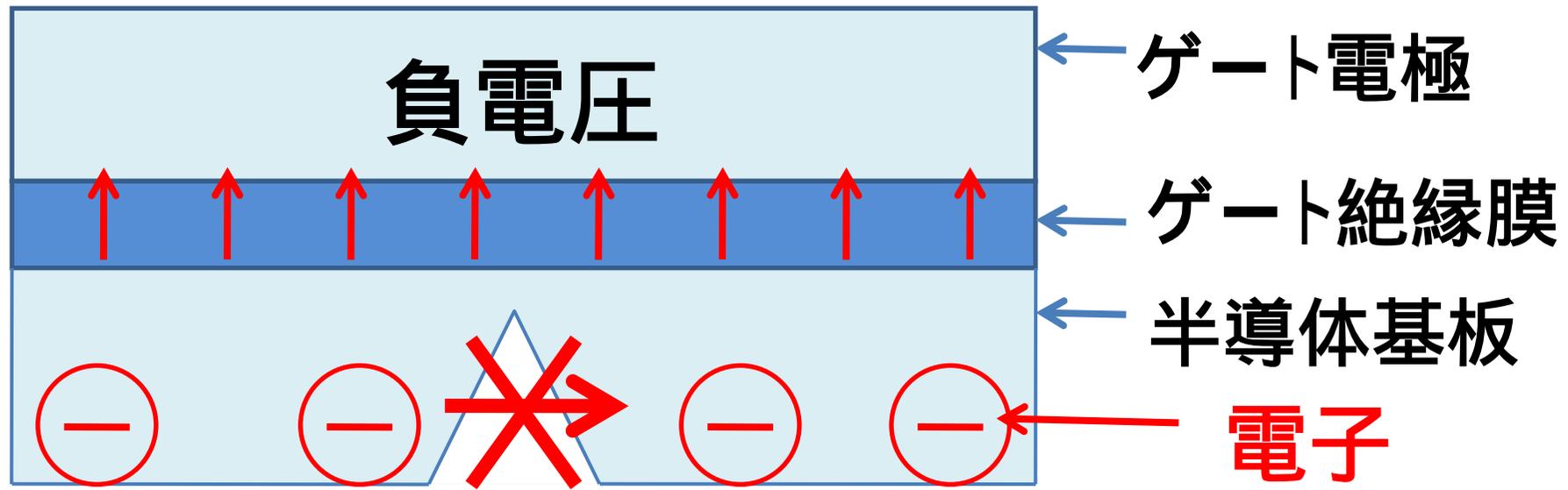
最初のトランジスタ
(MOSFETのアイデア)



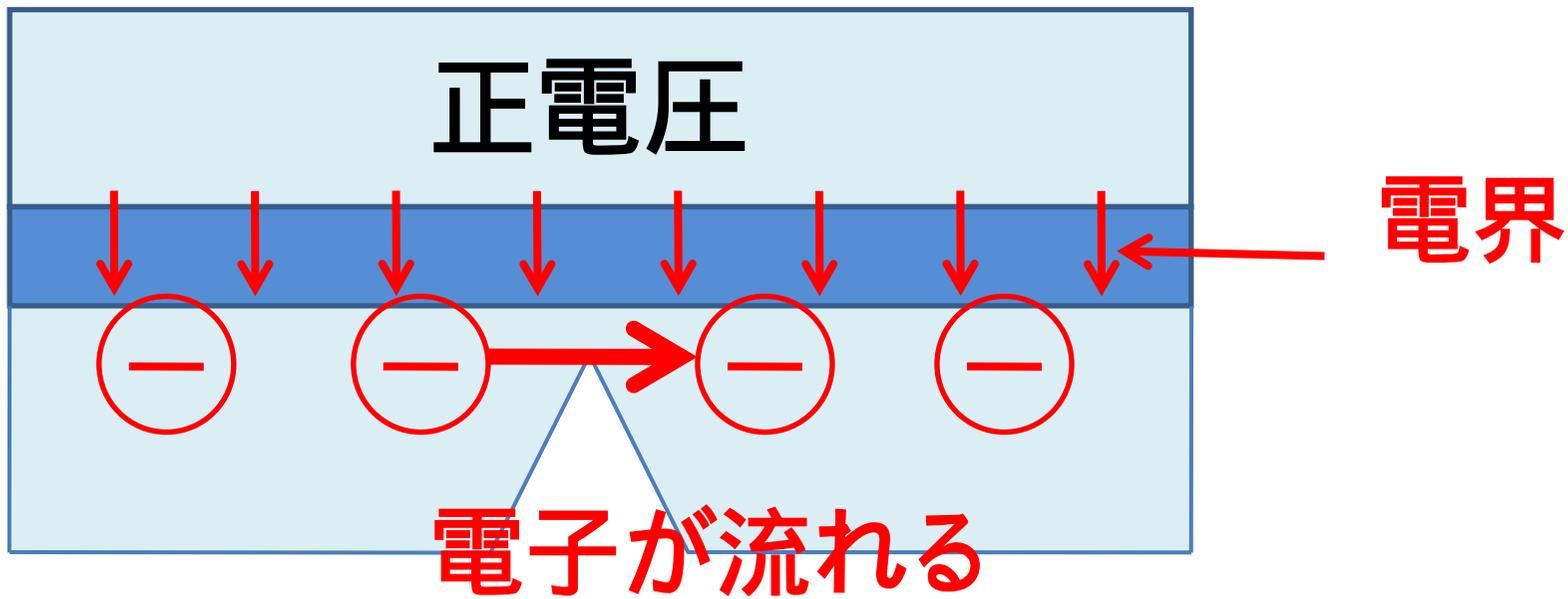
J.E.LILIENFELD



キャパシタ構造(基板に楔入り)

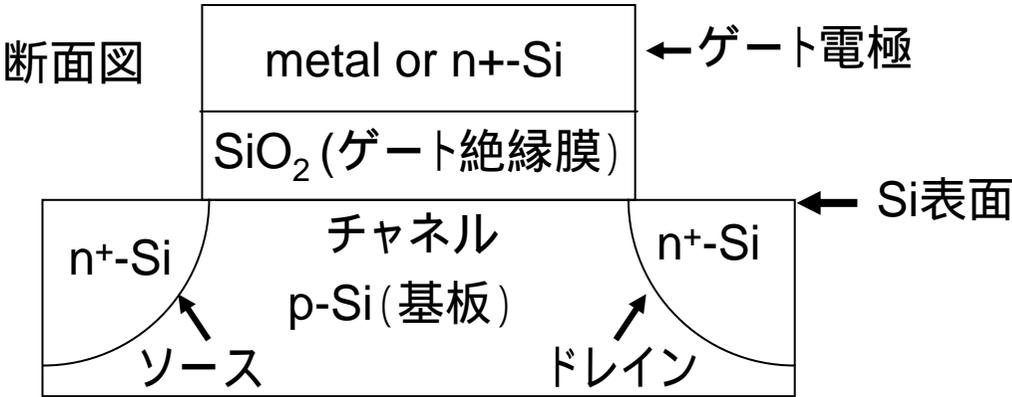


電子は流れない(楔を超えない)

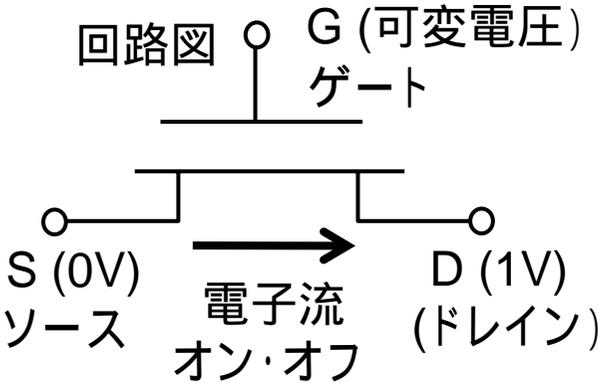


MOSFET (Metal Oxide Semiconductor Field Effect Transistor)

断面図



回路図

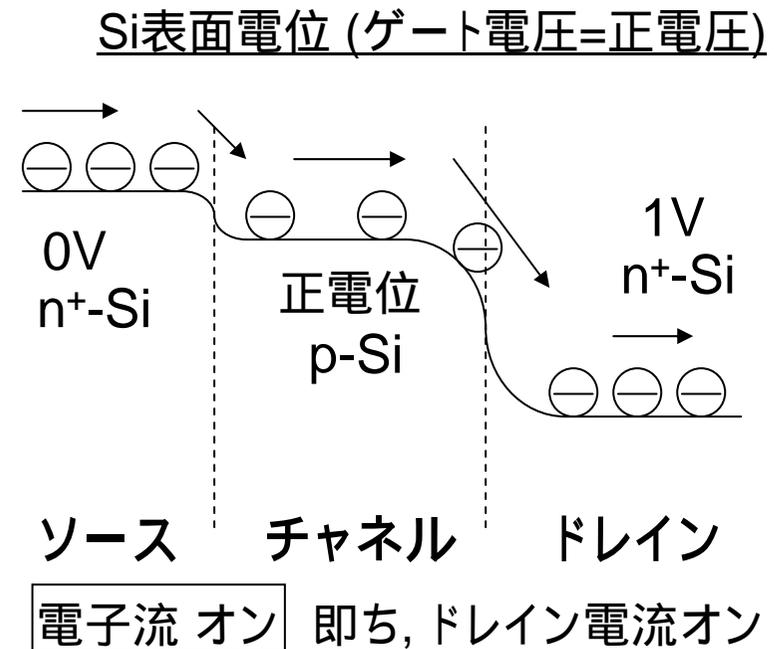
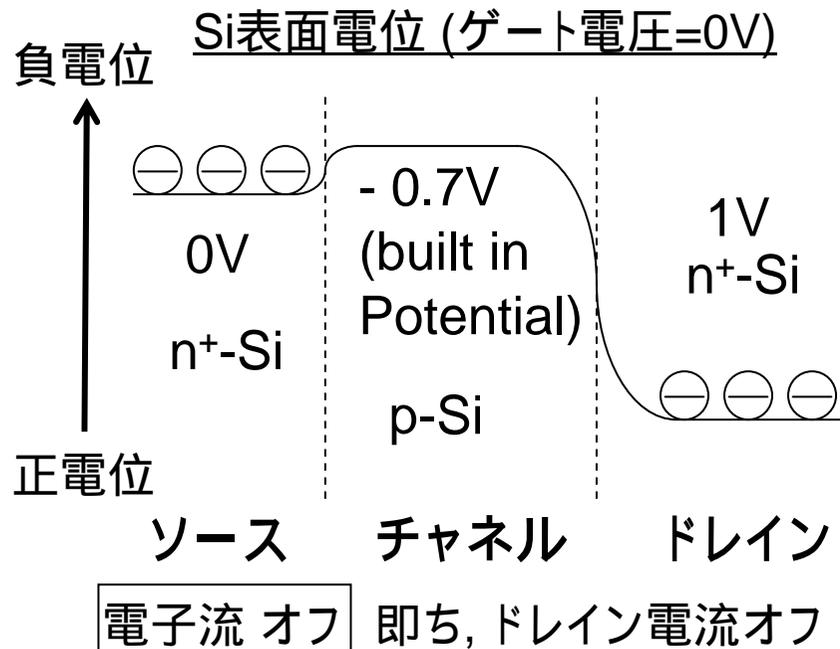
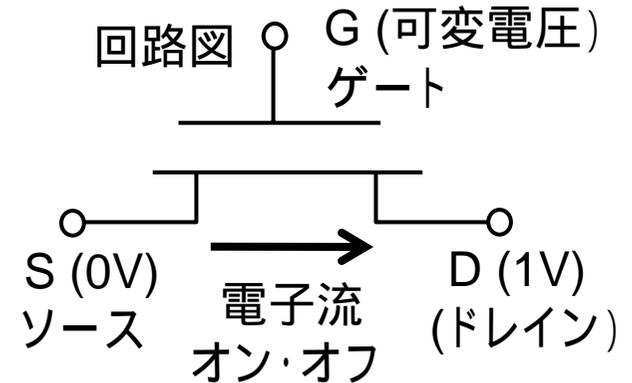
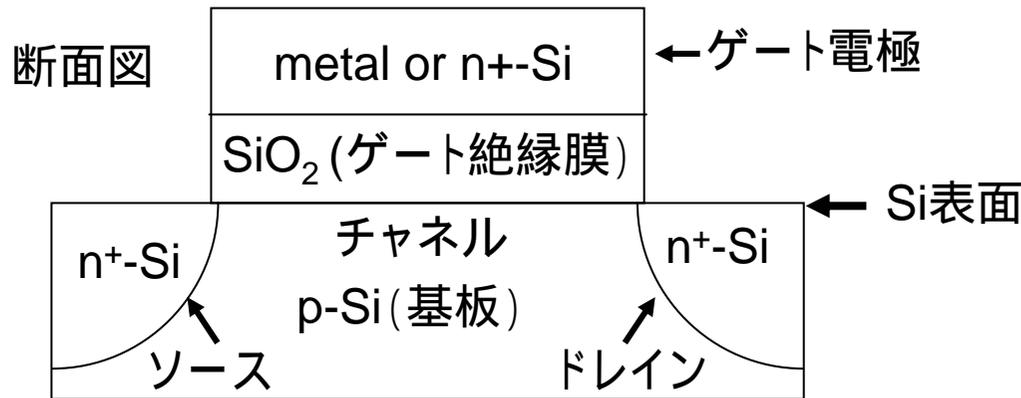


‘MOS’: 材料に由来

‘FET’: 動作原理に由来

NMOSの例

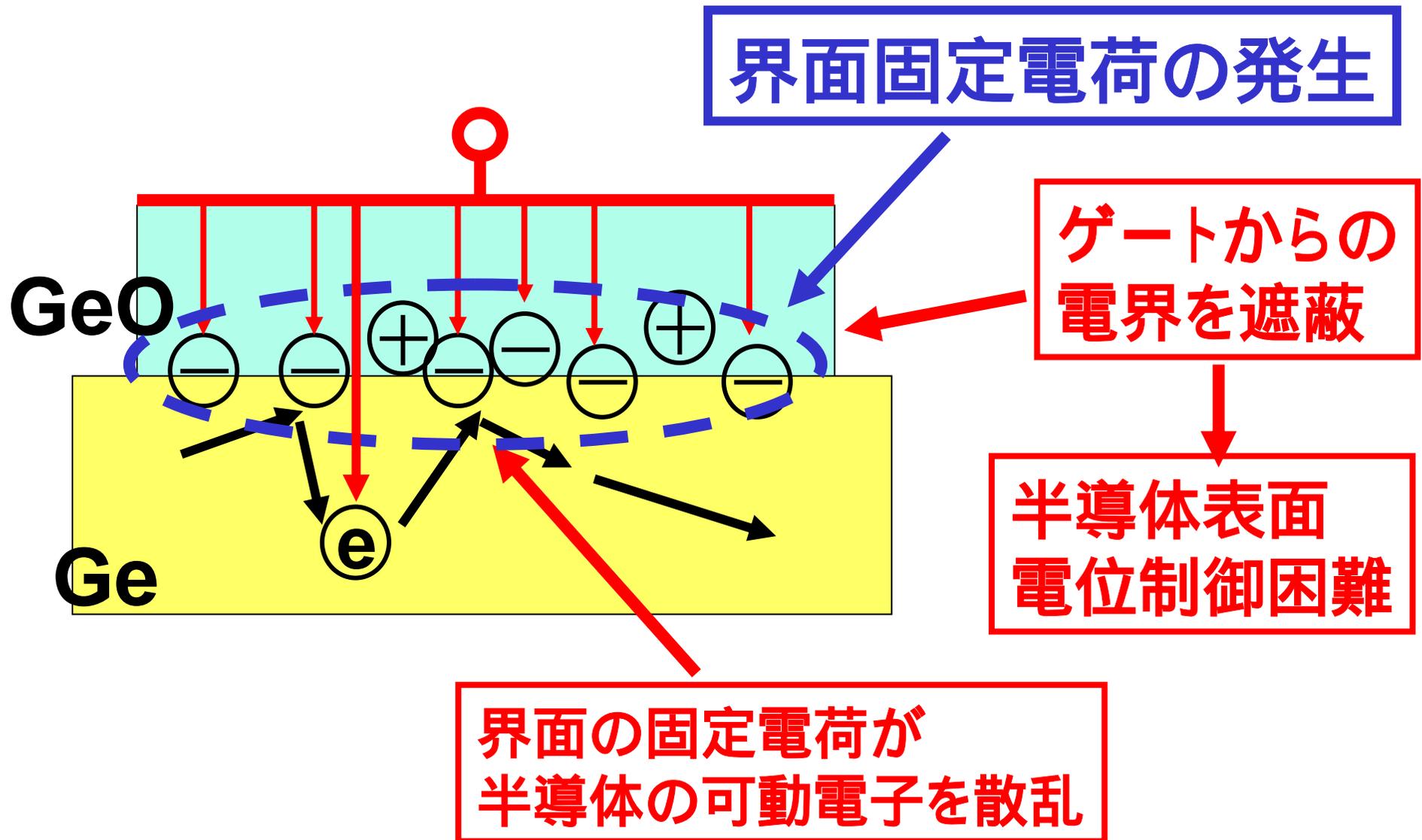
MOSFET動作原理



Liliendfeldの1928年のMOSFETタイプの
トランジスタの提案以来多くの研究者が
MOSFETの実現を目指すも30年以上に
亘って誰も成功しなかった。

ベル研のShockleyすら！

半導体、ゲート絶縁膜界面の電気的性質



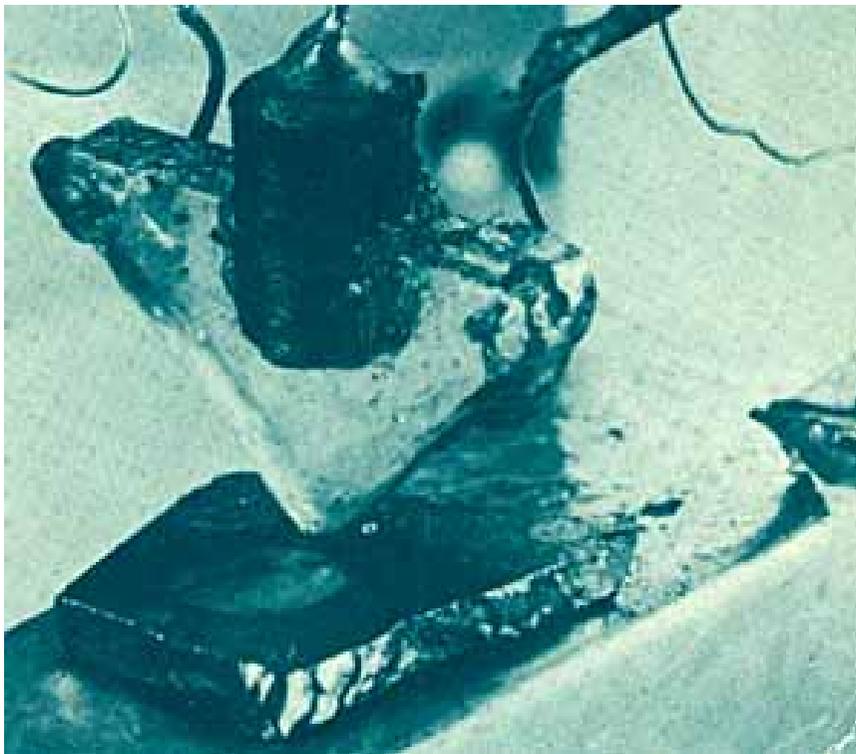
しかし、Ge半導体の表面の特性評価中に電気信号の増幅作用を発見

MOSFETとは全く異なるトランジスタ: バイポーラトランジスタ

1950-70年代までは主流のトランジスタ

3人は1956年にノーベル賞受賞

1947



Bipolar using Ge

J. Bardeen

W. Bratten,



W. Shockley

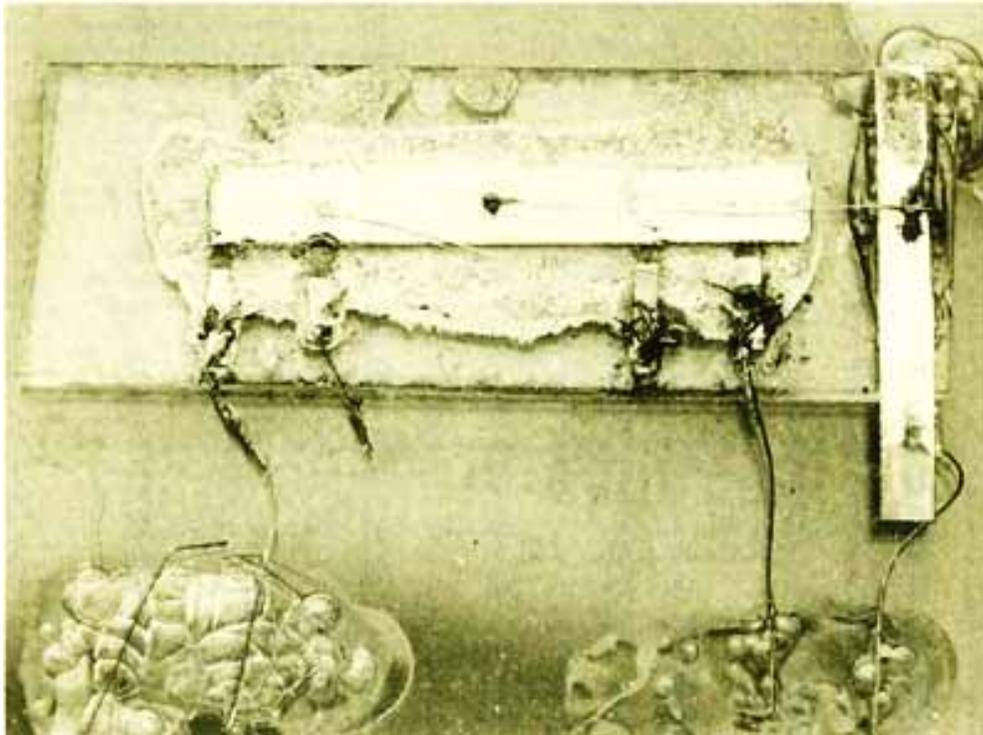
Jack S. Kilby

Texas Instruments

2001年 ノーベル賞

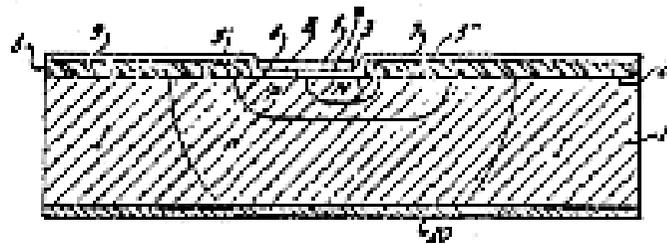
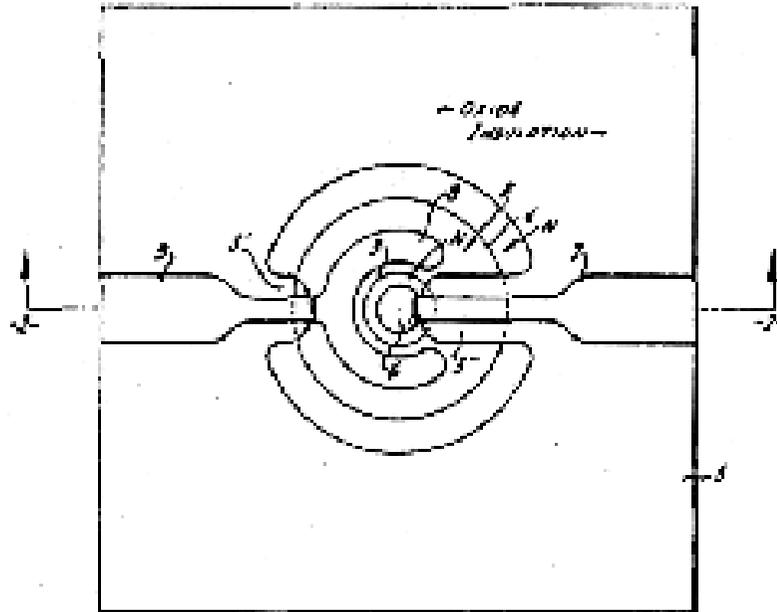
1958: 最初の集積回路

2つのGeバイポーラトランジスタを
ワイヤで配線(空中配線)



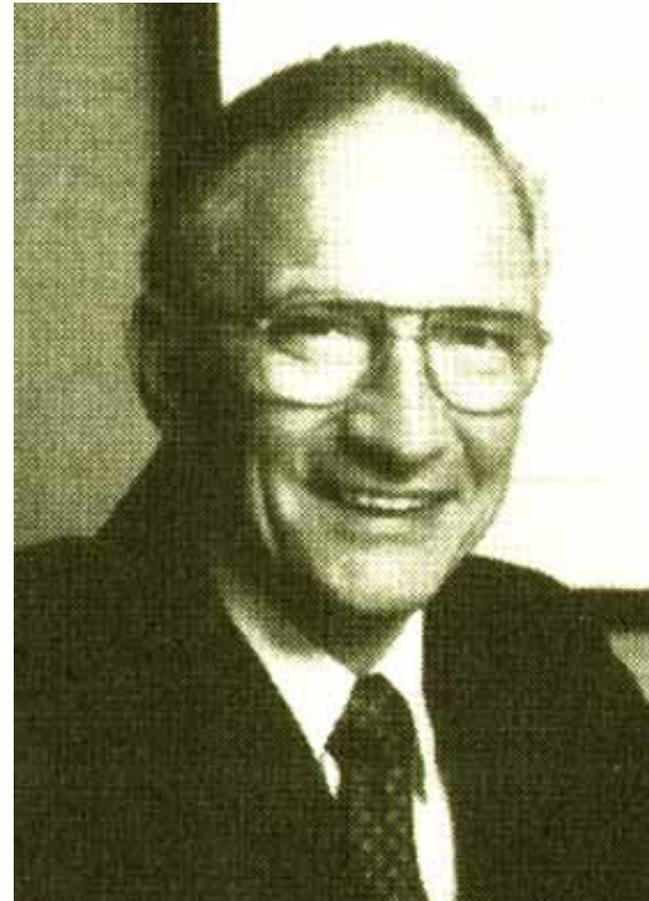
1959: 最初のプレーナ型集積回路

金属パタンを集積回路上にプリントして使用



Robert N. Noyce

Intel



最初のMOSFET

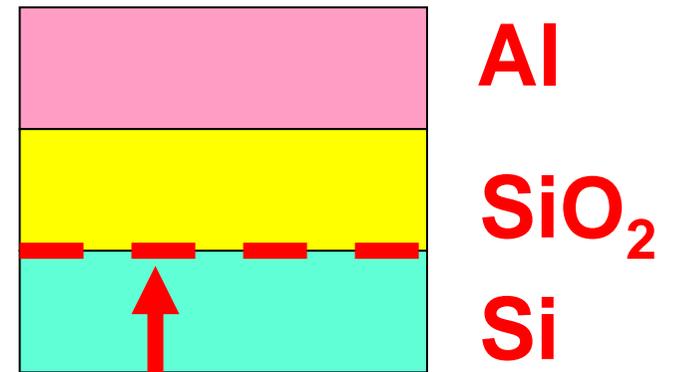
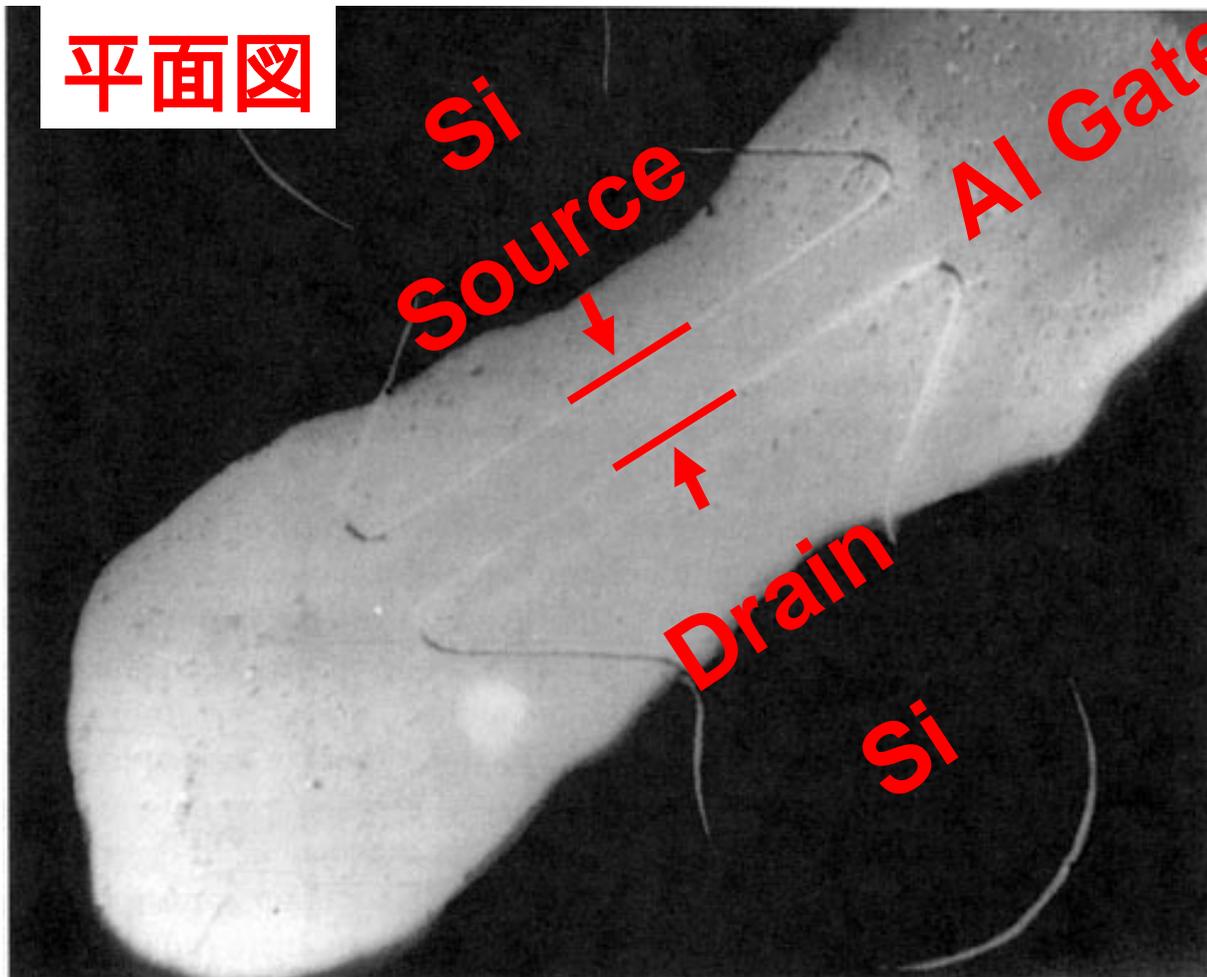
D. Kahng and M. Atalla
(ベル研)

Siを半導体として選択

Kahng



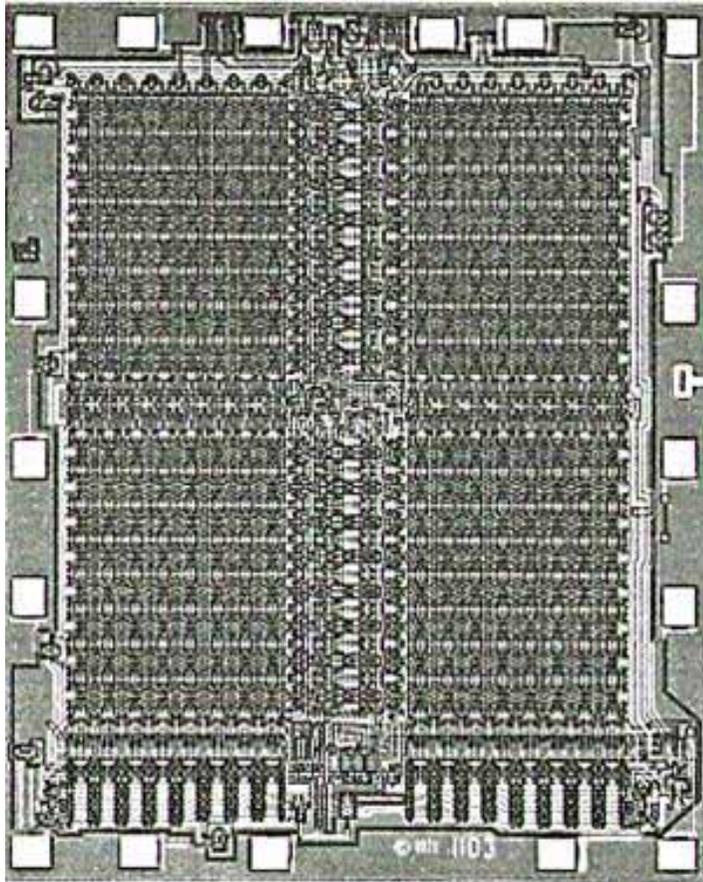
平面図



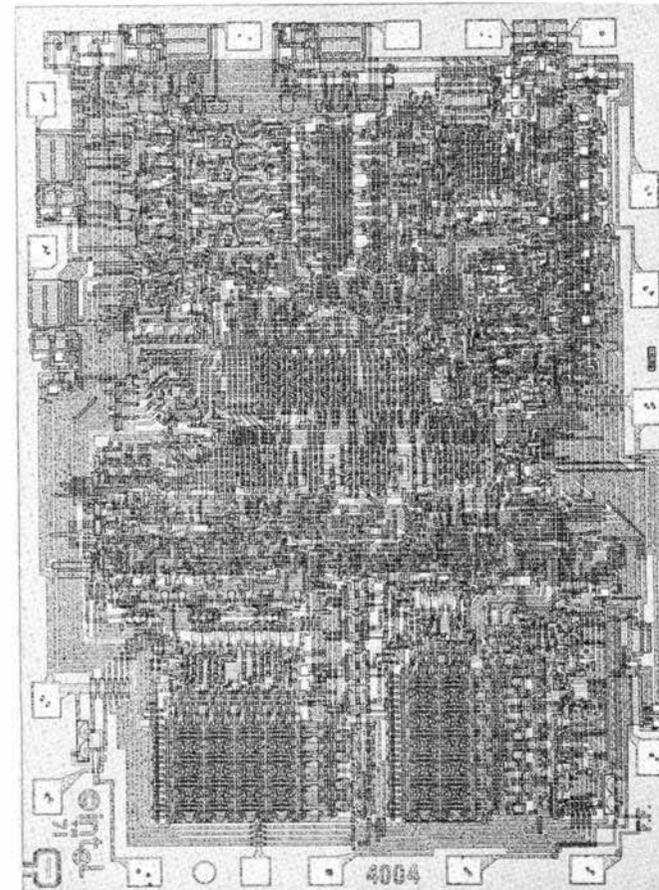
Si/SiO₂ の界面特性
が例外的に良好

1970年代初めからMOS集積回路が本格化

DRAM Intel 1103



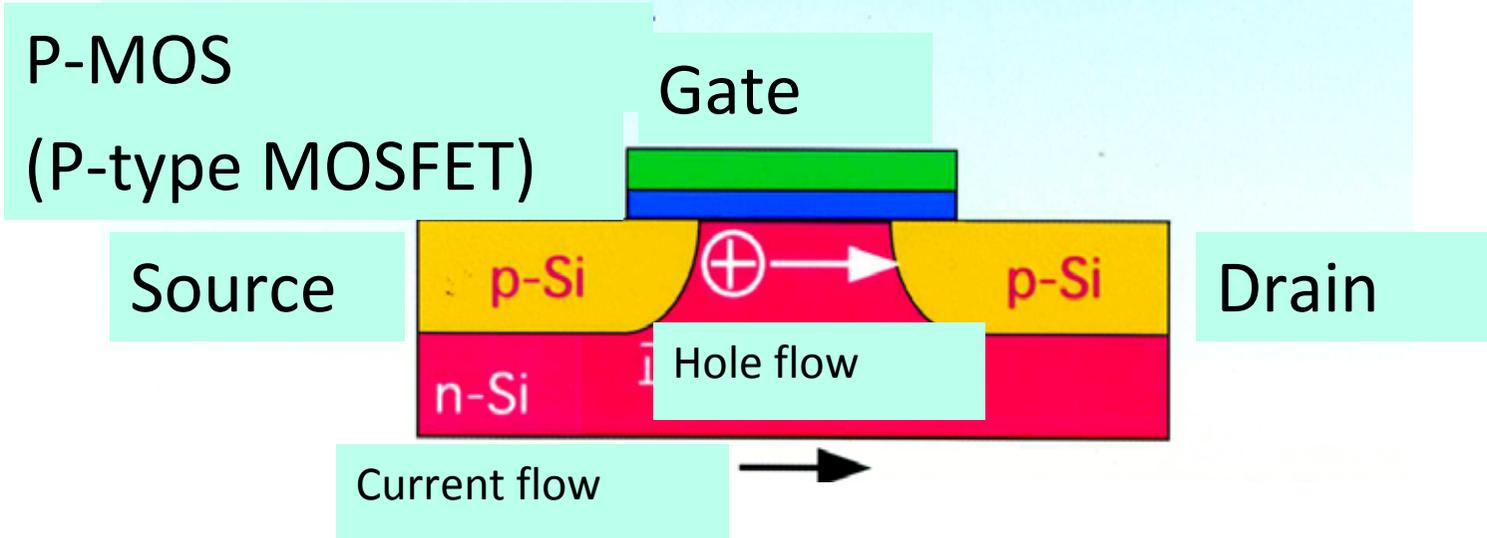
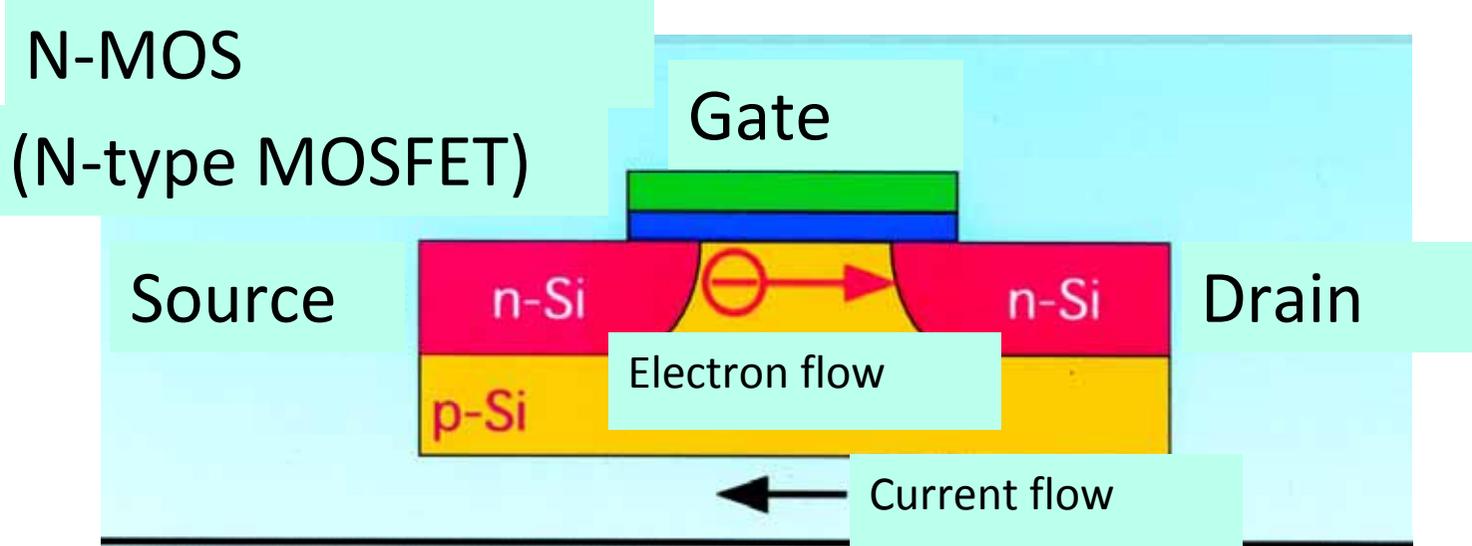
MPU Intel 4004



Si集積回路は毎年のように集積度を上げてきた

年代	名称	トランジスタ数
1960年代	IC (Integrated Circuits)	~ 10
1970年代	LSI (Large Scale Integrated Circuit)	~1,000
1980年代	VLSI (Very Large Scale IC)	~10,000
1990年代	ULSI (Ultra Large Scale IC)	~1,000,000
2000年代	?LSI (? Large Scale IC)	~1000,000,000

これ以降は、10年毎に新たな名前を考え出すことは難しいので、世界で通じる名前は無い



CMOS (Complementary MOS) 回路

C. T. Sah

1963 C. T. Sah and F. Wanlass (Fairchild)

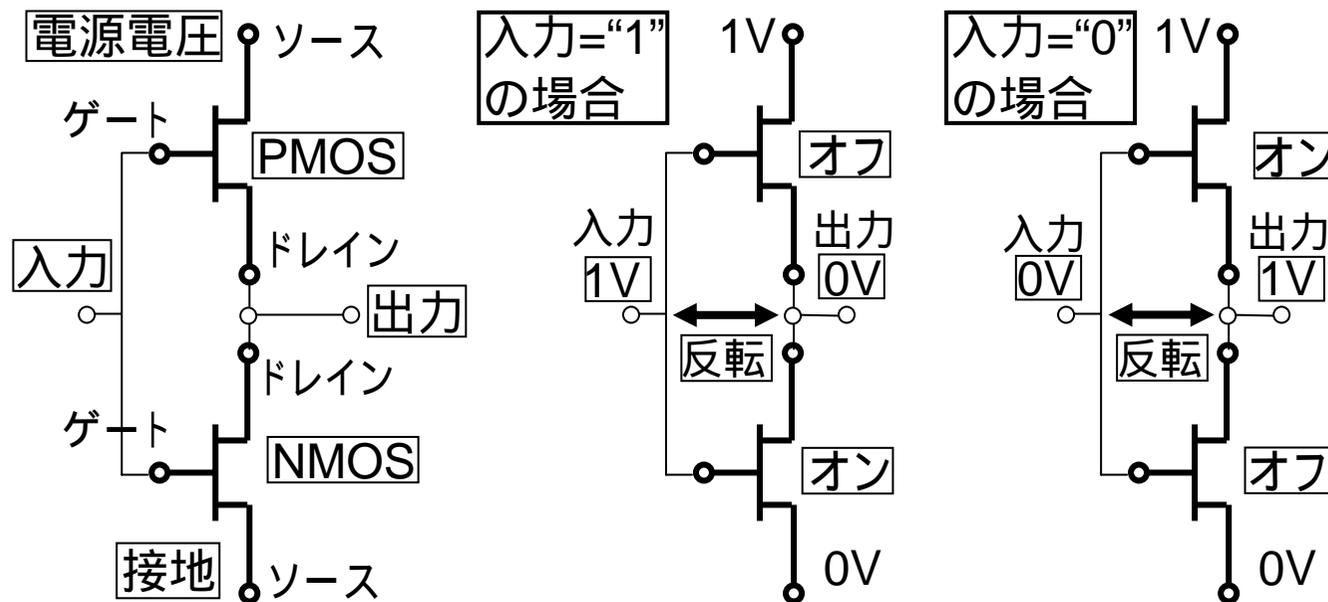
CMOS回路: 低消費電力回路

入力: NMOSとPMOSのゲート共通

出力: NMOSとPMOSのドレイン共通



例: CMOS Inverter回路: 電源から接地への貫通電流流れない



集積回路微細化の微細化限界

1970年代から微細化限界の予想

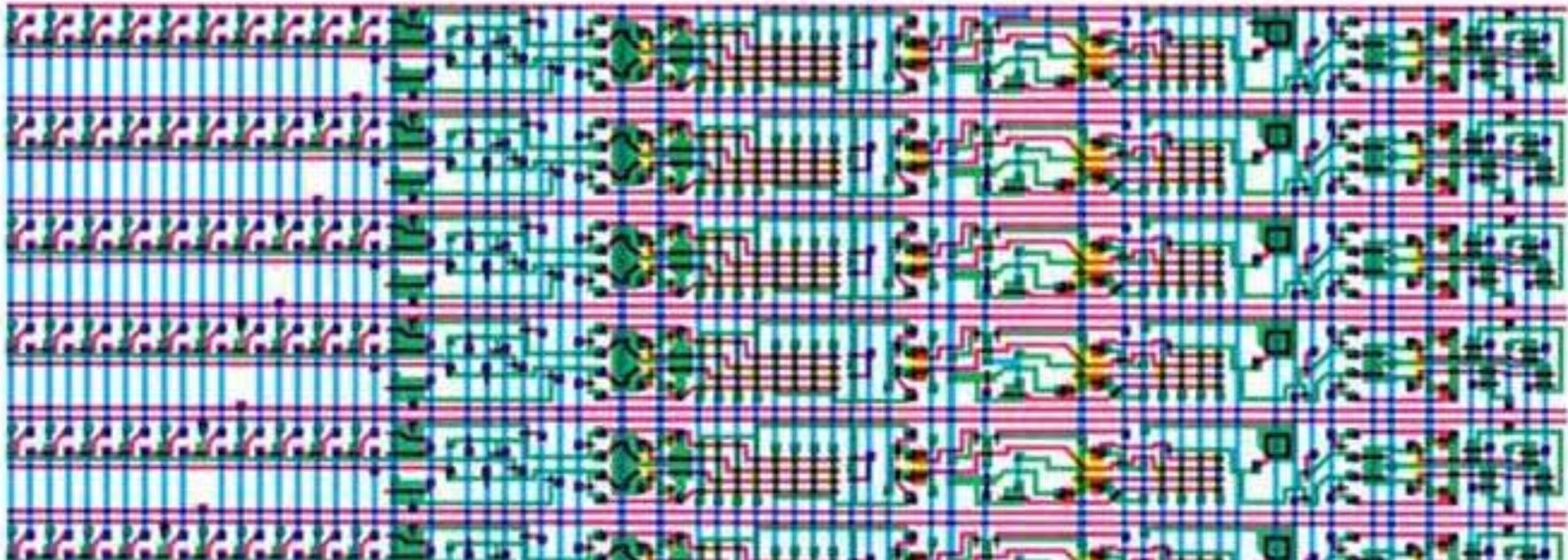
幸いにして皆外れた

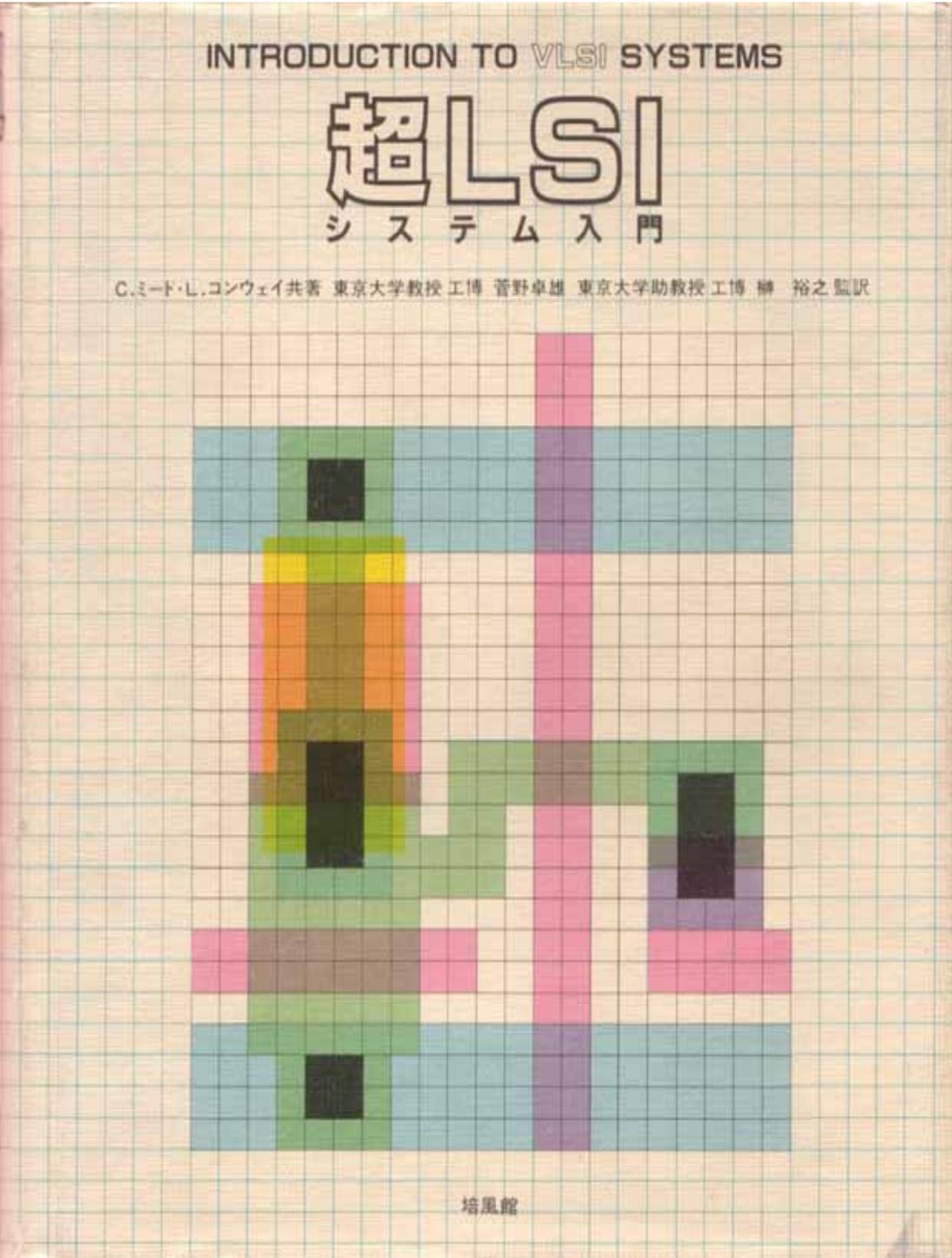
予想した年代	限界	理由
1970年代後半	1 μ m:	SCE (短チャネル効果)
1980年代前半	0.5 μ m:	S/D resistance
1980年代前半	0.25 μ m:	Direct-tunneling of gate SiO ₂
1980年代後半	0.1 μ m:	'0.1 μ m brick wall' (various)
2000 年頃	50nm:	'Red brick wall' (various)

VLSI の教科書 1979年発行

INTRODUCTION TO **VLSI** SYSTEMS

CARVER MEAD • LYNN CONWAY





VLSI textbook

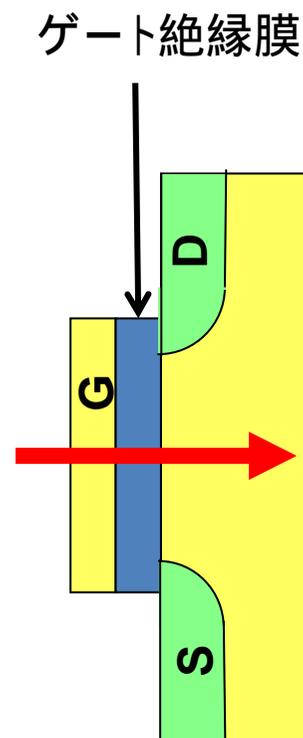
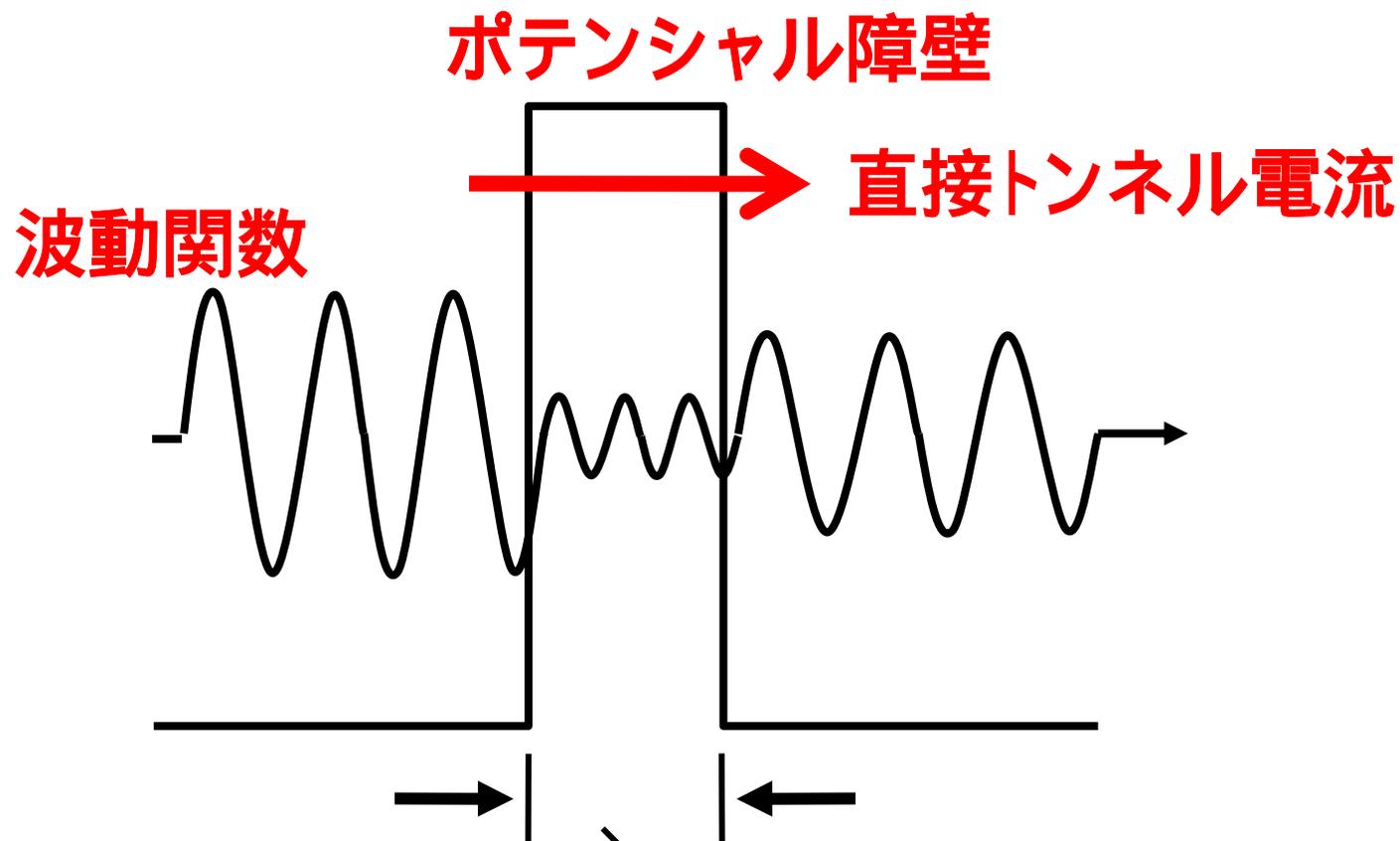
Finally, there appears to be a fundamental limit ¹⁰ of approximately quarter micron channel length, where certain physical effects such as the **tunneling through the gate oxide begin to make the devices of smaller dimension unworkable.**

直接トンネル効果

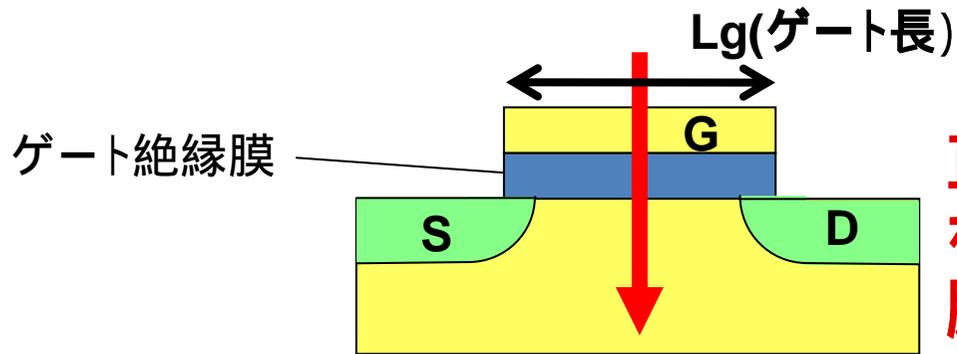
ゲート電極

ゲート絶縁膜

Si 半導体基板



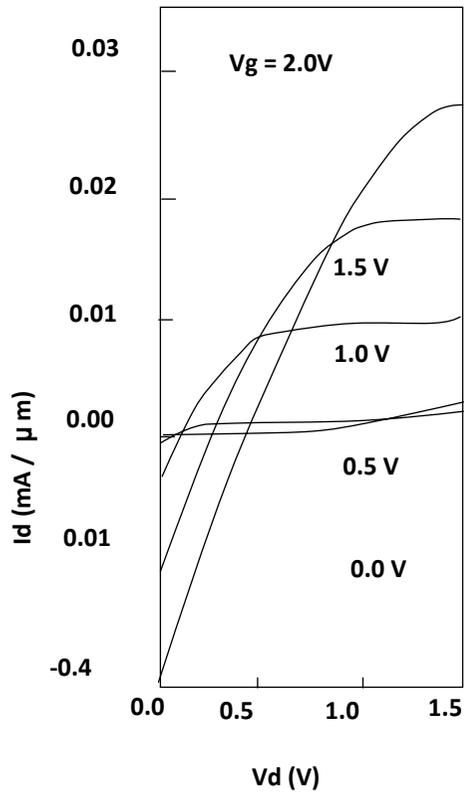
絶縁膜厚3nm以下で流れ始める



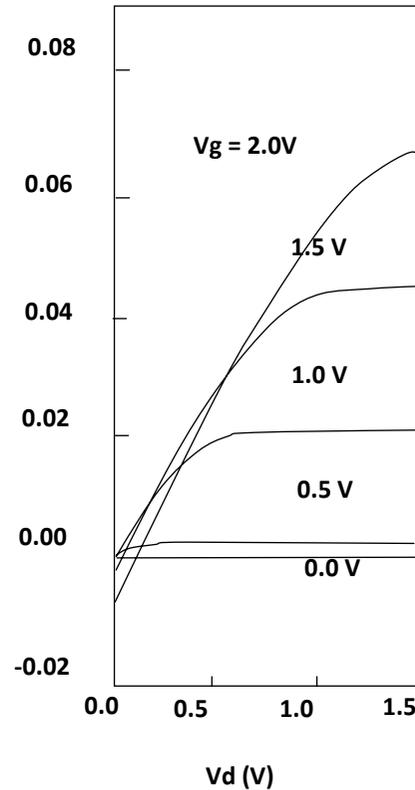
直接トンネル効果はゲート長を短くすると膜厚1.5nmでも問題にならない

ゲート膜厚1.5 nm のMOSFET

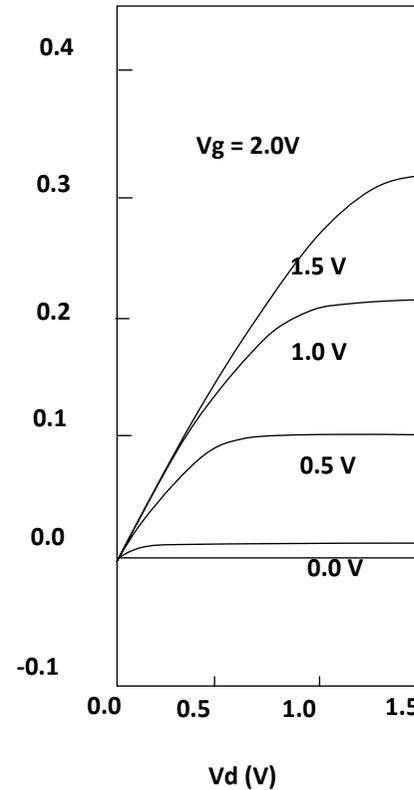
Lg = 10 μm



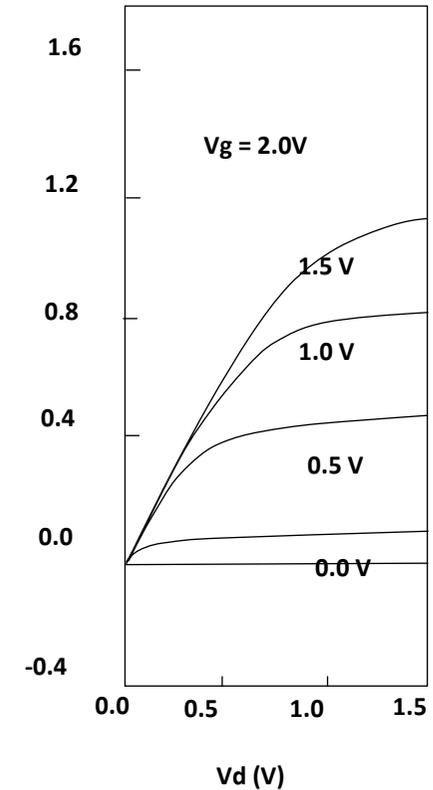
Lg = 5 μm

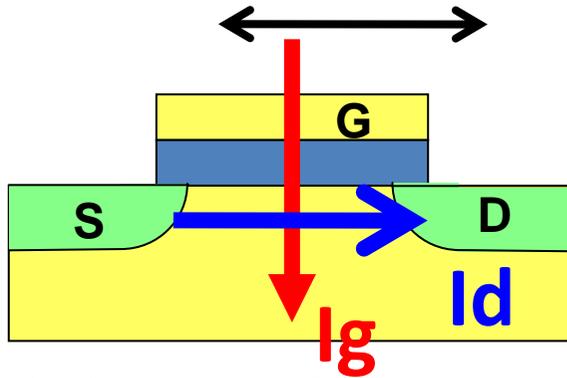


Lg = 1.0 μm



Lg = 0.1 μm





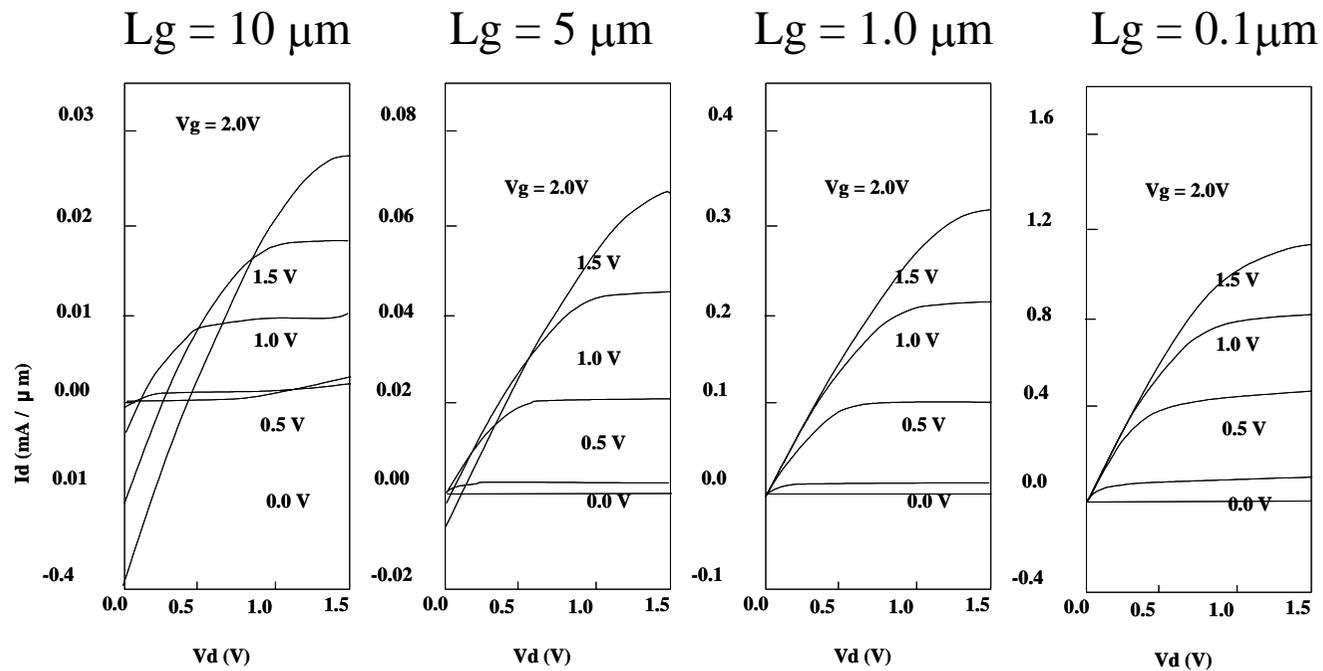
Gate leakage: $I_g \propto \text{Gate Area} \propto \text{Gate length } (L_g)$

Drain current: $I_d \propto 1/\text{Gate length } (L_g)$

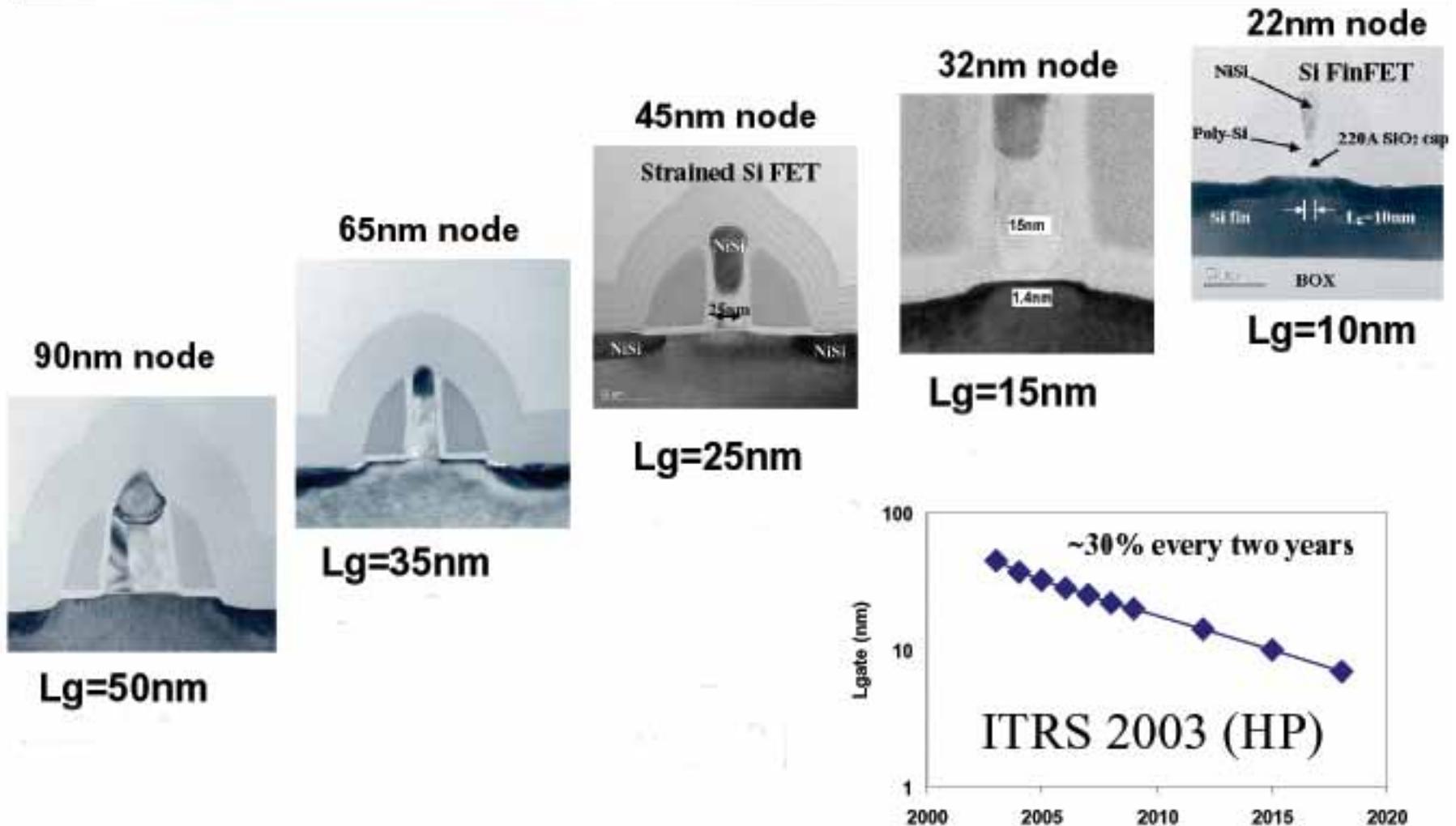
$L_g \rightarrow \text{small,}$

Then, $I_g \rightarrow \text{small, } I_d \rightarrow \text{large,}$ Thus, $I_g/I_d \rightarrow \text{very small}$

I_d
→



Transistor Scaling Continues



Qi Xing, ECS 2004, AMD

微細化はどこまで行くか？

微細化の進行

Mooreの法則: 1世代で線幅0.7倍、面積半分、集積度2倍

1970年: 10 μ m → 8 μ m → 6 μ m → 4 μ m → 3 μ m → 2 μ m →
1.2 μ m → 0.8 μ m → 0.5 μ m → 0.35 μ m → 0.25 μ m → 180nm
→ 130nm → 90nm → 65nm → 45nm → **32nm: 現在 2011年**

1970 → 2011: 40年で17世代、線幅 1/300、面積 1/100,000に

メモリ: 1kbit DRAM → 64Gbit Flash、

マイクロプロセッサクロック周波数: 75kHz → 3GHz

今後どこまで行くか？

2世代先までは集積化プロセス確立に近い

4世代先まではMOSFET性能検証済み

32nm(現在) → 22nm → 16nm → 11.5 nm → 8nm →

5.5nm? → 4nm? → 3nm? → - - - - → 0.3nm(究極の限界)

究極の限界: 原子1列 (Si結晶の原子の間隔=0.3 nm)

究極の限界まで後14世代

しかし、その前に限界が！

微細化を律則する要因

- 1) MOSETがオフしなくなる
- 2) MOSETの性能が却って悪化
- 3) 配線の微細化が困難
- 4) リソグラフィーが困難
- 5) 集積回路の発熱の増大
- 6) MOSETの特性バラツキの増大
- 7) 欠陥などによる歩留まりや信頼性の劣化
- 8) 開発や製造コストの増大
- 9) 膨大な数のMOSFETを回路設計で取扱い不能

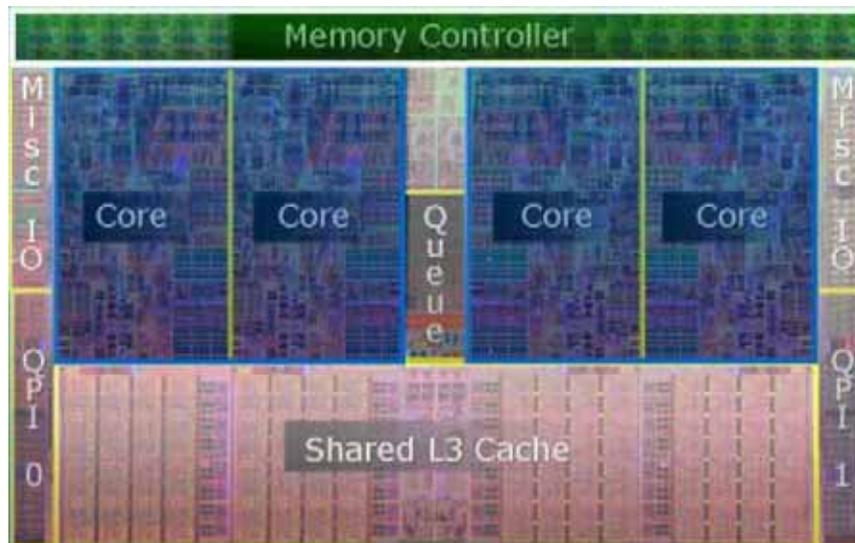
9) 膨大な数のMOSFETを回路設計で取扱い不能？

解決手段

Multi-coreによる階層設計効率化

E-CAD toolの進展

Nehalem (Intel) 2,4 or 8 Cores



8) 開発や製造コストの増大？

最先端のファブをつくるのに数1000億円

しかし、集積回路は巨大マーケット

今後も年間数%で成長し、高い利益が見込める

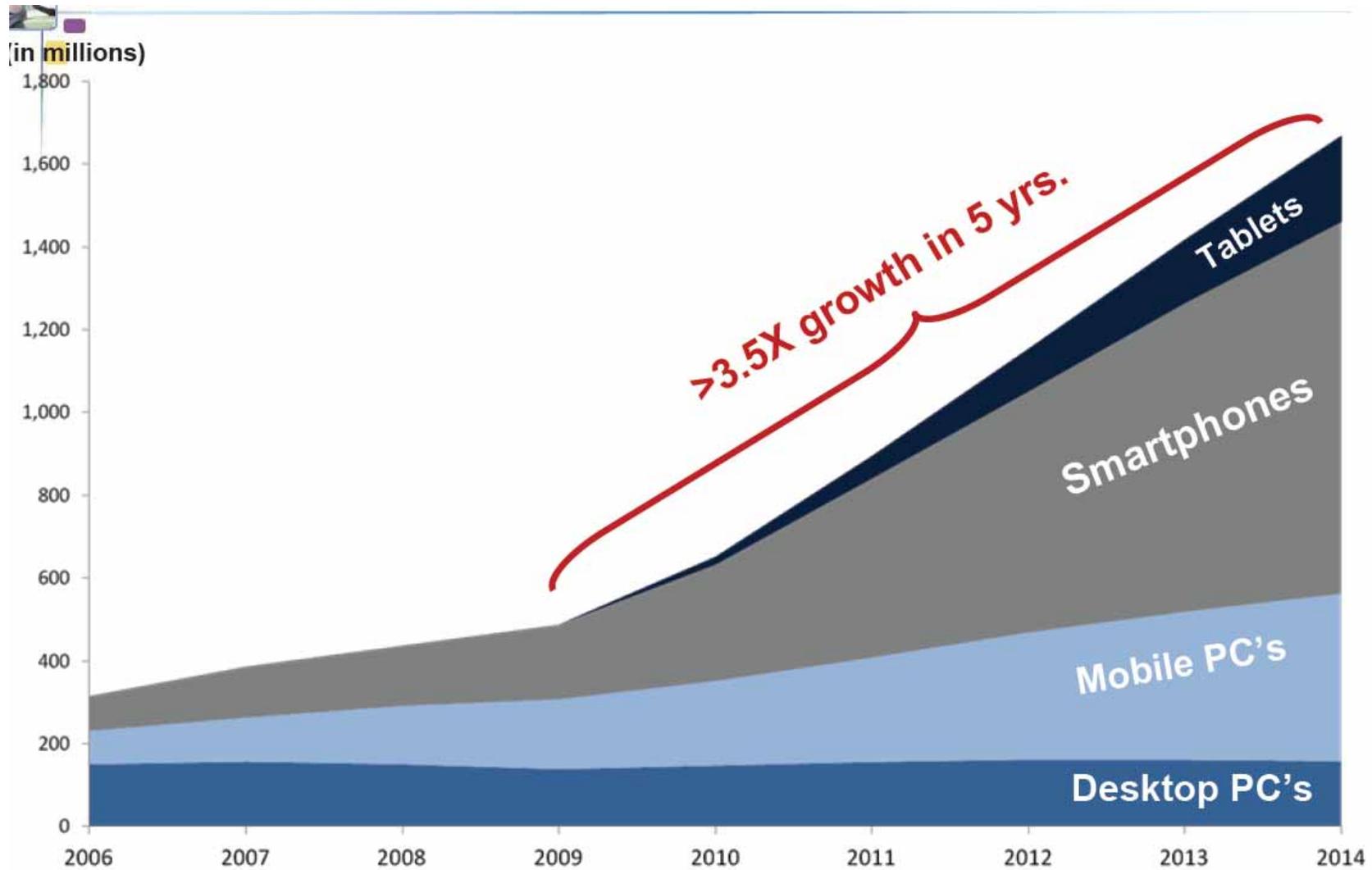
巨額の投資をして、開発先行すれば独占的巨額の利益
開発で遅れれば、脱落の可能性

微細化で先行できる会社も少なくなってきた

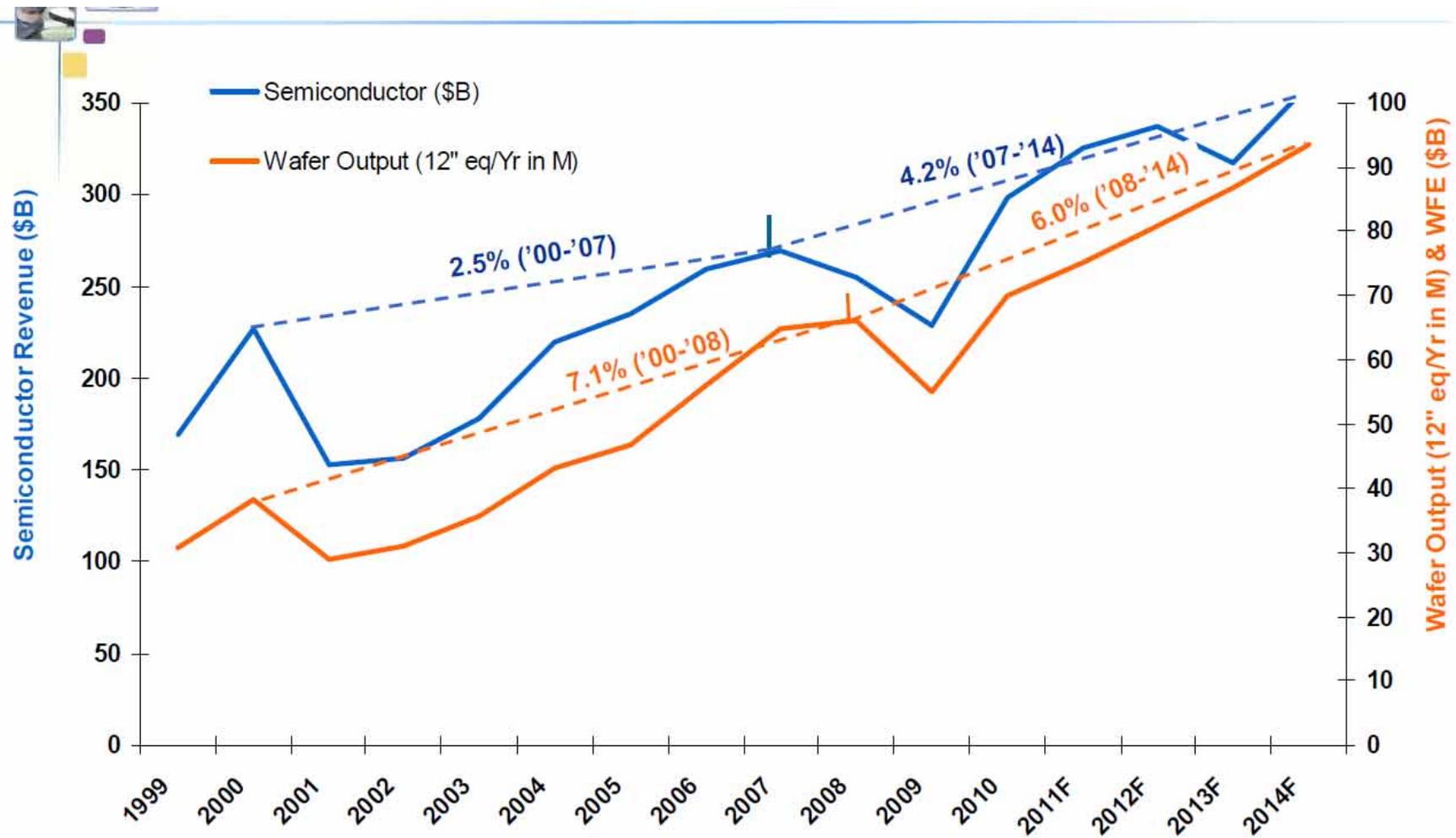
インテル(MU)、サムソン(フラッシュ、DRAM)、東芝(フラッシュ)
TSMC(ファンドリ)が代表格

その他、エルピーダ、ハイニクス、グローバル、STマイクロなど
これをSMIC(中国)が追う

他の会社は22nm以降はファブレスやファブライトでTSMCなどの
ファンドリに委託予定



By SMIC @CSTIC 2011, Shanghai

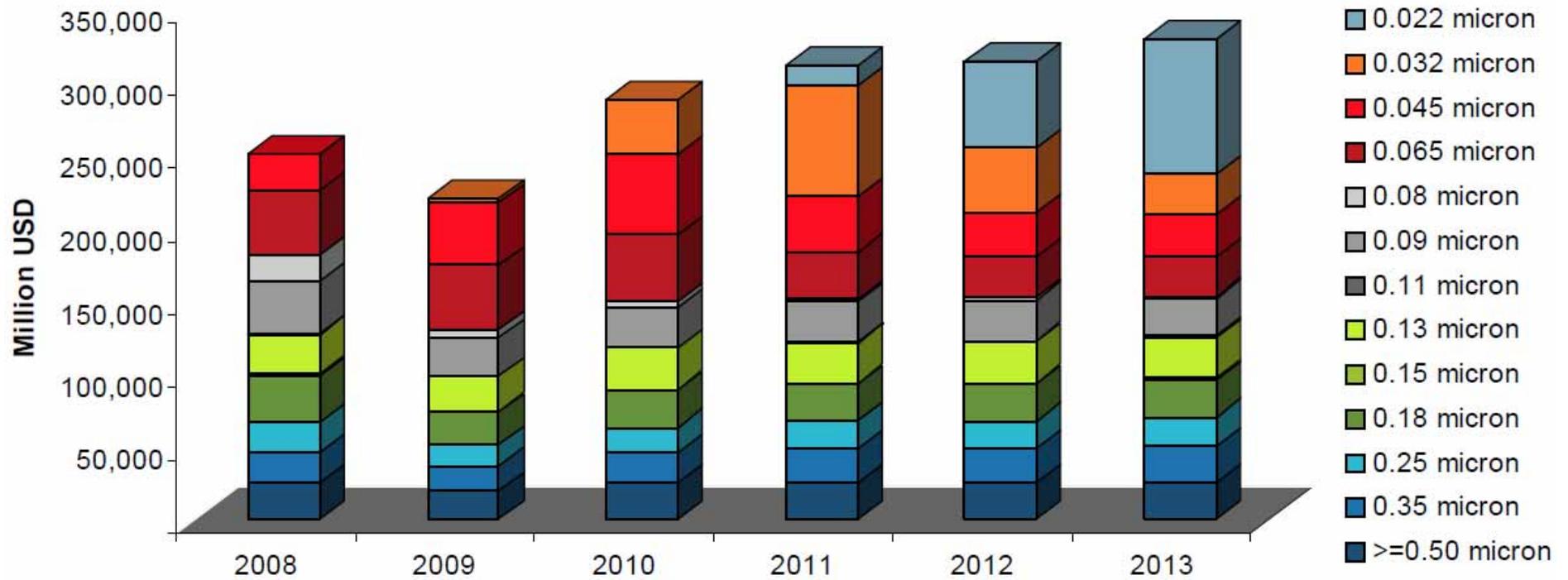


Revenue Growth Rates Accelerate

1. Period from '00-08 and '08-'14
 2. Period from '00'08 and '08-'14
 Source: Gartner Dataquest

By SMIC @CSTIC 2011, Shanghai

Revenue by Tech Node



By SMIC @CSTIC 2011, Shanghai

7) 欠陥などによる歩留まりや信頼性の劣化

6) MOSETの特性バラツキの増大

解決手段

無限に近いトランジスタ数を使える

回路・システムのレベルで救済

誤り訂正符号、冗長回路、多数決論理

トランジスタやブロックの選択や置き換え

将来は寧ろトランジスタのばらツキの個性を
活かした設計の方向に

5) 集積回路の発熱の増大

解決手段

冷却技術の開発

クロック周波数増大の抑制

冷却が可能な範囲、冷却コストが十分ペイする範囲で
性能の向上を図る

2001年からの単純外挿 (LSIの単位面積当たりの熱発生量)

2002 10W/cm² Hot plate

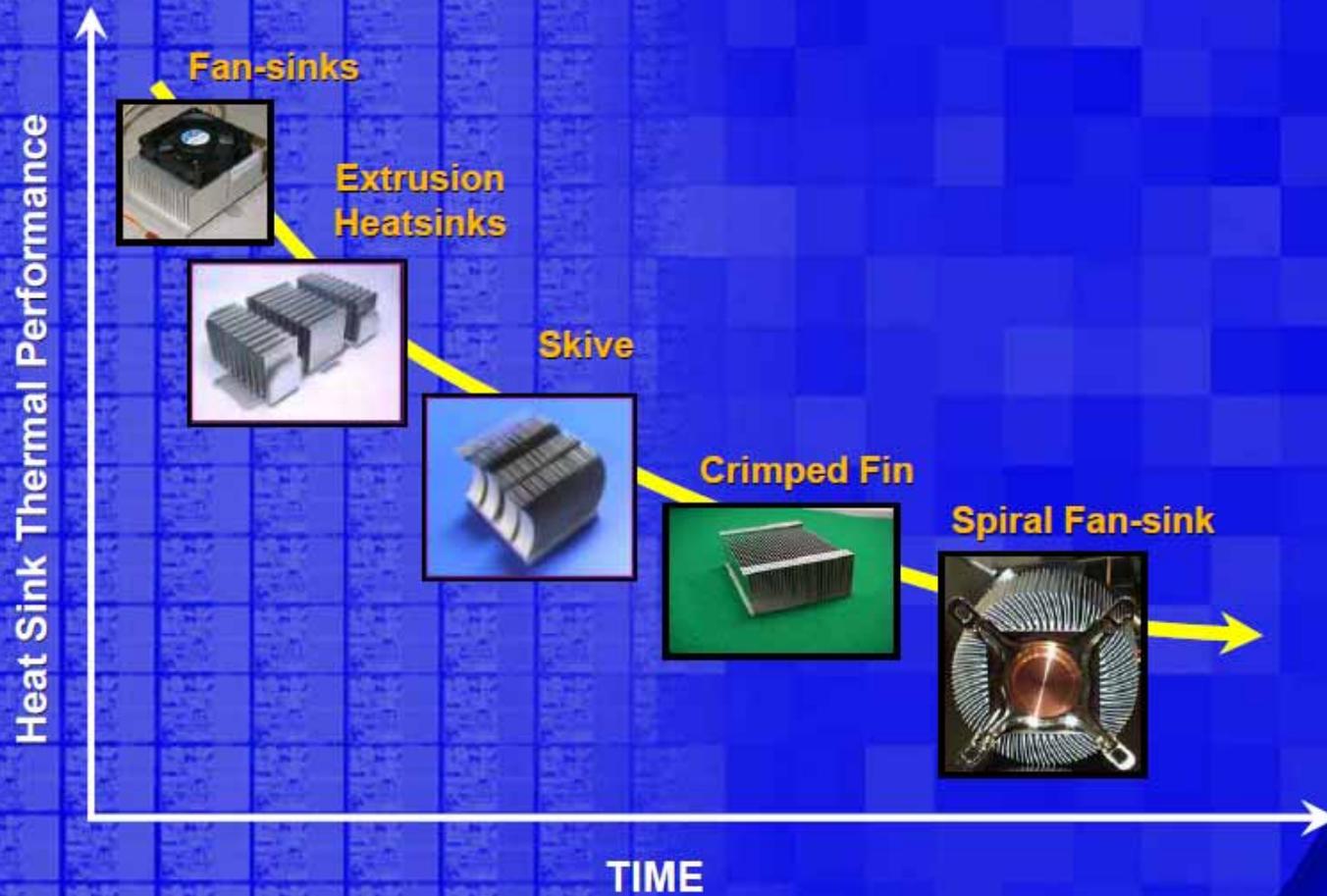
2006 100W/cm² Surface of nuclear reactor

2010 1000W/cm² rocket nozzle

2016 10000W/cm² Sun surface

P. P. Gelsinger, ISSCC 2001

Heat Sink Technology



4) リソグラフィーが困難

解決手段

22 ~ 16nm世代

波長193nmのArF + 超解像技術

11nm ~ 世代

波長13.5nmのEUV + (超解像技術)

EUV露光装置
1台80億円

リソグラフィーの波長と光源

436nm → 365nm → 248nm → 193nm →
Hg g線 Hg i線 KrF ArF
Excimer Excimer Excimer Excimer

EUV

13.5nm

Sn

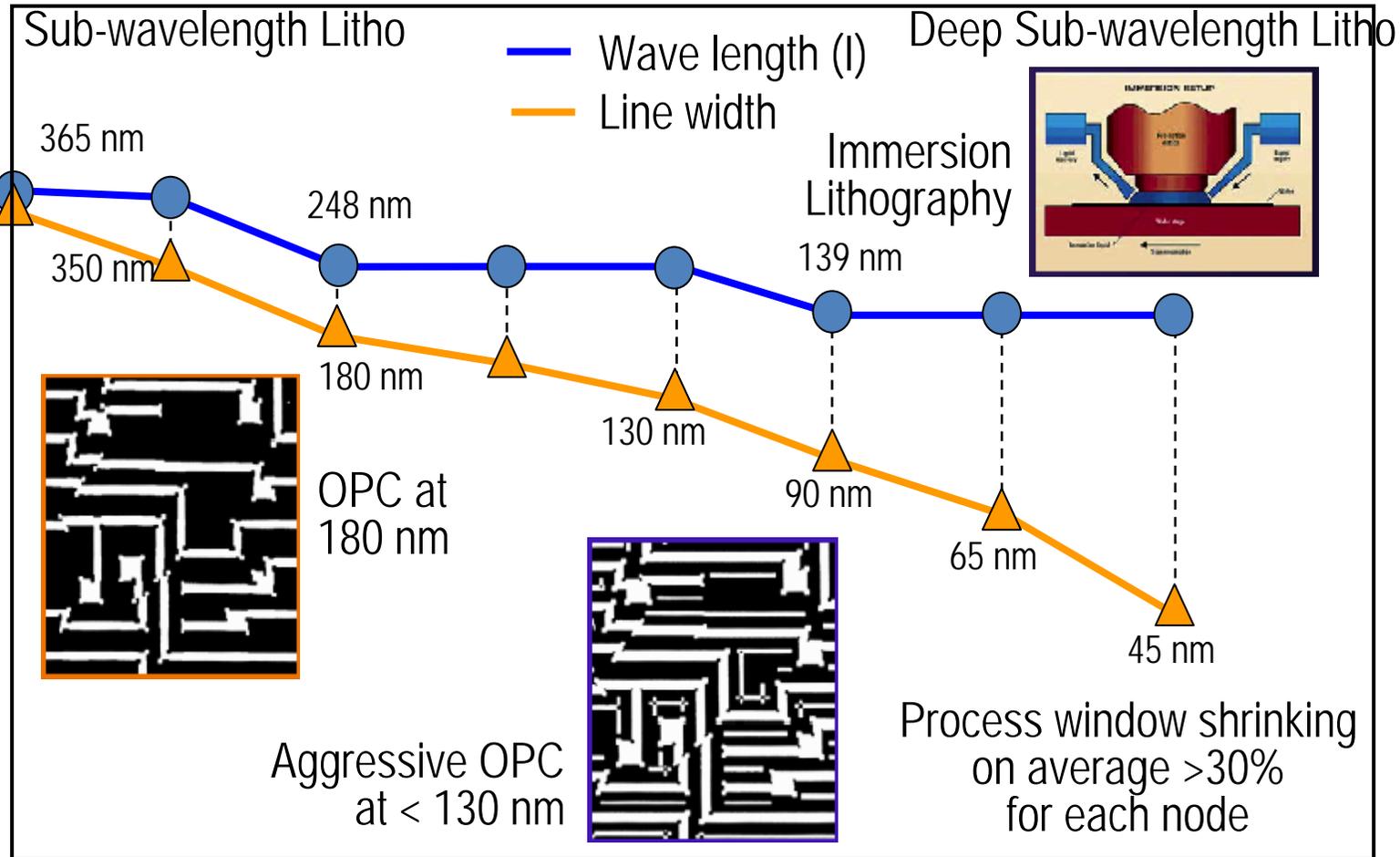
Plasma

超解像技術: 波長の数分の1の線幅を解像

近接効果補正, 位相シフト, 変形照明, 二重露光, 液浸技術など

The Sub- λ Litho Challenge

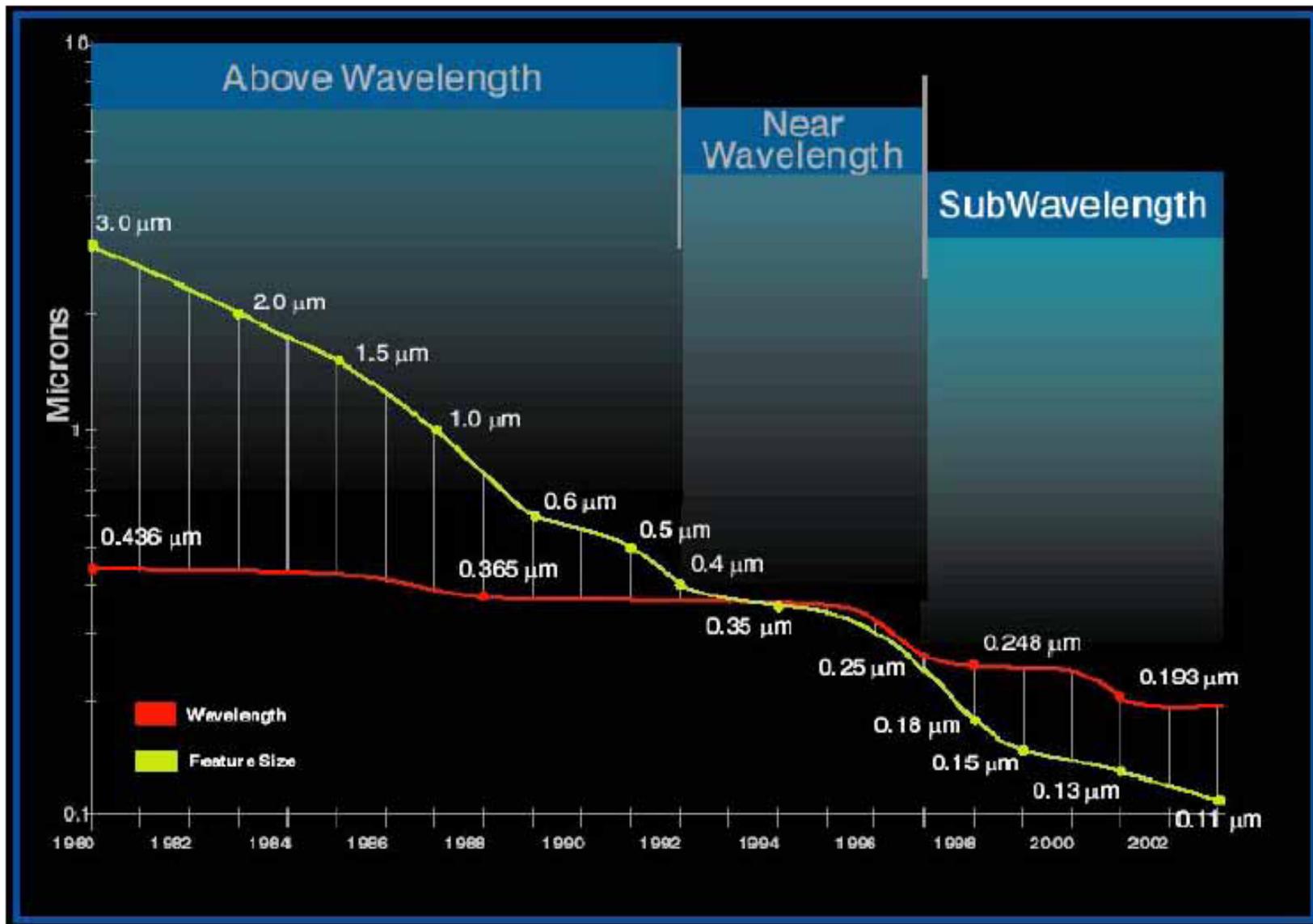
Complex designs, shrinking process windows



PROCESS CONTROL: THE INVESTMENT THAT YIELDS

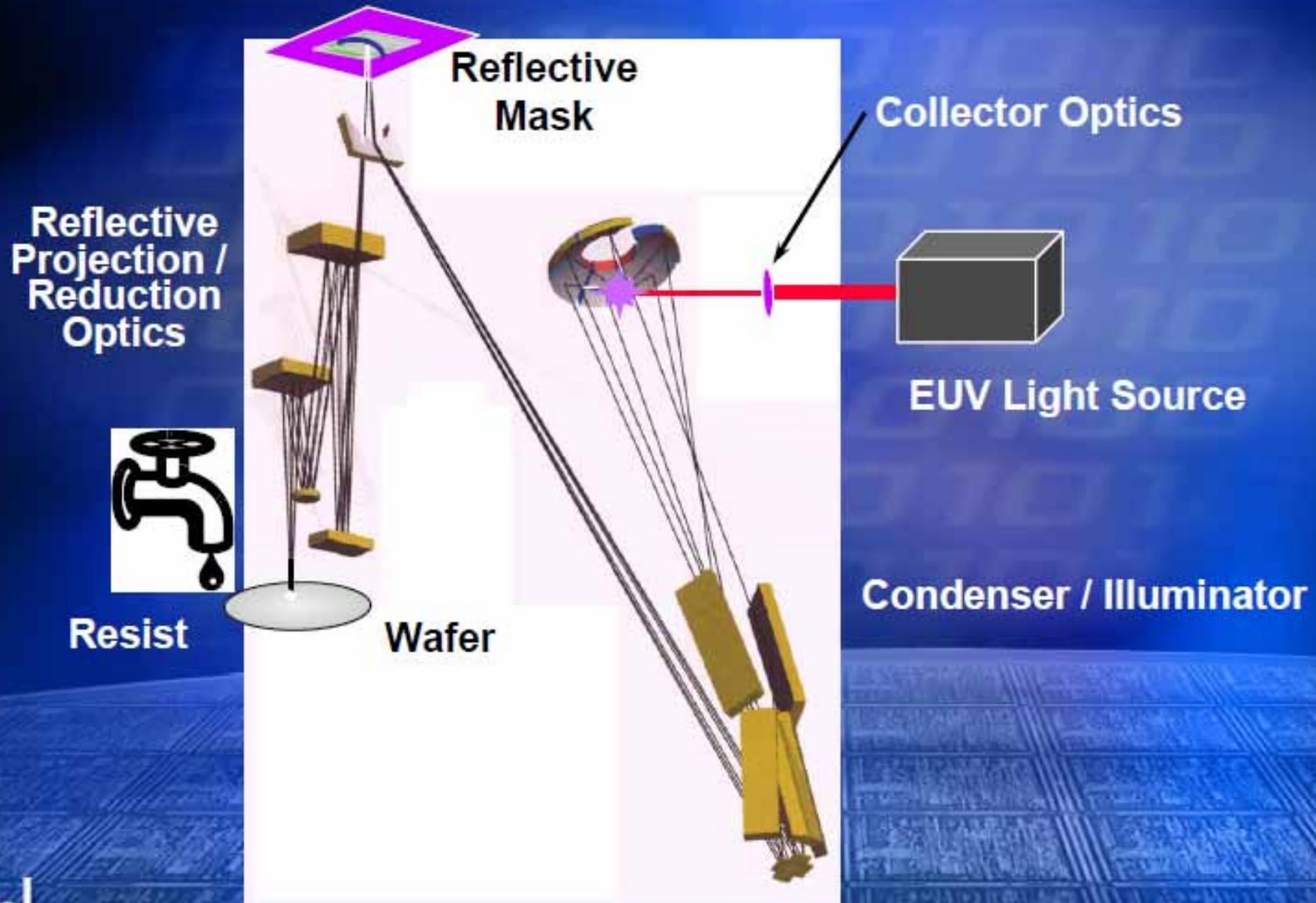
Ref:KLA Tencor

Sub-Wavelength Scaling



Source: Numerical Technologies

Light path in an EUV exposure tool



3) 配線の微細化限界

解決手段

後数世代で微細化限界に到達するかも？

配線を微細化しない設計

配線の空気分離(配線間容量削減)

更なる多層化？

E-CADの更なる最適化)

2) MOSETの性能が却って悪化

微細化により、寄生の抵抗とキャパシタンスが増大するが
解決できそう

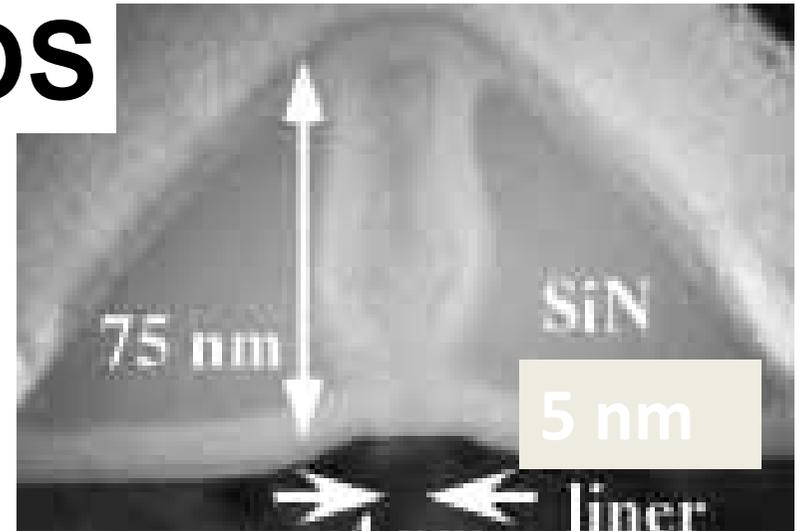
1) MOSETがオフしなくなる

最も厳しい問題である

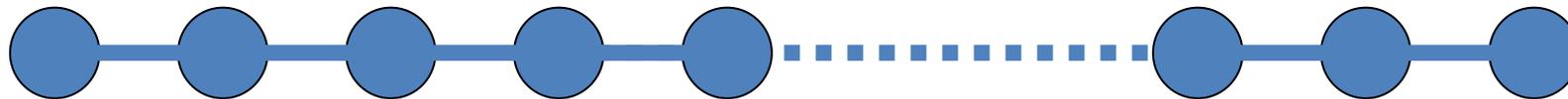
微細化を律則するであろう

5 nm gate length CMOS

Is a Real Nano Device!!

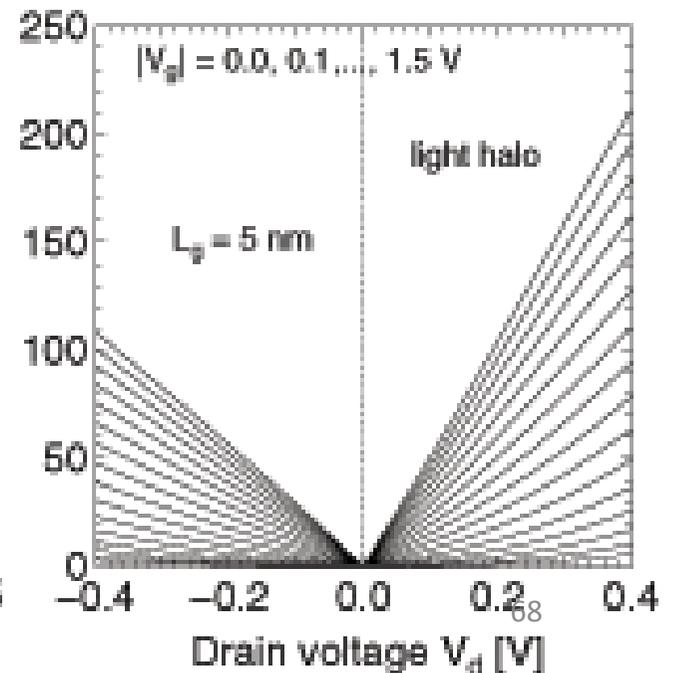
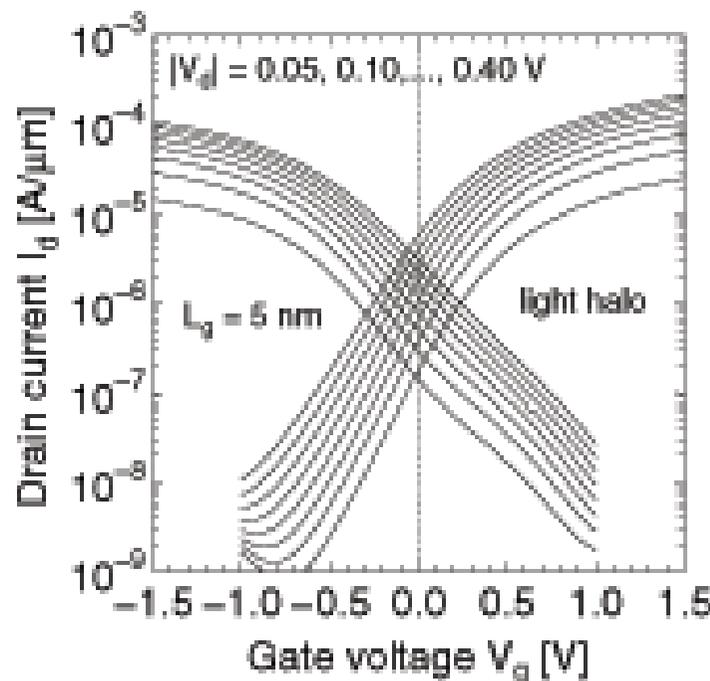


Length of 18 Si atoms



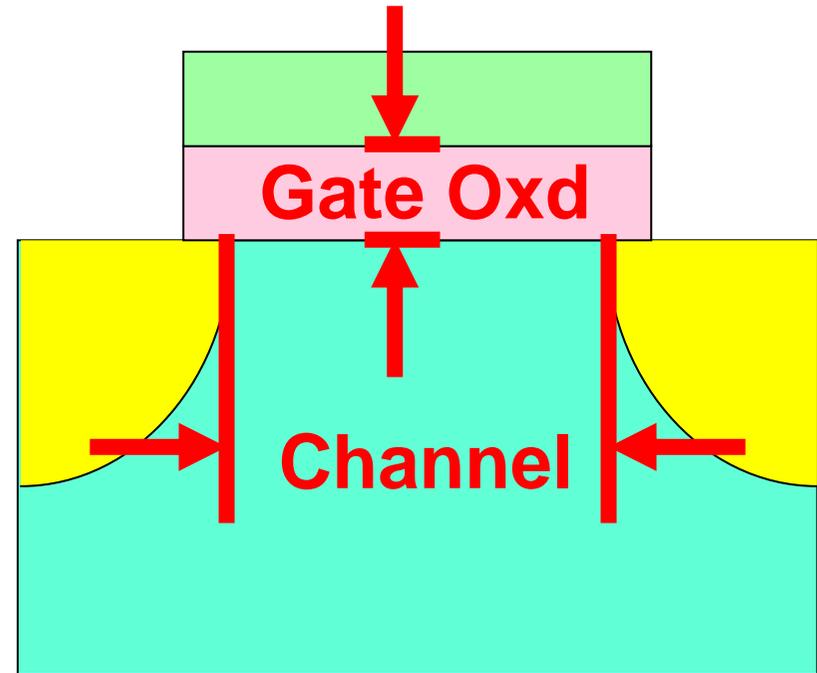
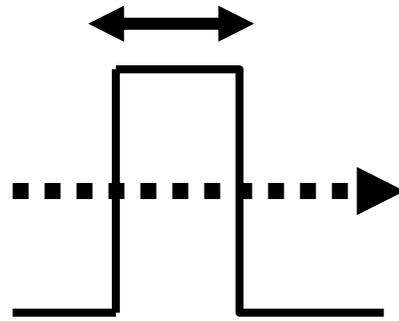
H. Wakabayashi
et.al, NEC

IEDM, 2003



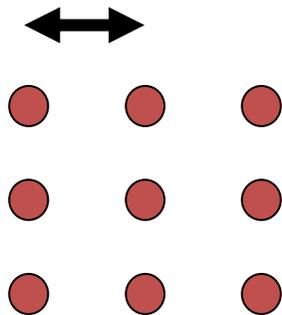
トンネルによる限界 ゲート長 3nmあたり

Tunneling distance
3 nm



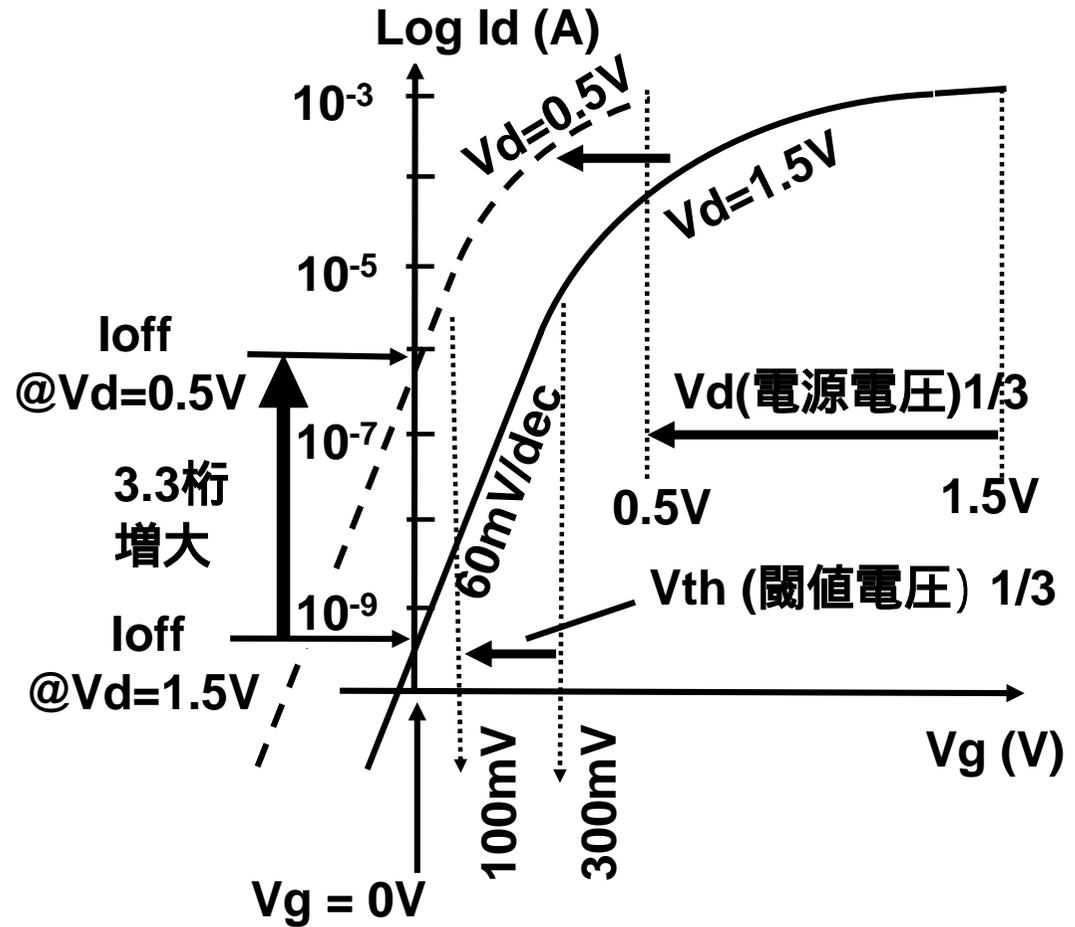
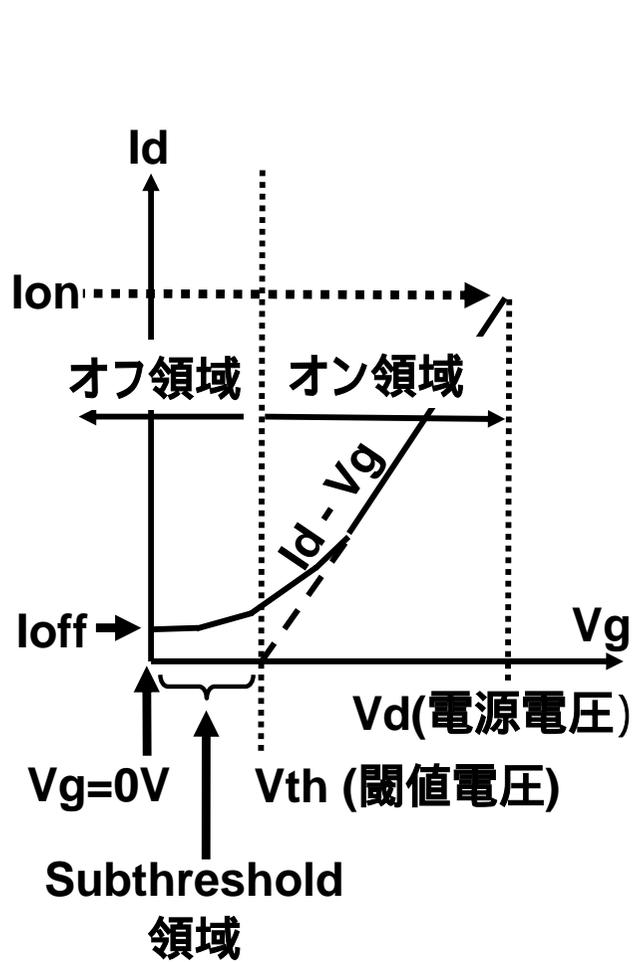
究極の限界

Atom distance
0.3 nm



Subthresholdリーク電流増大による限界

5 nm 当たりで厳しい



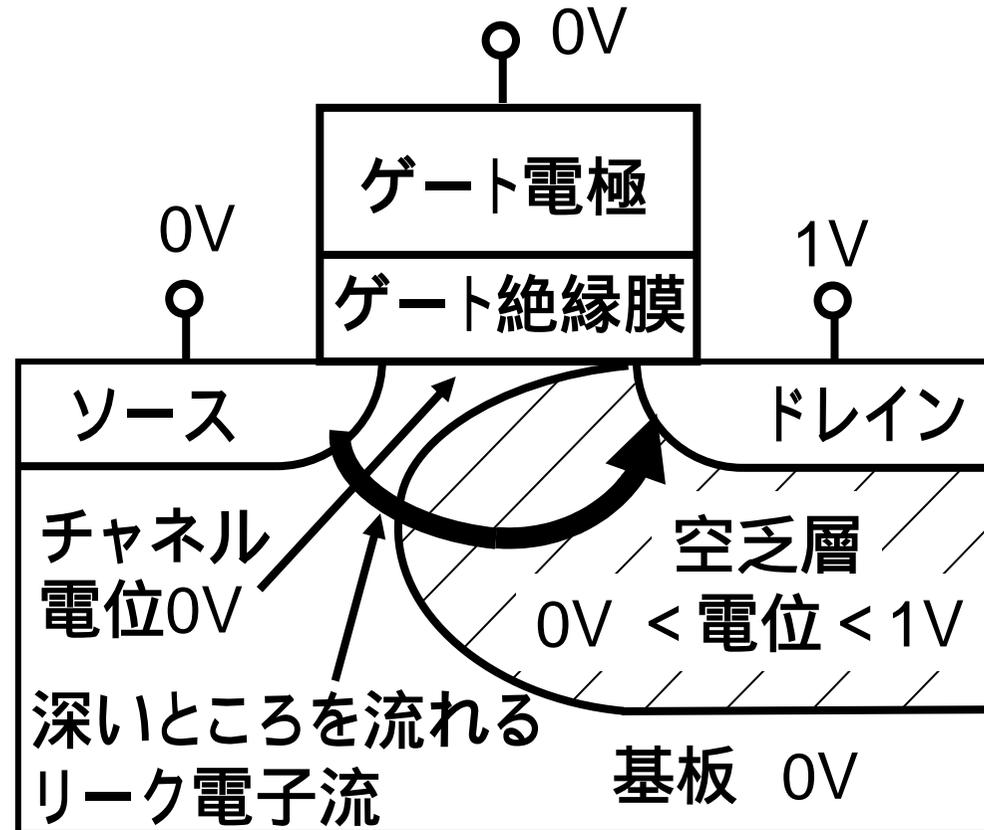
NanoCMOSの進化

High-kゲート絶縁膜技術

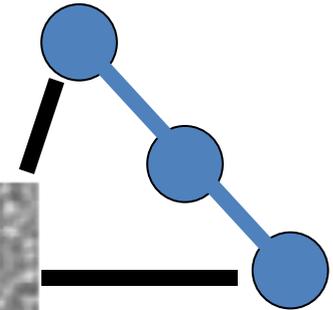
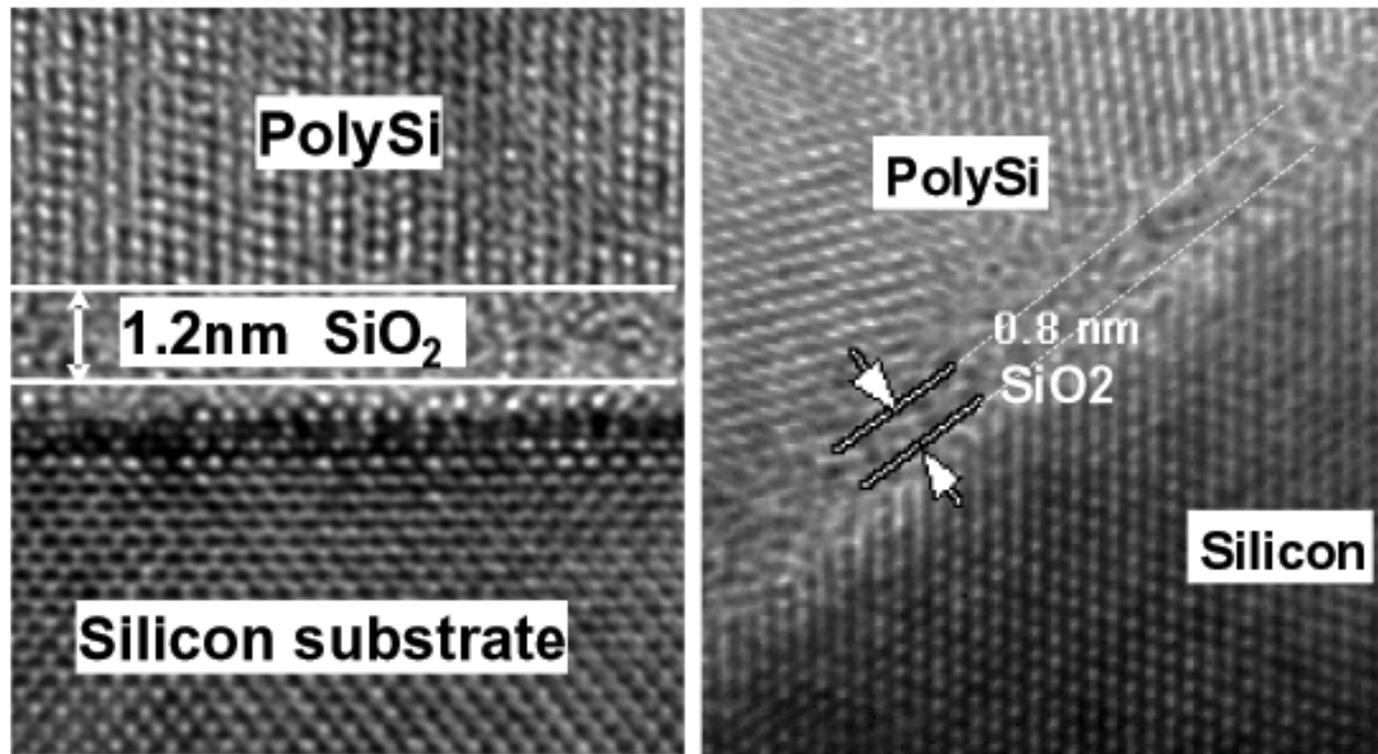
(k: 比誘電率)

ゲート長を短くする時、ドレインからの空乏層の伸びを抑えないとsubthresholdリーク電流が更に増大

これを抑制するにはゲート絶縁膜を薄くして、ゲート電圧によるチャネル電位の制御をよくなる必要がある。



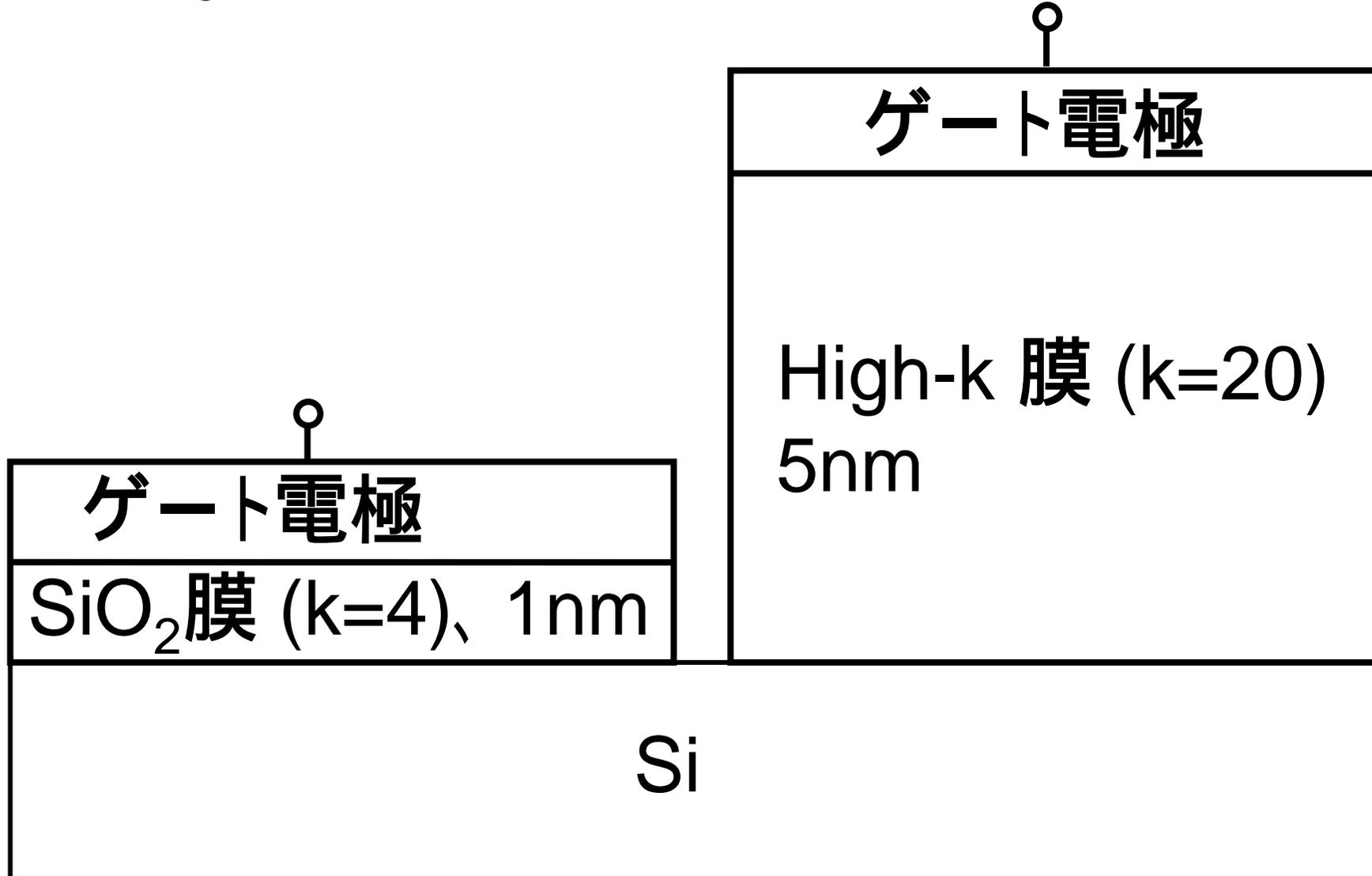
ゲート絶縁膜薄膜化はそろそろ限界？



- 1.2nm physical SiO₂ in production (90nm logic node)
- 0.8nm physical SiO₂ in research transistors

By Robert Chau, IWGI 2003

High-k膜を用いることによって、薄膜化の限界を克服



Choice of High-k elements for oxide

Candidates														Gas or liquid at 1000 K							
Unstable at Si interface														Radio active							
H														He							
Li	Be													B	C	N	O	F	Ne		
Na	Mg													Al	Si	P	S	Cl	Ar		
K	Ca	Sc	Ti	V	Cr	Mn	Fe	Co	Ni	Cu	Zn	Ga	Ge	As	Se	Br	Kr				
Rh	Sr	Y	Zr	Nb	Mo	Tc	Ru	Rb	Pd	Ag	Cd	In	Sn	Sb	Te	I	Xe				
Cs	Ba		Hf	Ta	W	Re	Os	Ir	Pt	Au	Hg	Tl	Pb	Bi	Po	At	Rn				
Fr	Ra		Rf	Ha	Sg	Ns	Hs	Mt													
		La	Ce	Pr	Nd	Pm	Sm	Eu	Gd	Tb	Dy	Ho	Er	Tm	Yb	Lu					
		Ac	Th	Pa	U	Np	Pu	Am	Cm	Bk	Cf	Es	Fm	Md	No	Lr					

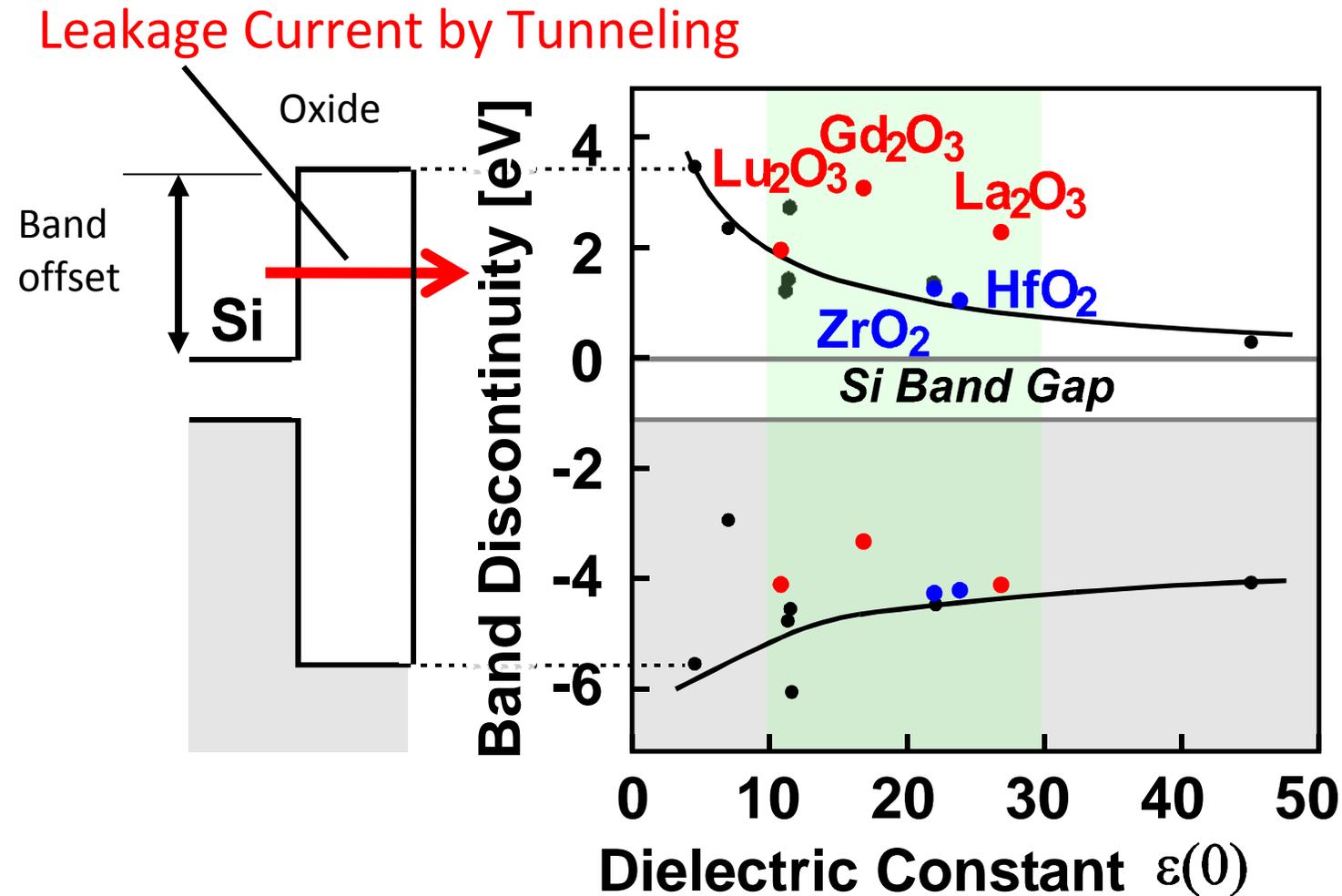
HfO₂ based dielectrics are selected as the first generation materials, because of their merit in

- 1) band-offset,
- 2) dielectric constant
- 3) thermal stability

La₂O₃ based dielectrics are thought to be the next generation materials, which may not need a thicker interfacial layer

R. Hauser, IEDM Short Course, 1999
 Hubbard and Schlom, J Mater Res 11 2757 (1996)

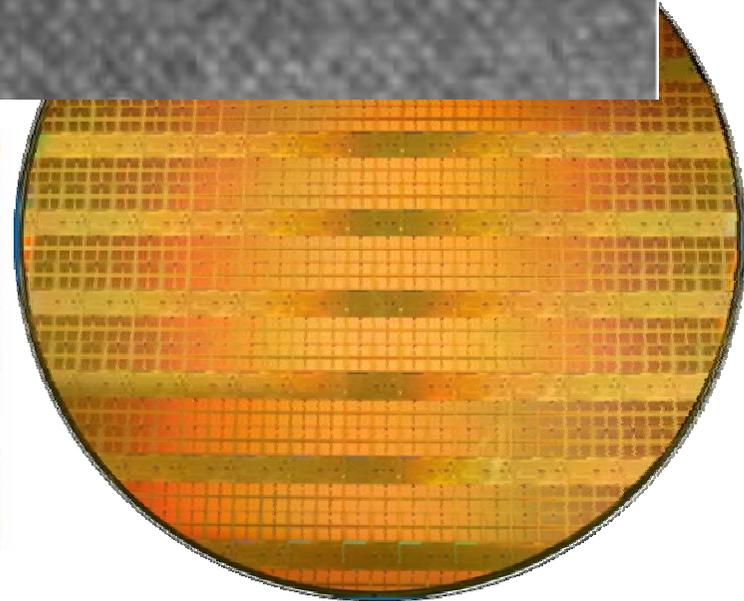
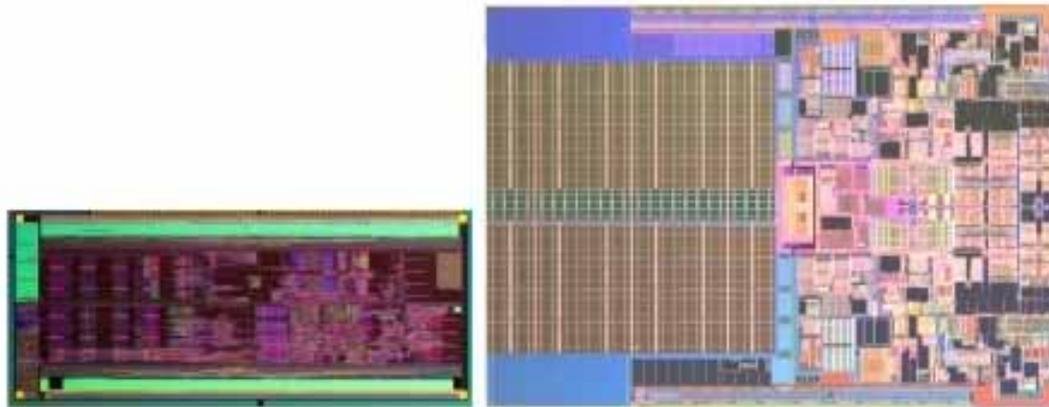
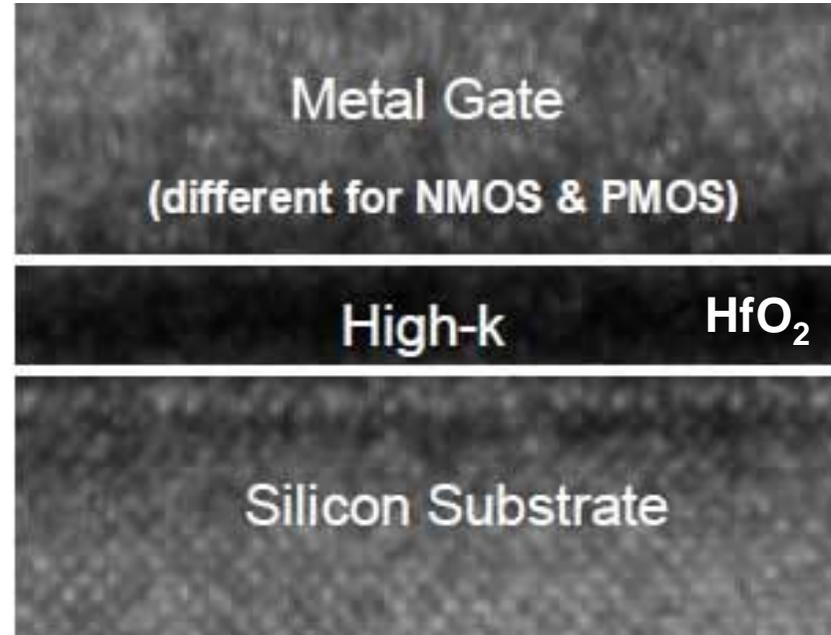
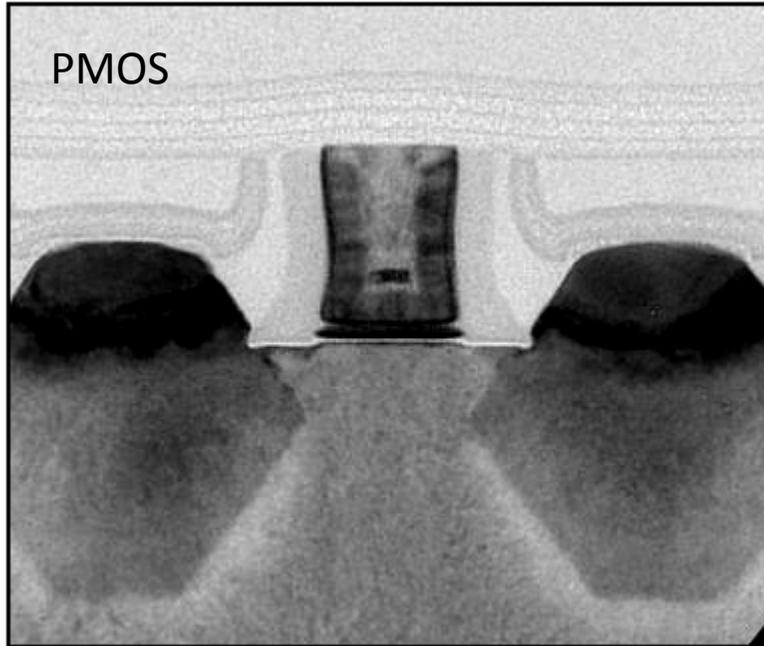
Conduction band offset vs. Dielectric Constant



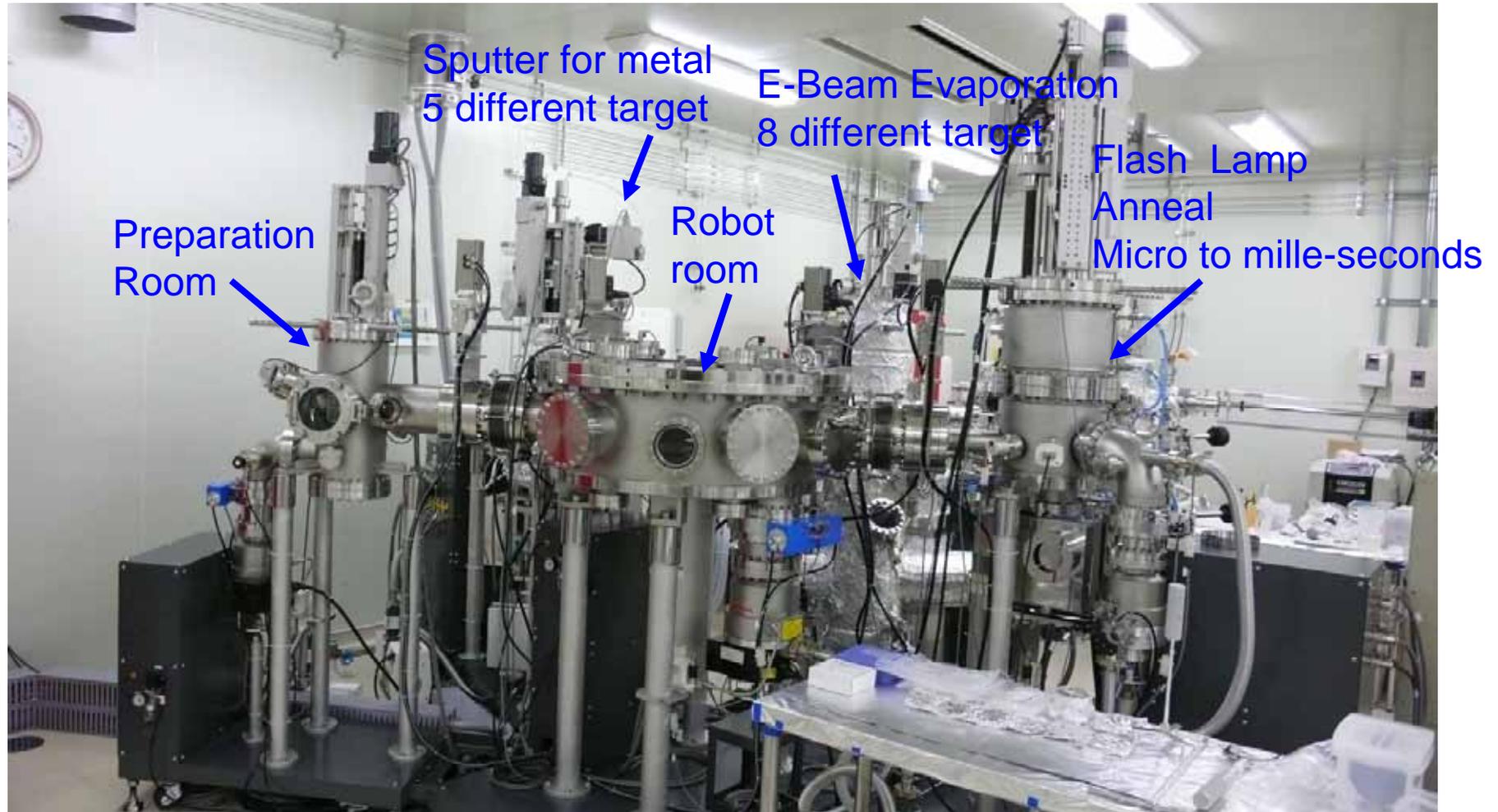
XPS measurement by Prof. T. Hattori, INFOS 2003

High-k gate insulator MOSFETs for Intel: EOT=1nm

EOT: Equivalent Oxide Thickness



Cluster tool for high-k thin film deposition



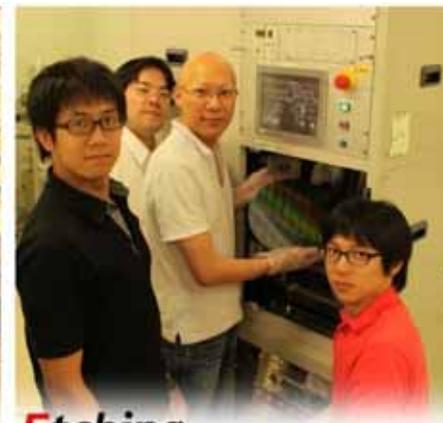
研究風景



Deposition



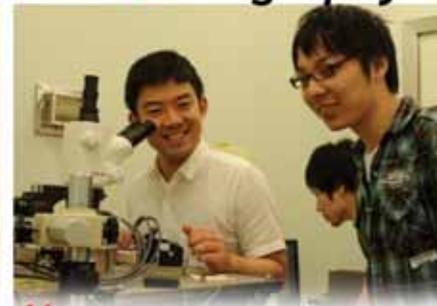
Lithography



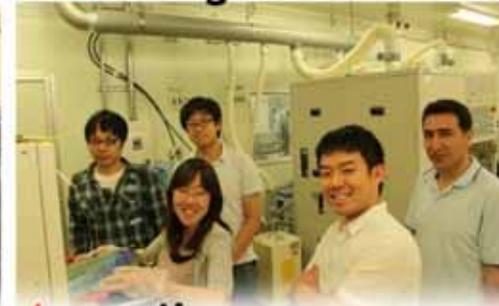
Etching



Analysis



Measurement



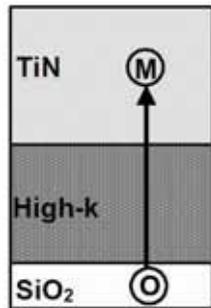
Annealing



Office

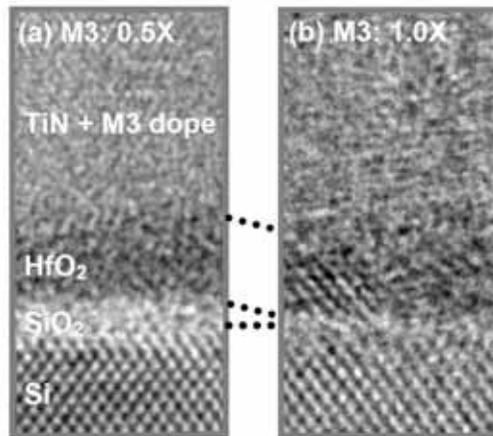
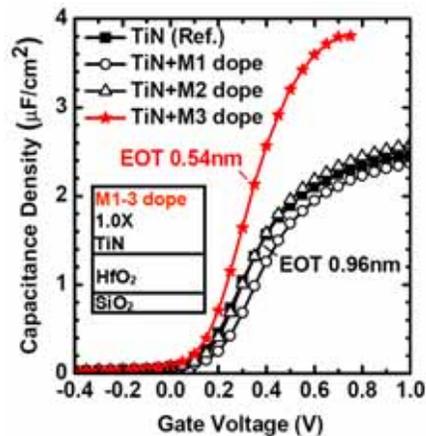


Reports on direct contact of high-k/Si



IL scavenging

T. Ando, et al., IEDM. p.423 (2009).



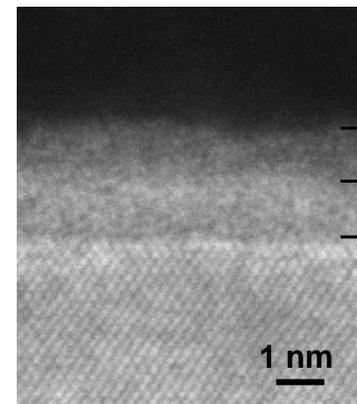
Control of oxygen atoms

➔ Direct HfO₂/Si structure

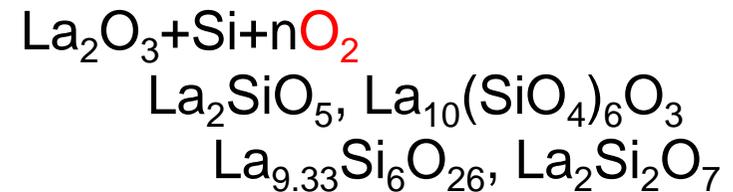
Our approach

500 °C, 30 min

K. Kakushima, et al.,
ESSDERC2009

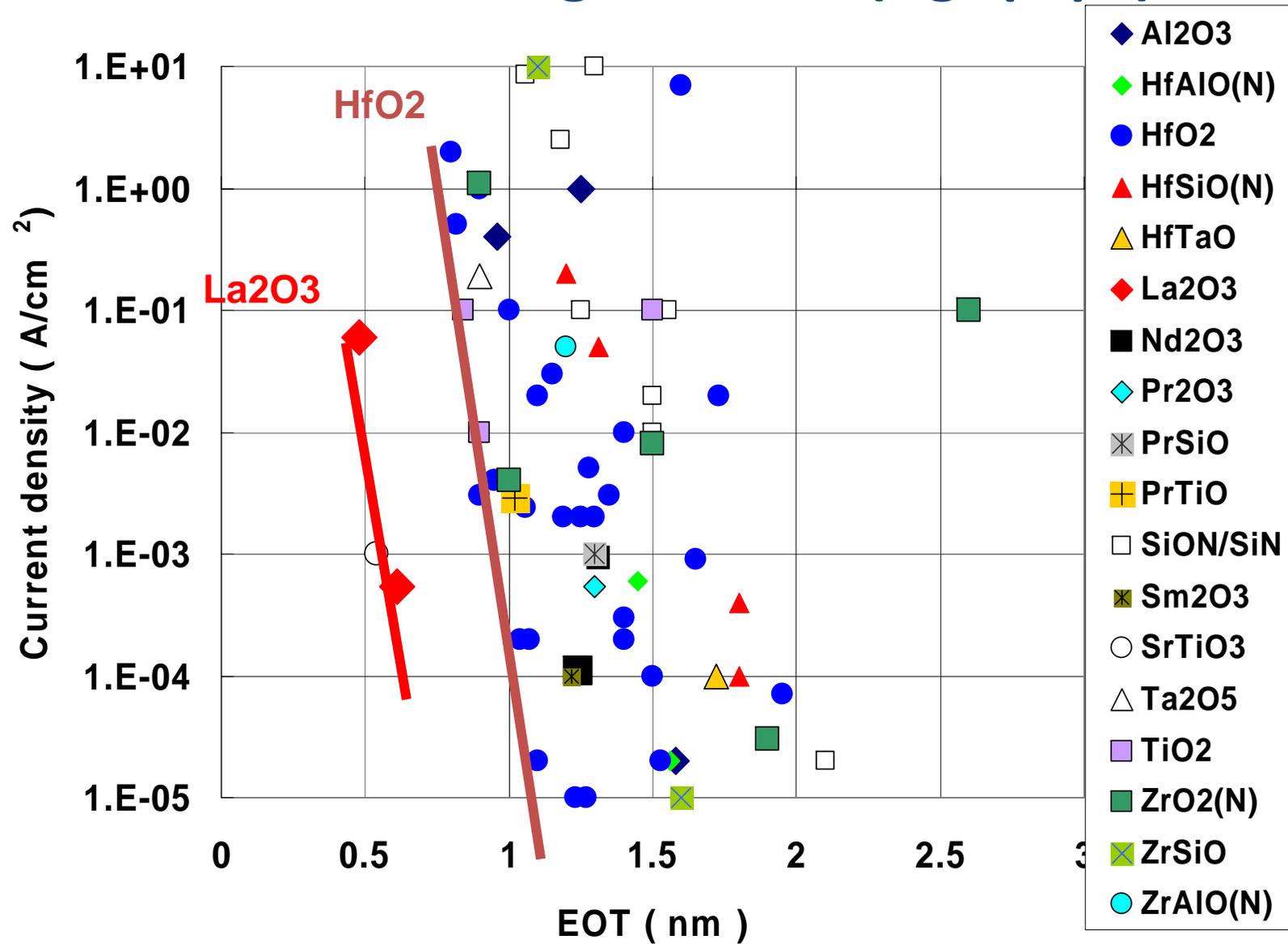


W
La₂O₃ **k=23**
La-silicate
k=8~14
Silicate formation



La₂O₃ can easily achieve
direct contact of high-k/Si

Gate Leakage vs EOT, ($V_g = |1|V$)



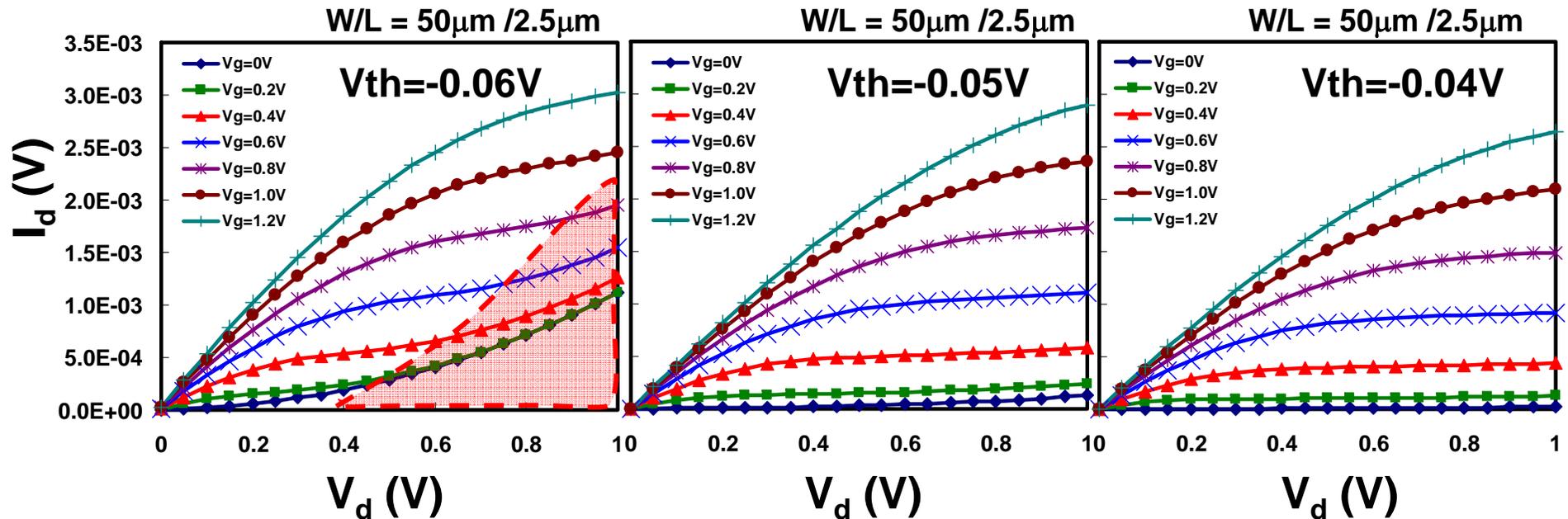
EOT=0.37nm (世界レコード)

La2O3

EOT=0.37nm

EOT=0.40nm

EOT=0.48nm

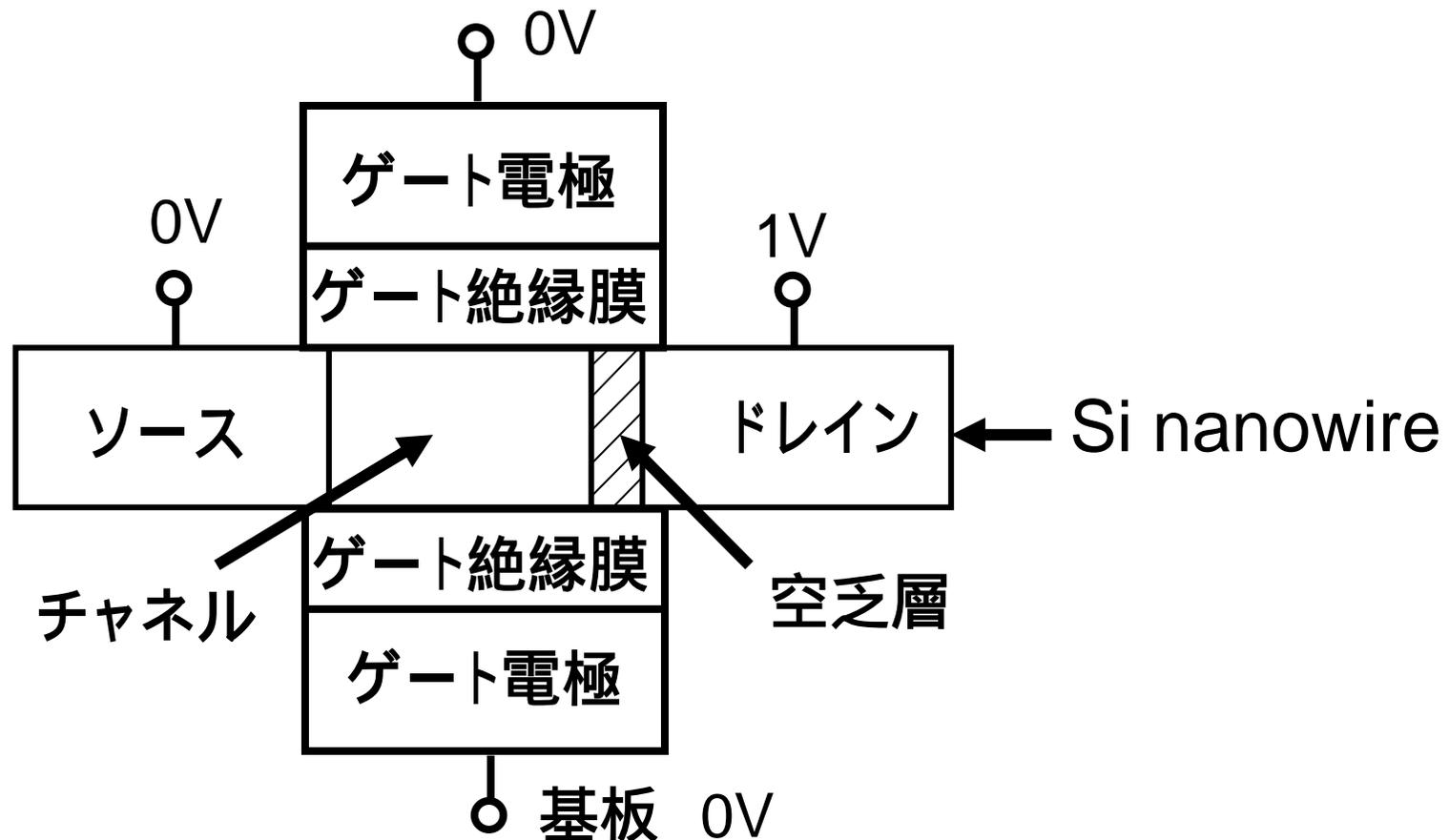


← 0.48 → 0.37nm Increase of I_d at 30%

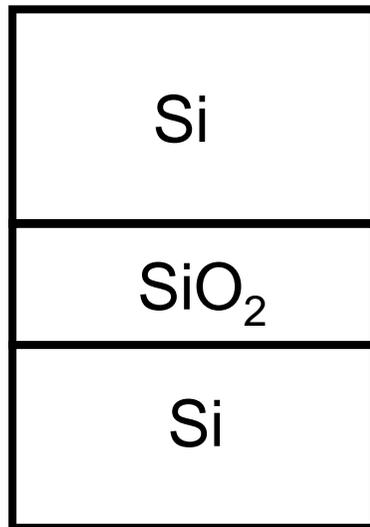
Si nanowire FET 技術

ドレインからの空乏層の延びを抑制する為には、チャンネルを囲むようにゲート電極を設けるのが効果的

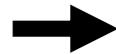
この構造でゲート絶縁膜の薄膜化を2、3世代後戻りできる。



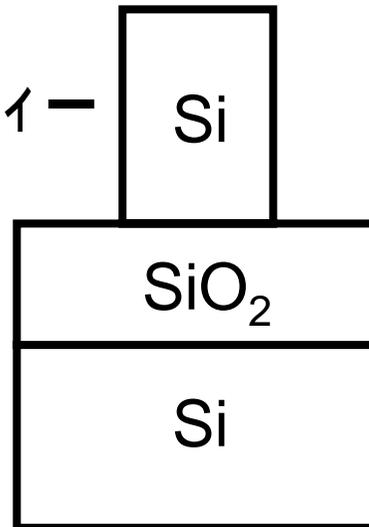
SOI Wafer



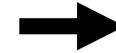
リソグラフィ



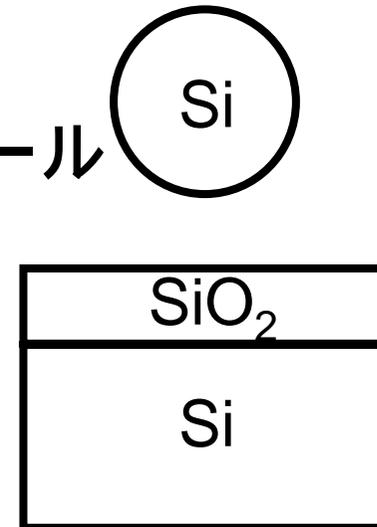
長方形
Nanowire



酸化
または
H₂アニール

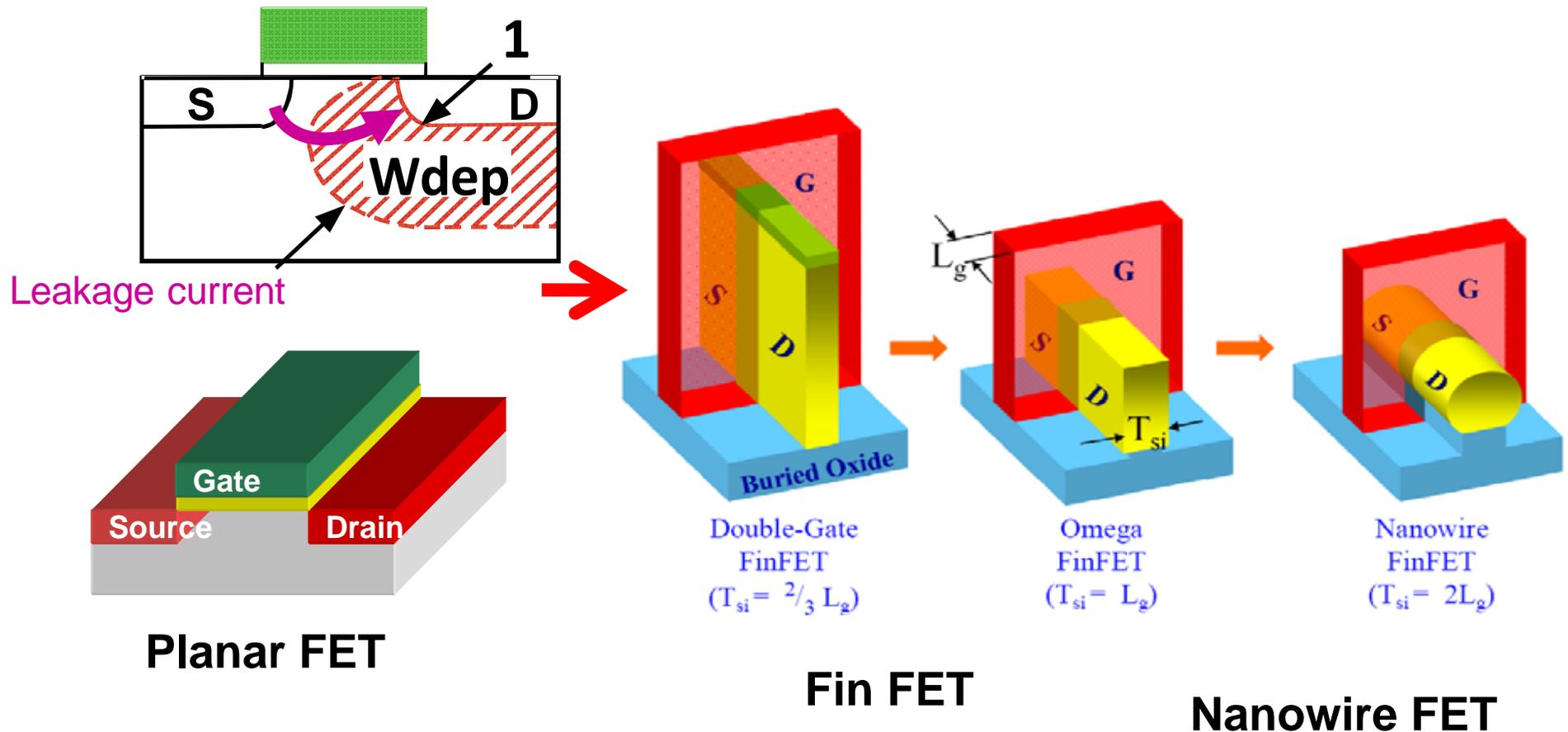


円形
Nanowire

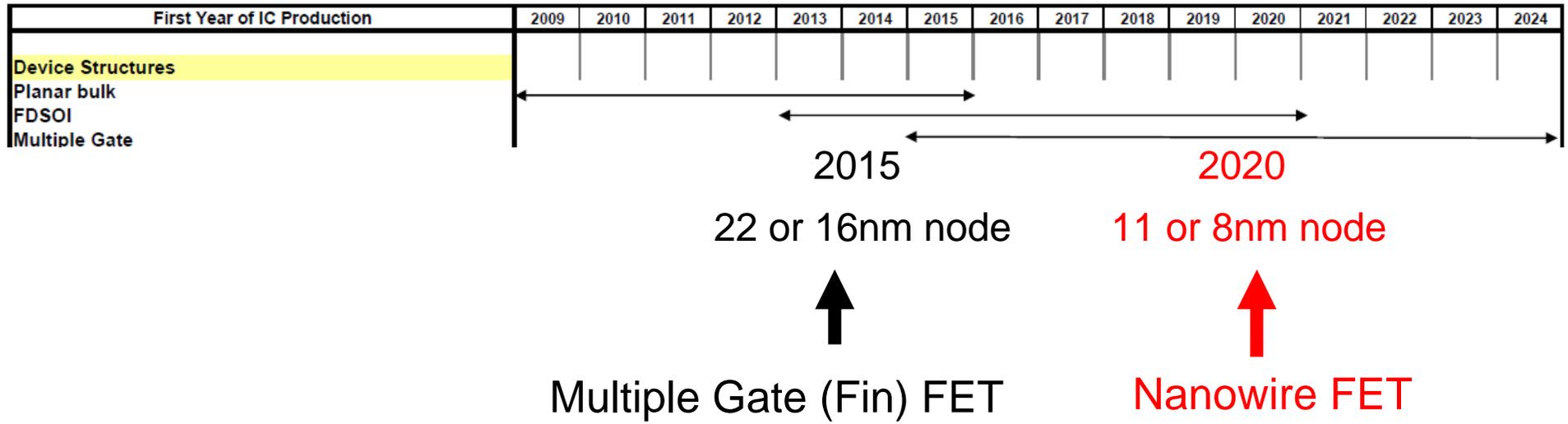


Because of off-leakage control,

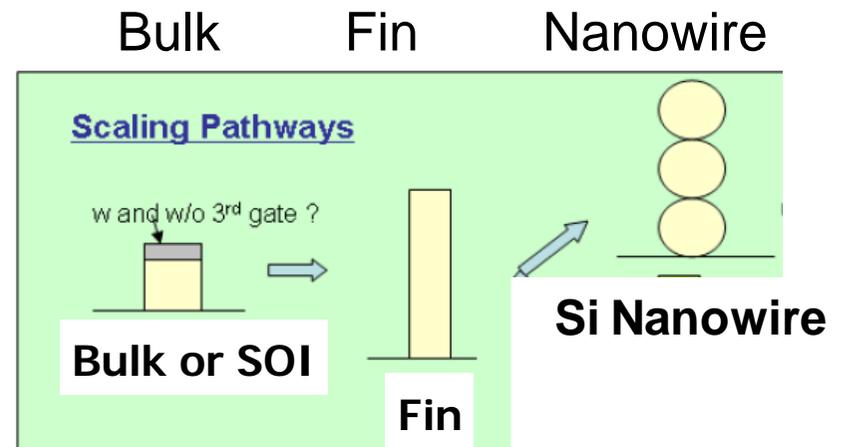
Planar \rightarrow Fin \rightarrow Nanowire



Nanowire FET

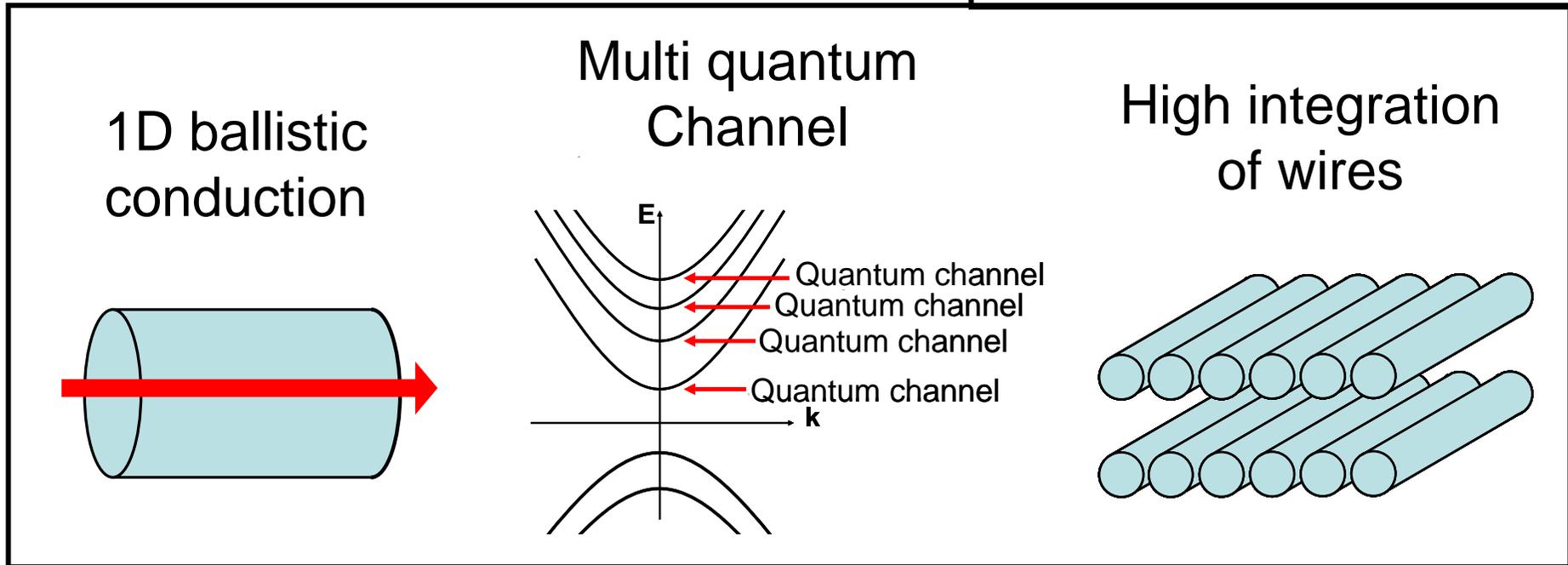
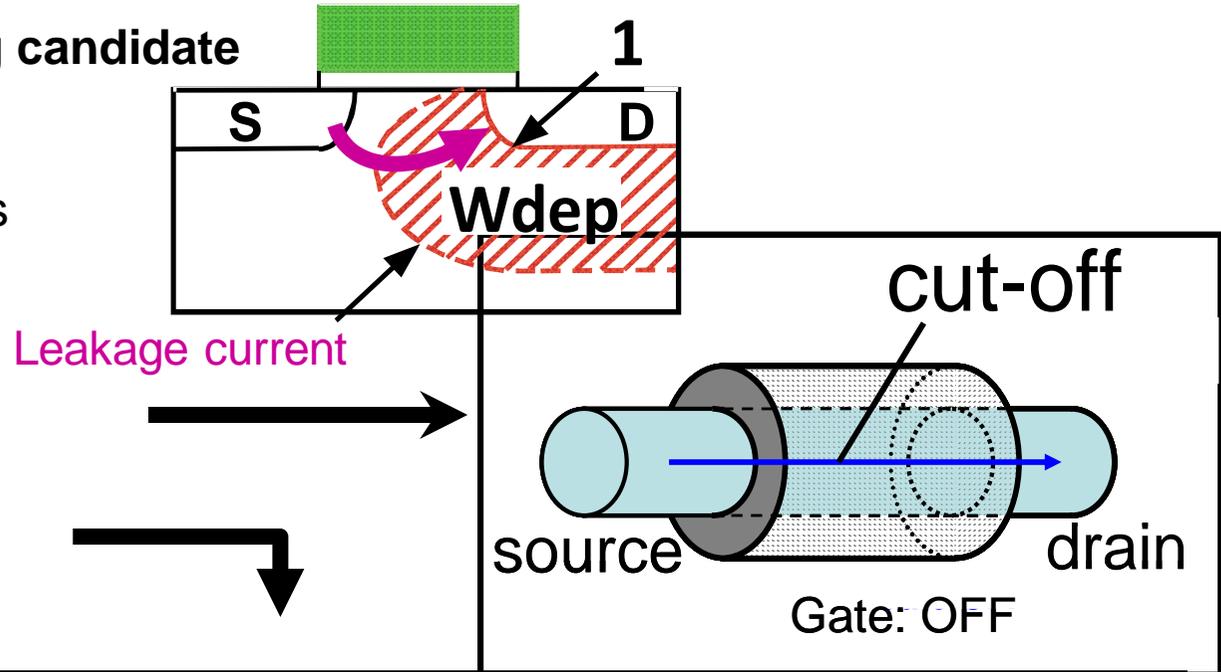


ITRS 2009



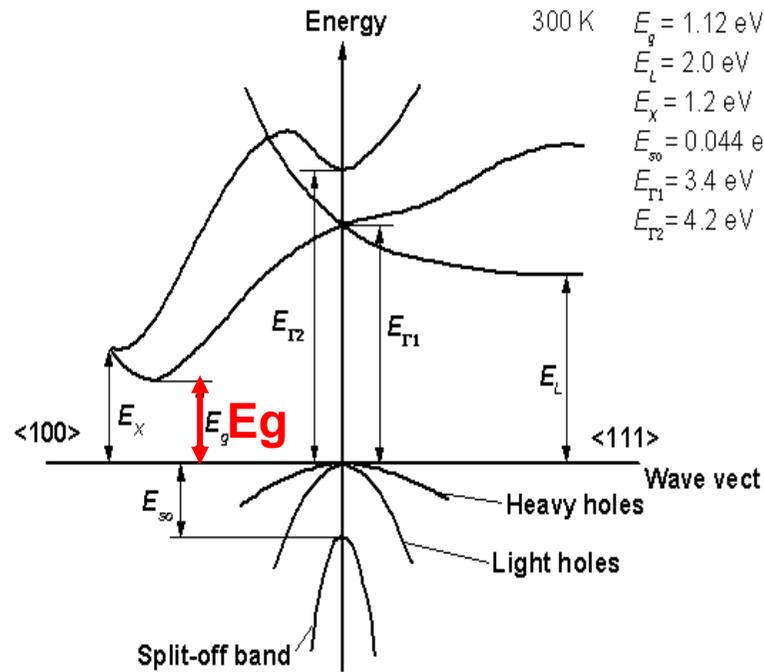
Si nanowire FET as a strong candidate

1. Compatibility with current CMOS process
2. Good controllability of I_{OFF}
3. High drive current

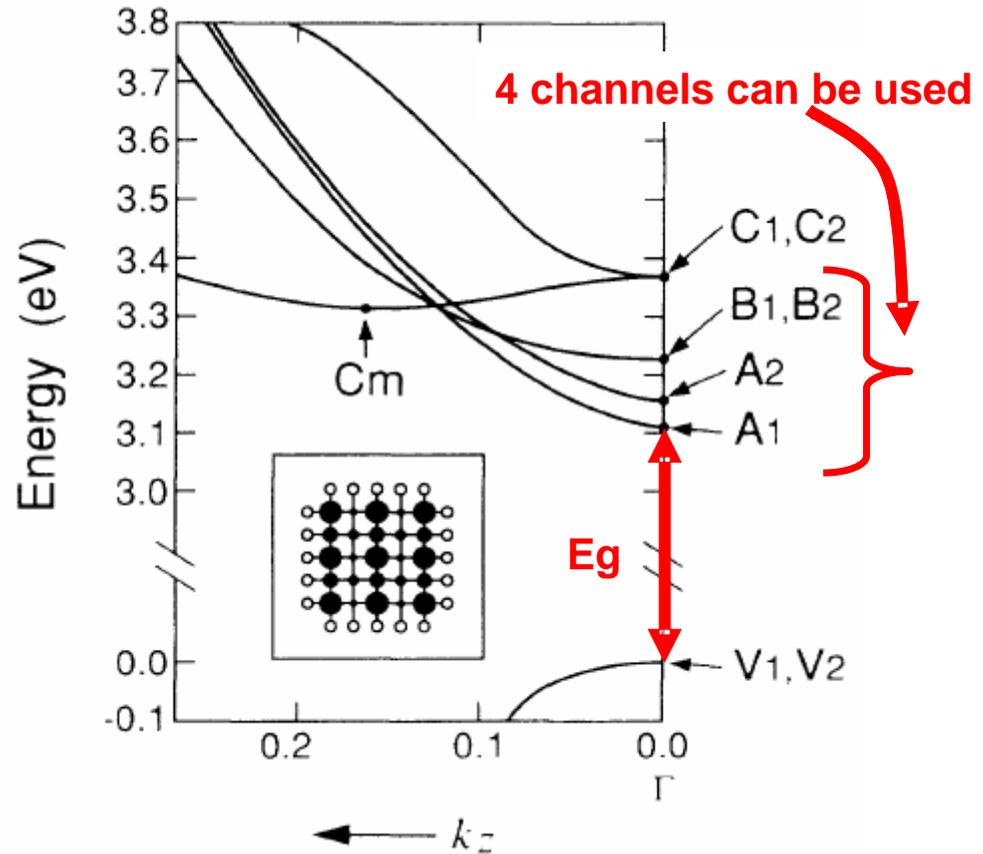


Increase the Number of quantum channels

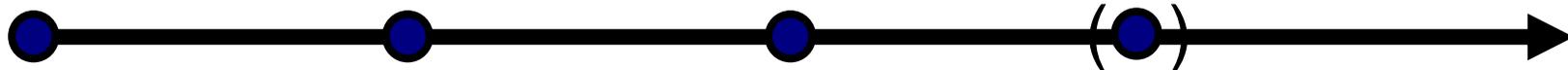
By Prof. Shiraishi of Tsukuba univ.



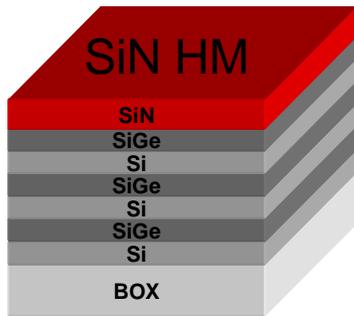
Energy band of Bulk Si



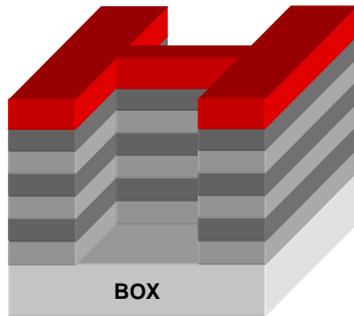
Device fabrication



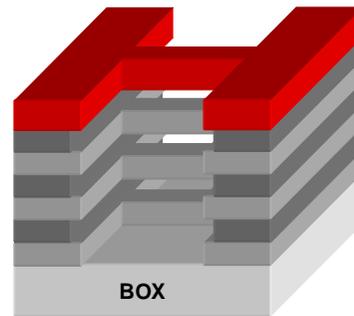
Si/Si_{0.8}Ge_{0.2}
superlattice
epitaxy on SOI



Anisotropic
etching
of these layers



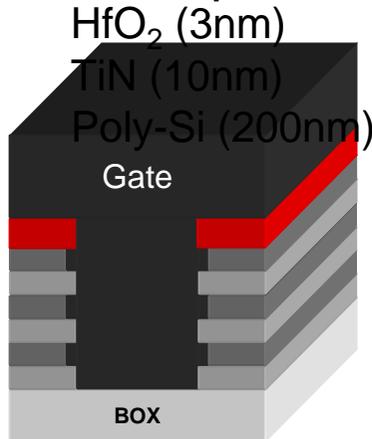
Isotropic
etching
of SiGe



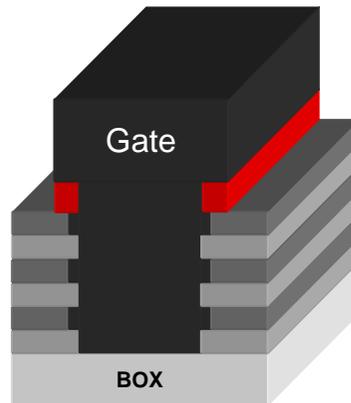
The NW diameter
is controllable
down to 5 nm
by self limited oxidation.



Gate depositions



Gate etching



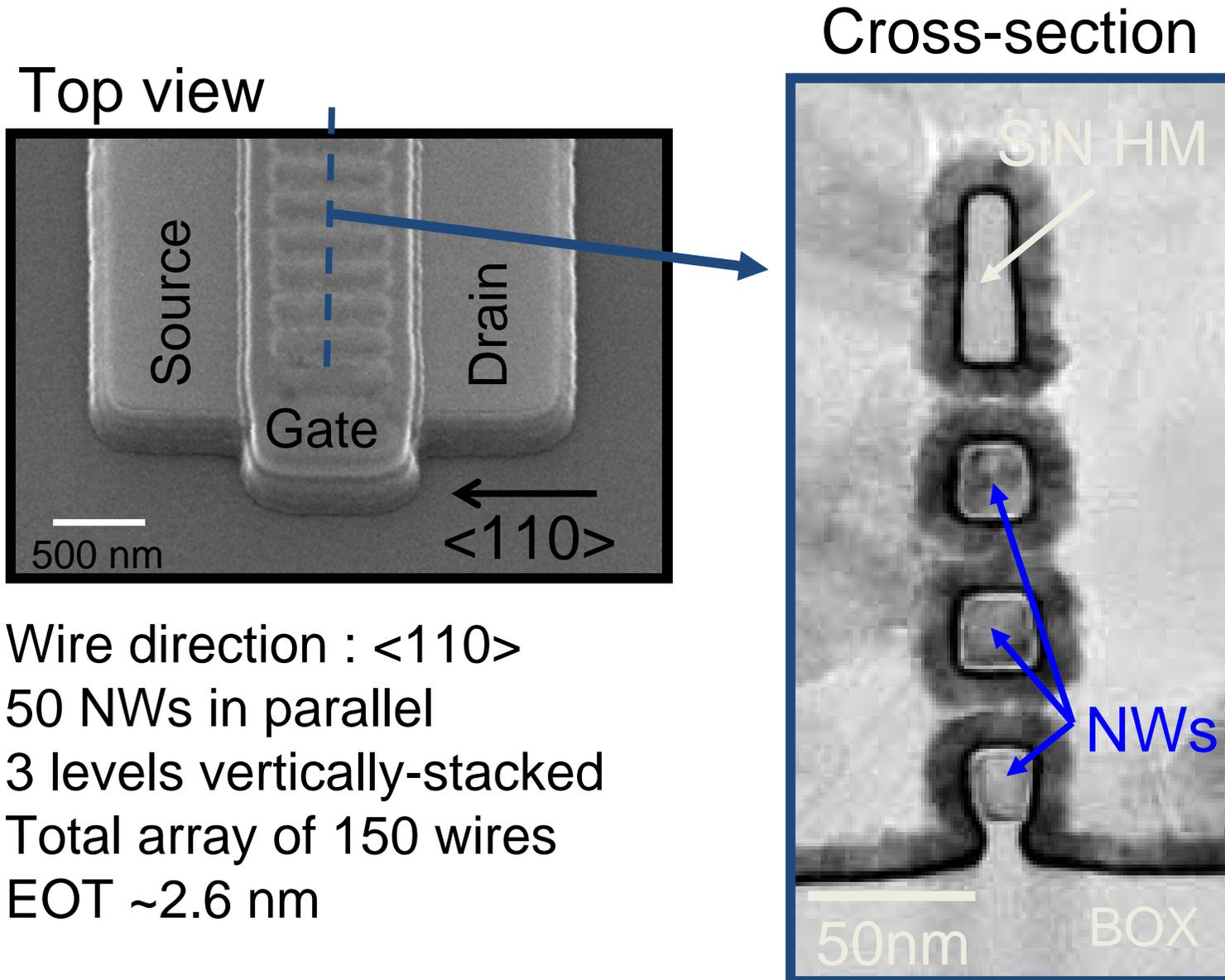
S/D implantation
Spacer formation
Activation anneal
Salicidation

Standard
Back-End
of-Line
Process

Process Details :

C. Dupre *et al.*,
IEDM Tech. Dig., p.749, 2008

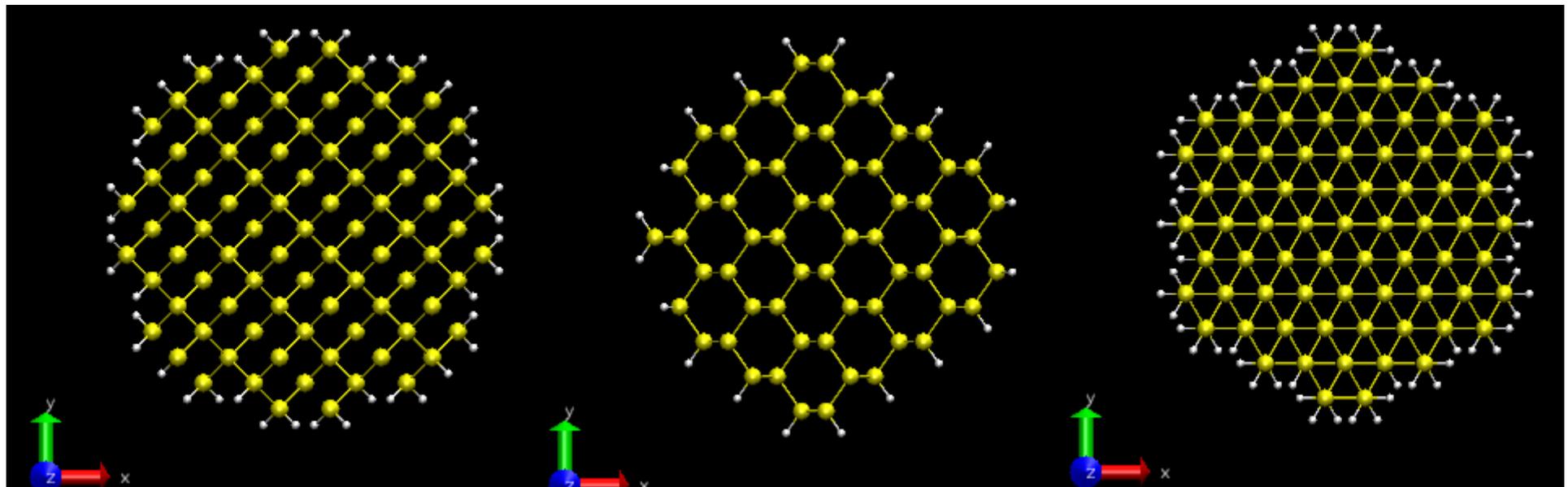
3D-stacked Si NWs with Hi-k/MG



SiNW Band structure calculation

Cross section of Si NW

First principal calculation,



$D=1.96\text{nm}$

[001]

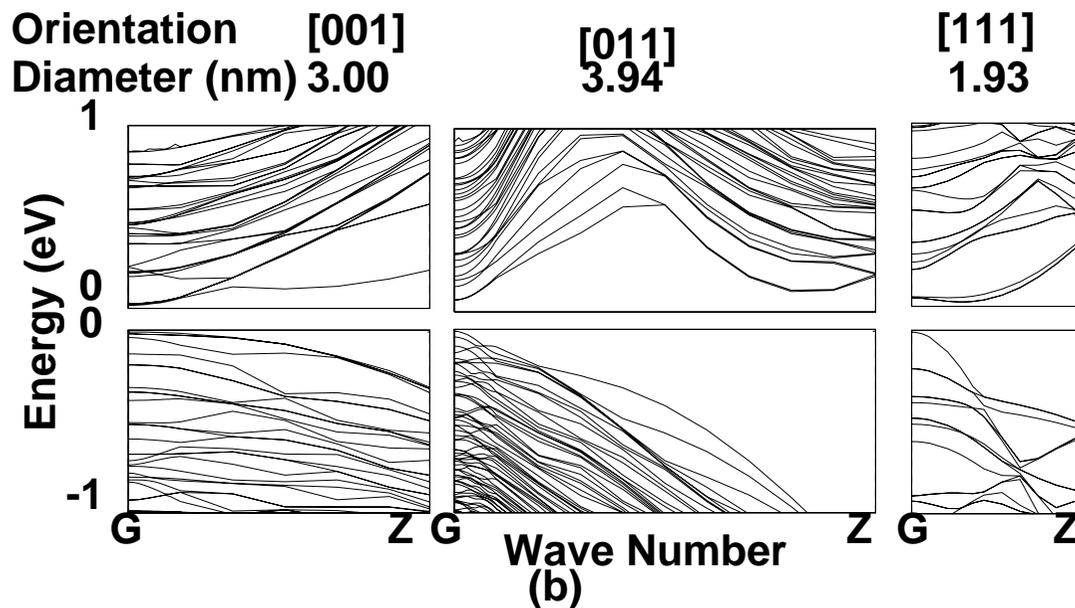
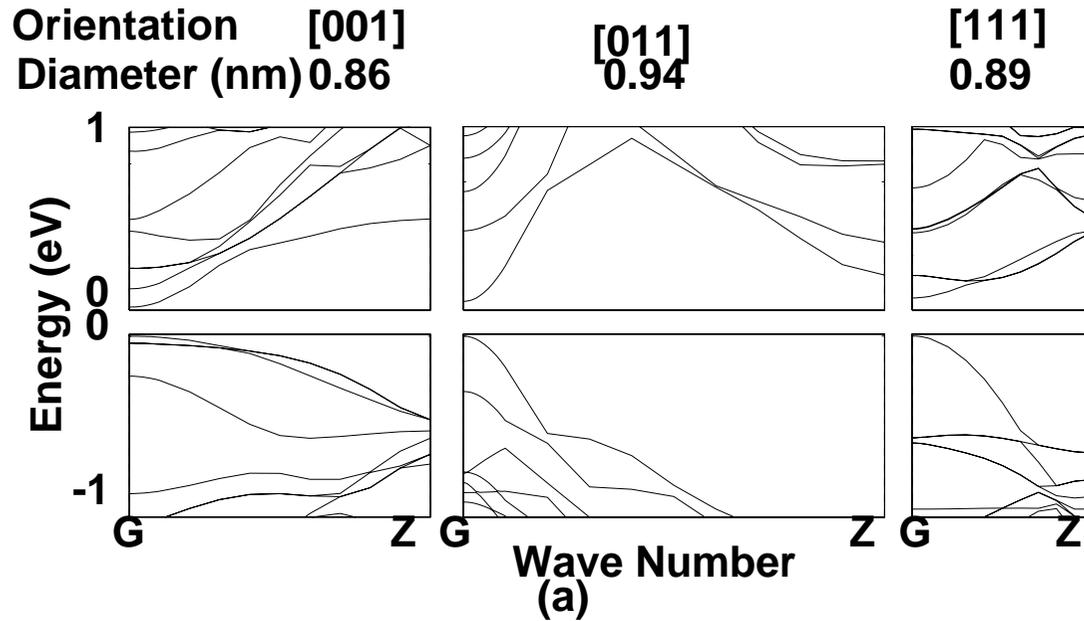
$D=1.94\text{nm}$

[011]

$D=1.93\text{nm}$

[111]

Si nanowire FET with 1D Transport

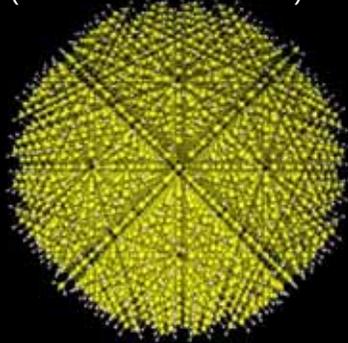


Small mass with [011]

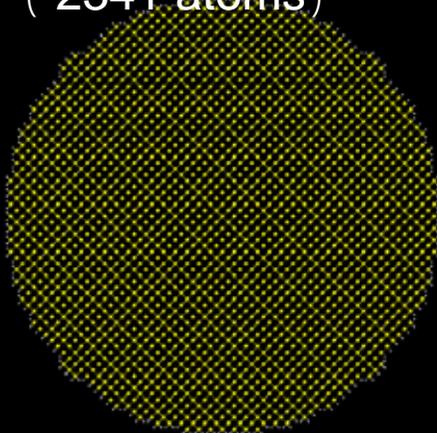
**Large number of
quantum channels
with [001]**

Atomic models of a Si quantum dot and Si nanowires

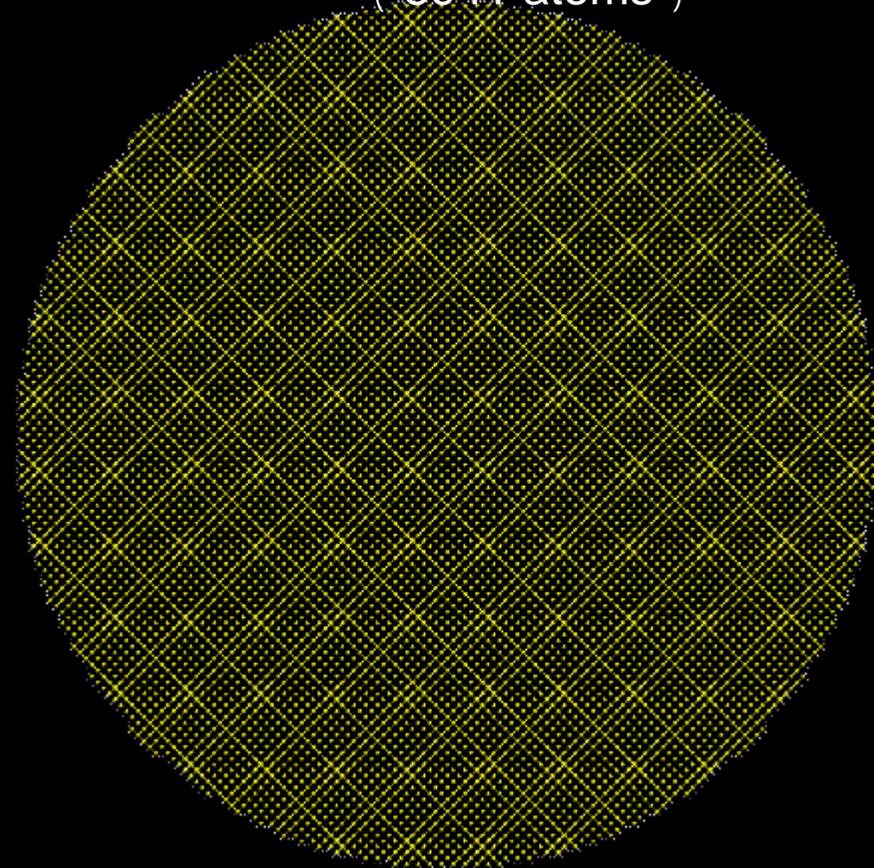
6.6 nm diameter SiQD
(8651 atoms)



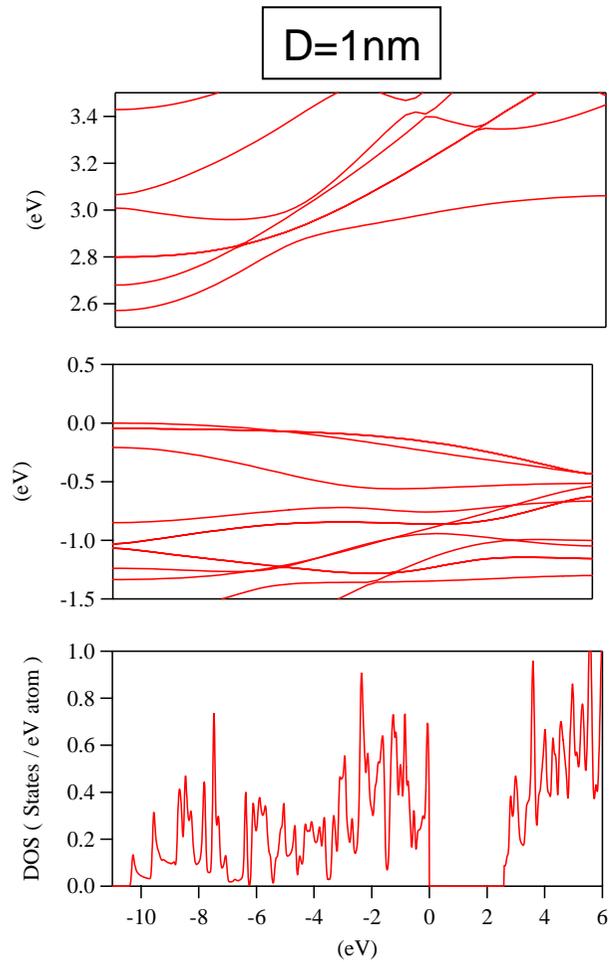
10 nm diameter Si(100)NW
(2341 atoms)



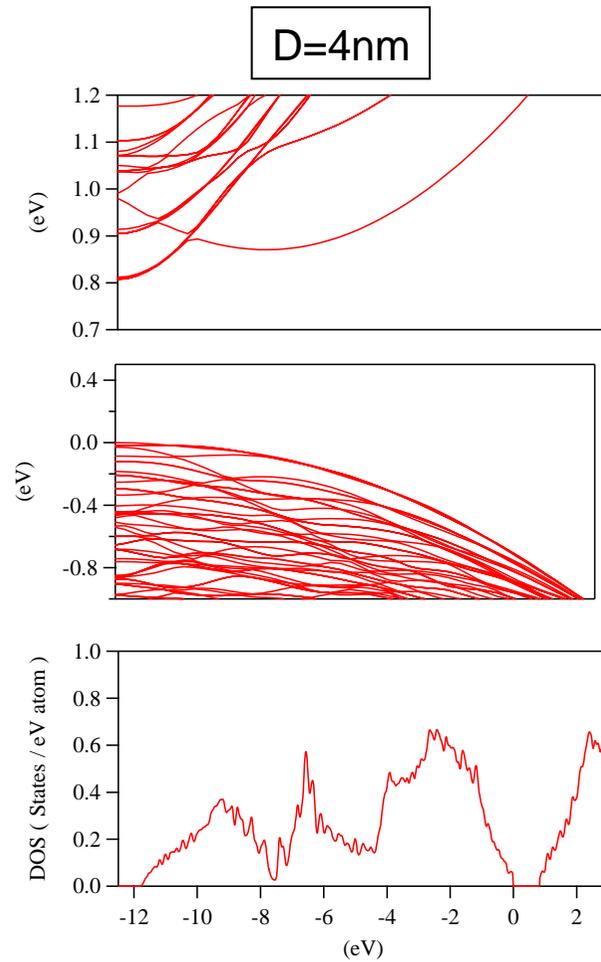
20 nm diameter Si(100)NW
(8941 atoms)



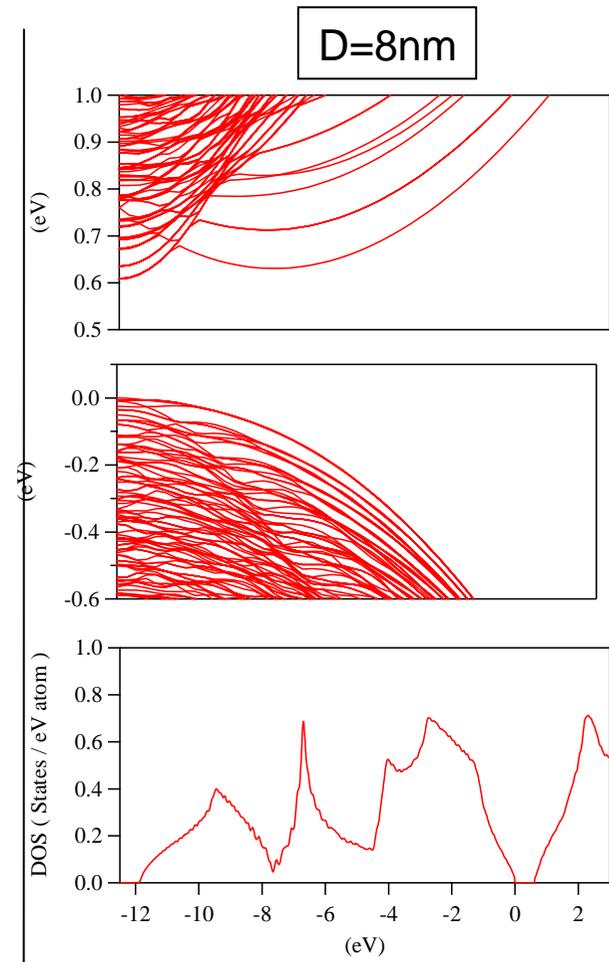
Band Structure and DOS of Si(100)NWs (D=1nm, 4nm, and 8nm)



D=1 nm
 Si₂₁H₂₀ (41 atoms)
 KS band gap=2.60eV



D = 4 nm
 Si₃₄₁H₈₄ (425 atoms)
 KS band gap = 0.81eV

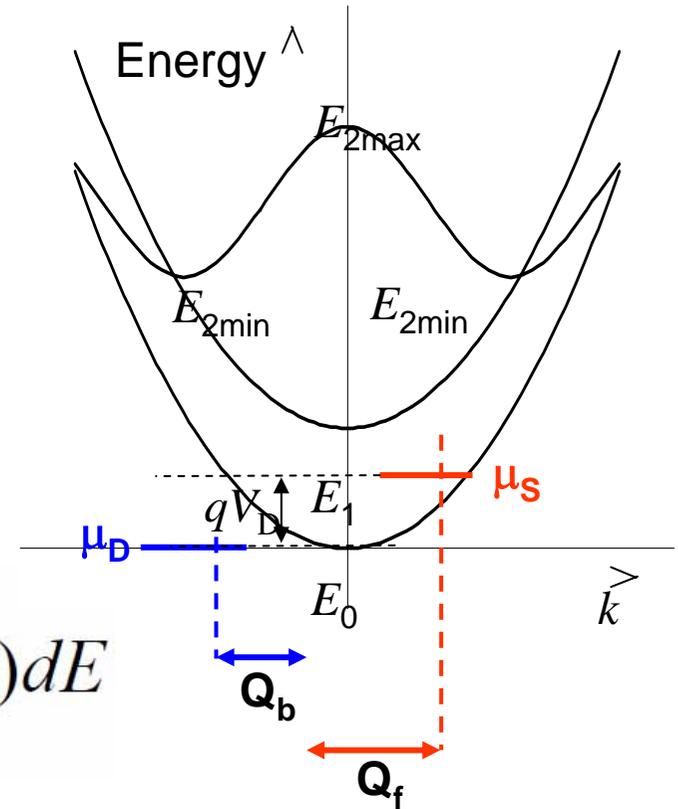
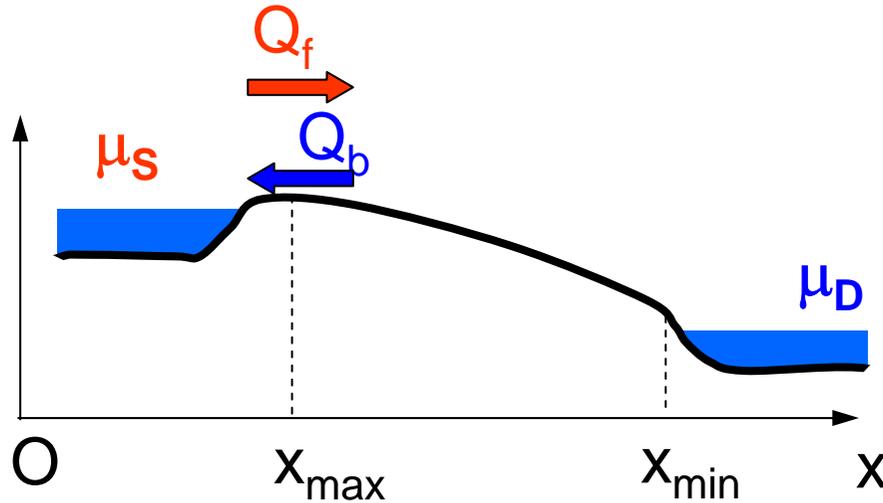


D=8 nm
 Si₁₃₆₁H₁₆₄ (1525 atoms)
 KS band gap=0.61eV

KS band gap of bulk (LDA) = 0.53eV

SiNW Band compact model

Landauer Formalism for Ballistic FET

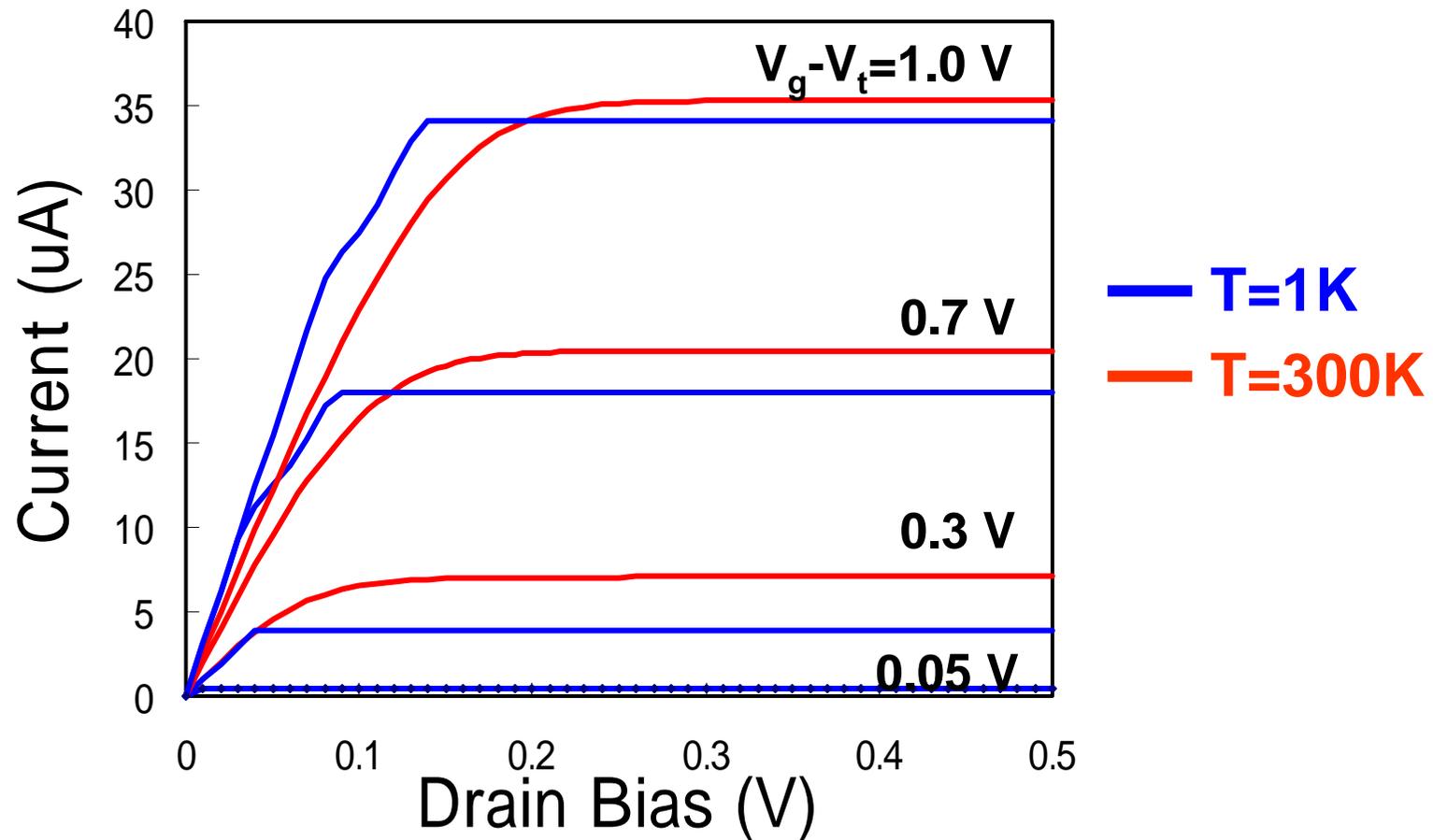


$$I_D = \frac{q}{\pi \hbar} \sum_i \int [f(E, \mu_S) - f(E, \mu_D)] T_i(E) dE$$

From x_{\max} to x_{\min} $T_i(E) \approx 1$

$$I_D = G_0 \left(\frac{k_B T}{q} \right) \sum_i g_i \ln \left\{ \frac{1 + \exp[(\mu_S - E_{i0}) / k_B T]}{1 + \exp[(\mu_D - E_{i0}) / k_B T]} \right\}$$

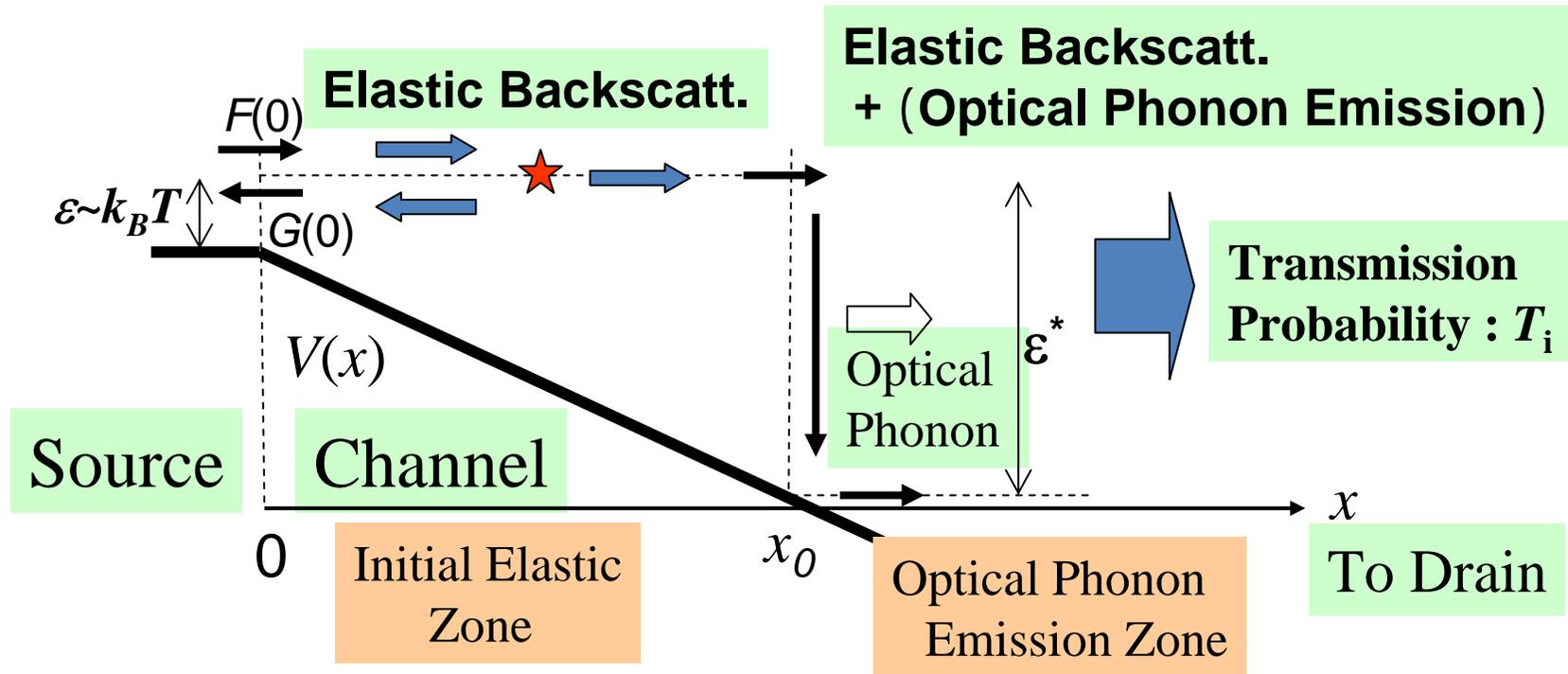
IV Characteristics of Ballistic SiNW FET



Small temperature dependency
 $35\mu A/wire$ for 4 quantum channels

Model of Carrier Scattering

Linear Potential Approx. : Electric Field E



Transmission Probability to Drain

$$T(\epsilon) = \frac{F(0) - G(0)}{F(0)} \quad \text{Injection from Drain}=0$$

Résumé of the Compact Model

$$I = \frac{q}{\pi \hbar} \sum_i g_i \int [f(\varepsilon, \mu_S) - f(\varepsilon, \mu_D)] T_i d\varepsilon$$

$$C_G = \frac{2\pi \varepsilon_{ox}}{\ln \left\{ \frac{\sqrt{2r+t_{ox}} + \sqrt{t_{ox}}}{\sqrt{2r+t_{ox}} - \sqrt{t_{ox}}} \right\}}$$

Planar Gate

$$(V_G - V_t) - \alpha \frac{\mu_S - \mu_0}{q} = \frac{|Q_f + Q_b|}{C_G}$$

$$\mu_S - \mu_D = qV_D$$

$$C_G = \frac{2\pi \varepsilon_{ox}}{\ln \left(\frac{r+t_{ox}}{r} \right)}$$

GAA

(Electrostatics requirement)

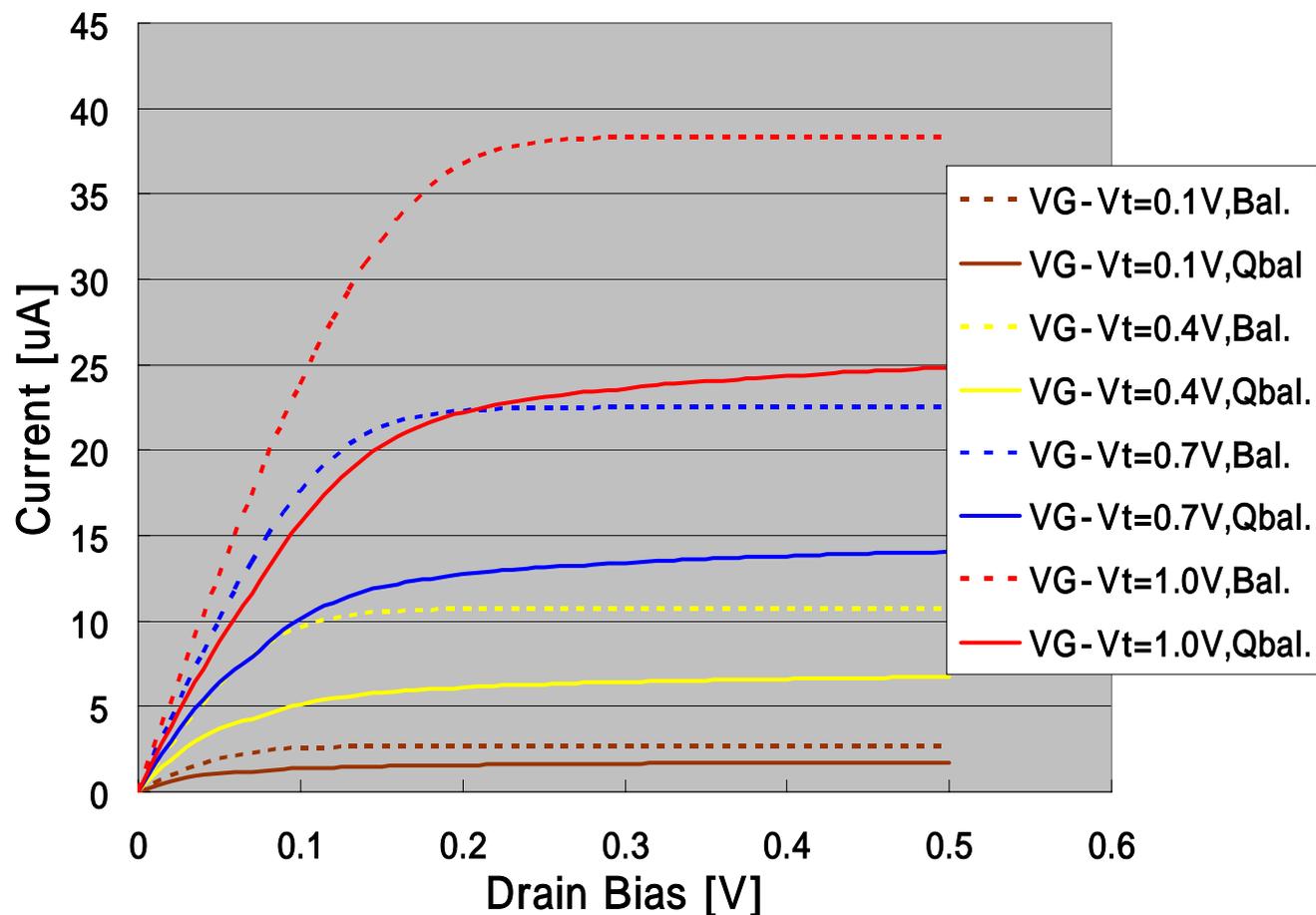
$$|Q_f + Q_b| = \frac{q}{\pi} \sum_i g_i \left[\int_{-\infty}^{\infty} \frac{dk}{1 + \exp \left\{ \frac{\varepsilon_i(k) - \mu_S}{k_B T} \right\}} - \int_{-\infty}^0 \left\{ \frac{1}{1 + \exp \left\{ \frac{\varepsilon_i(k) - \mu_S}{k_B T} \right\}} - \frac{1}{1 + \exp \left\{ \frac{\varepsilon_i(k) - \mu_D}{k_B T} \right\}} \right\} T_i(\varepsilon_i(k)) dk \right]$$

$$T(\varepsilon) = \frac{\sqrt{2D_0} qE}{\left(\sqrt{B_0 + D_0} + \sqrt{D_0} \right) qE + \sqrt{2mD_0} B_0 \ln \left(\frac{qEx_0 + \varepsilon}{\varepsilon} \right)}$$

(Carrier distribution in Subbands)

Unknowns are $I_D, (\mu_S - \mu_0), (\mu_D - \mu_0), (Q_f + Q_b)$

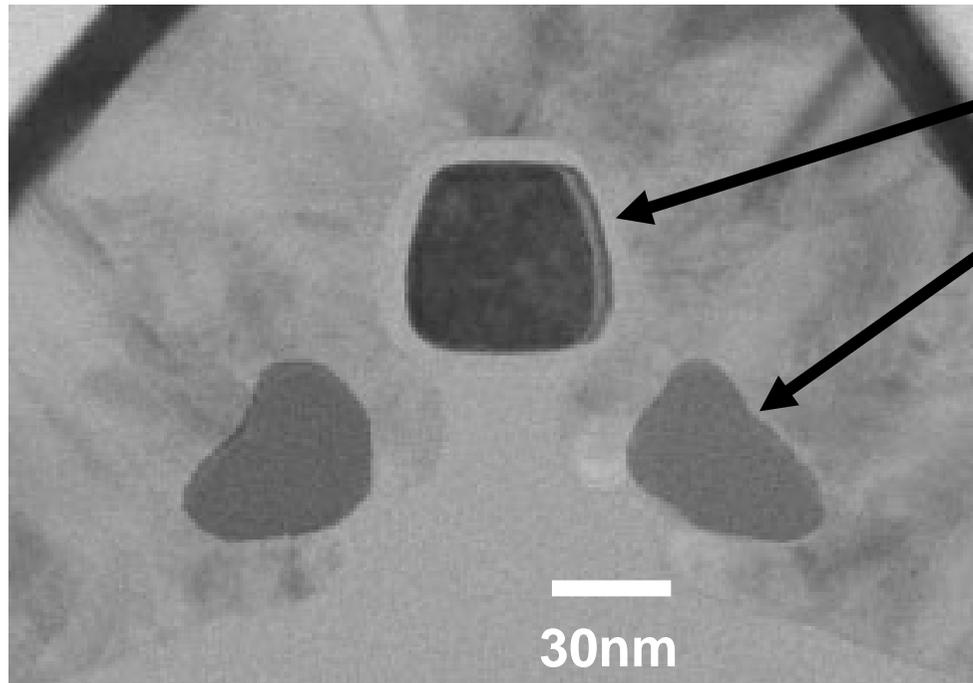
I- V_D Characteristics (RT)



- Electric current 20 ~ 25 μA
- No saturation at Large V_D

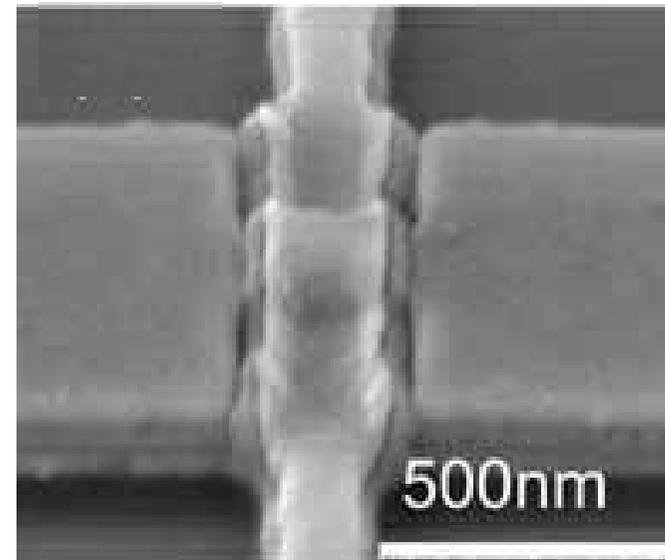
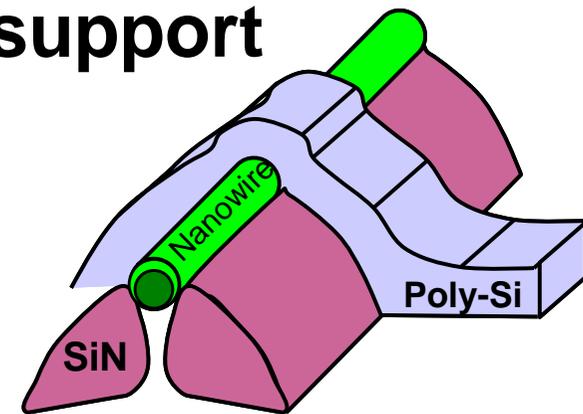
SiNW FET Fabrication

Fabricated SiNW FET



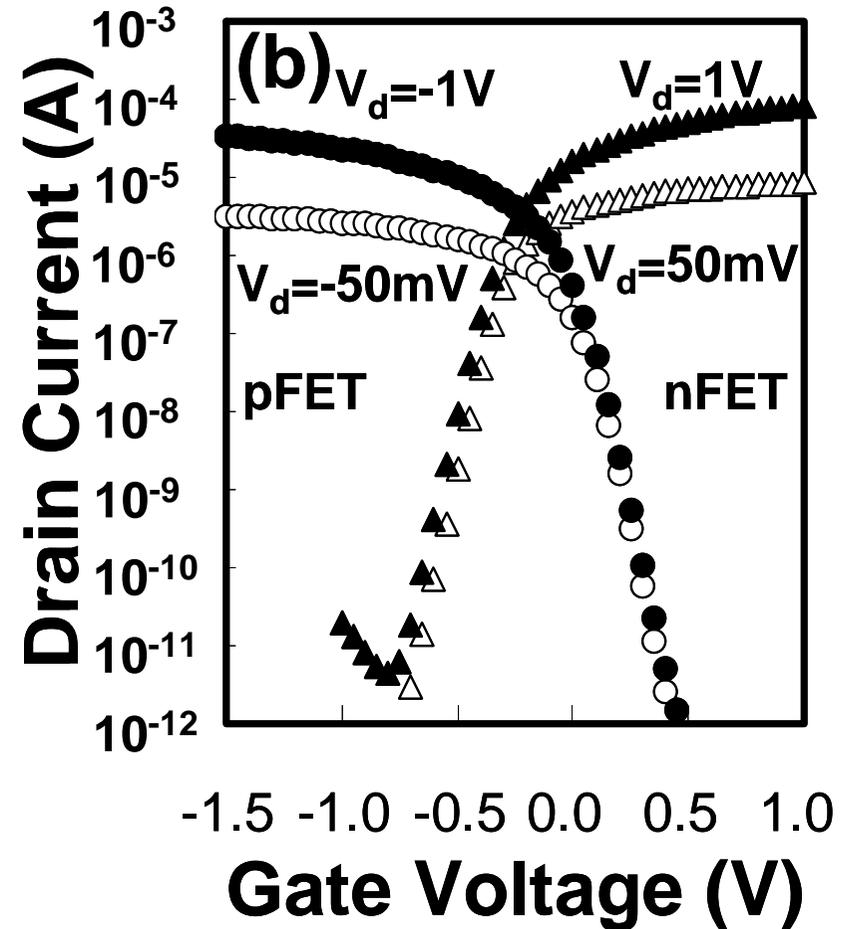
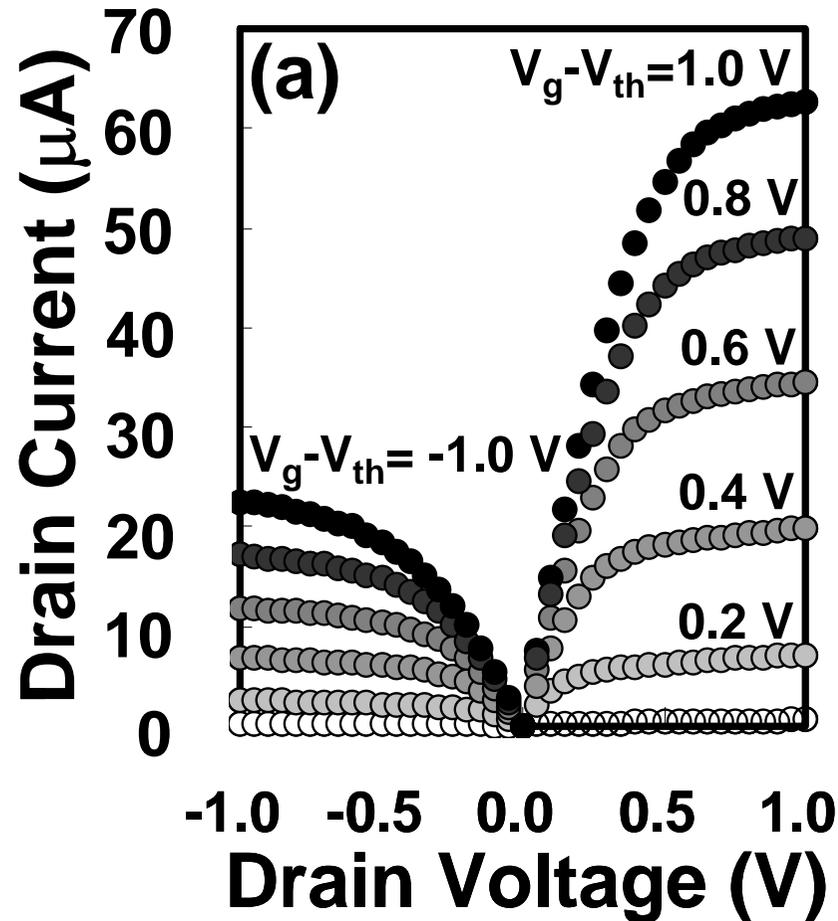
SiNW

SiN support



Recent results to be presented by ESSDERC 2010 next week in Seville

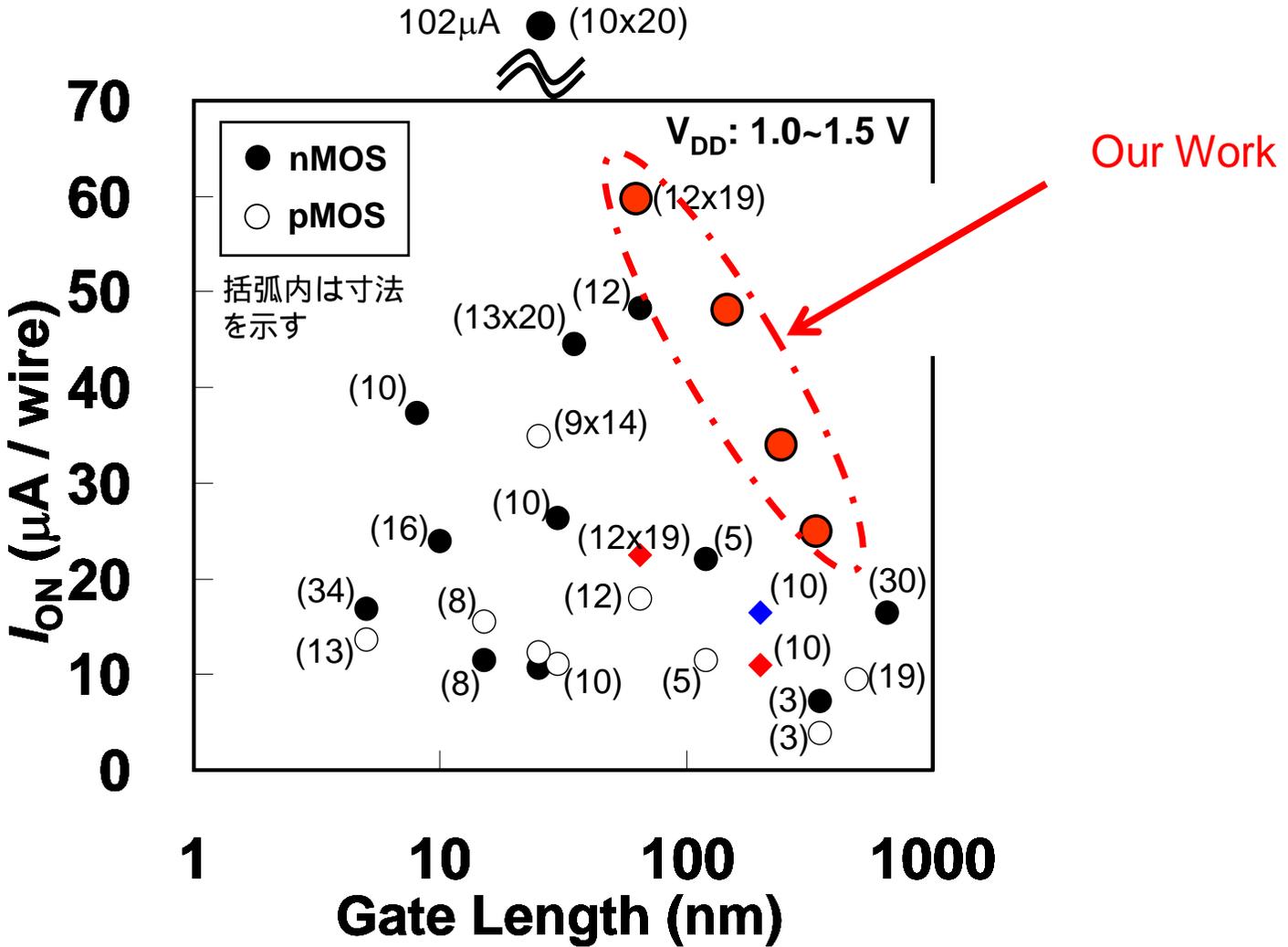
Wire cross-section: 20 nm X 10 nm



On/Off $> 10^6$, 60 μA /wire

$L_g = 65\text{ nm}$, $T_{ox} = 3\text{ nm}$

Bench Mark



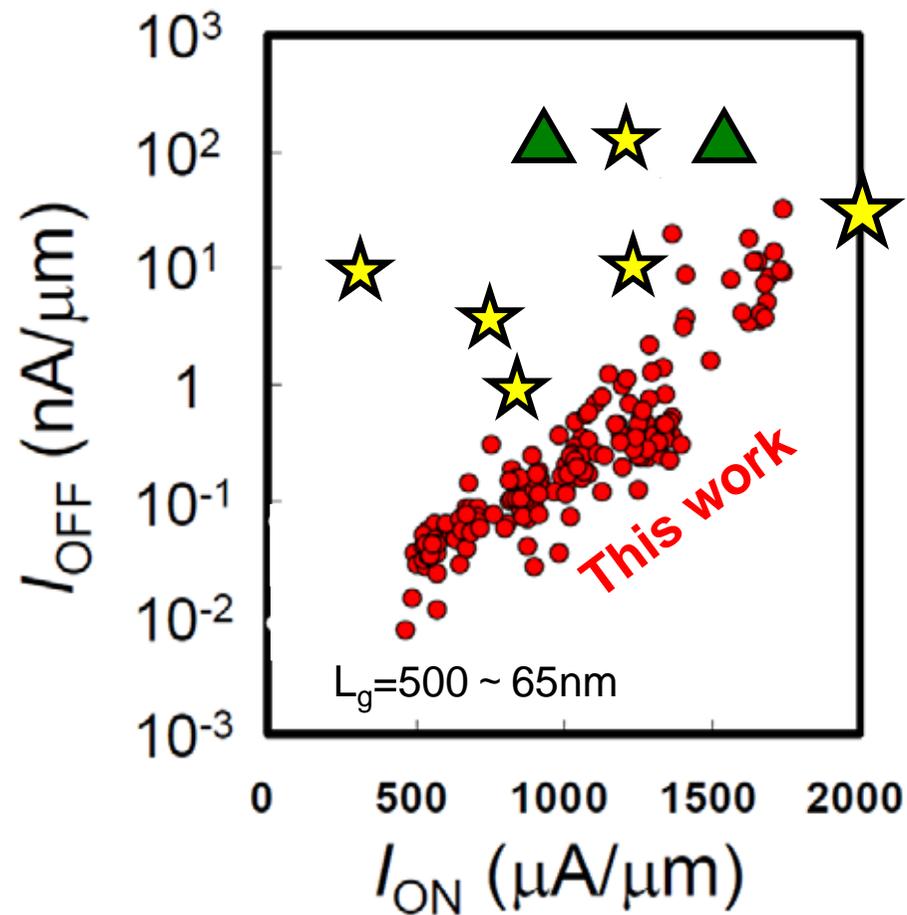
Bench Mark

	This work	Ref[11]	Ref[12]	Ref[13]	Ref[14]	Ref[15]	Ref[4]
NW Cross-section (nm)	Rect.	Rect.	Rect.	Cir.	Cir.	Elliptical	Elliptical
NW Size (nm)	10x20	10x20	14	10	10	12	13x20
Lg (nm)	65	25	100	30	8	65	35
EOT or Tox (nm)	3	1.8	1.8	2	4	3	1.5
Vdd (V)	1.0	1.1	1.2	1.0	1.2	1.2	1.0
Ion(uA) per wire	60.1	102	30.3	26.4	37.4	48.4	43.8
Ion(uA/um) by dia.	3117	5010	2170	2640	3740	4030	2592
Ion(uA/um) by cir.	1609	2054	430	841	1191	1283	825
SS (mV/dec.)	70	79	68	71	75	~75	85
DIBL (mV/V)	62	56	15	13	22	40-82	65
Ion/Ioff	~1E6	>1E6	>1E5	~1E6	>1E7	>1E7	~2E5

Ref[11] by Stmicro Lg=25nm, Tox=1.8nm

This work Lg=65nm, Tox=3nm

I_{ON}/I_{OFF} Bench mark



Planer FET



1.0 ~ 1.1V

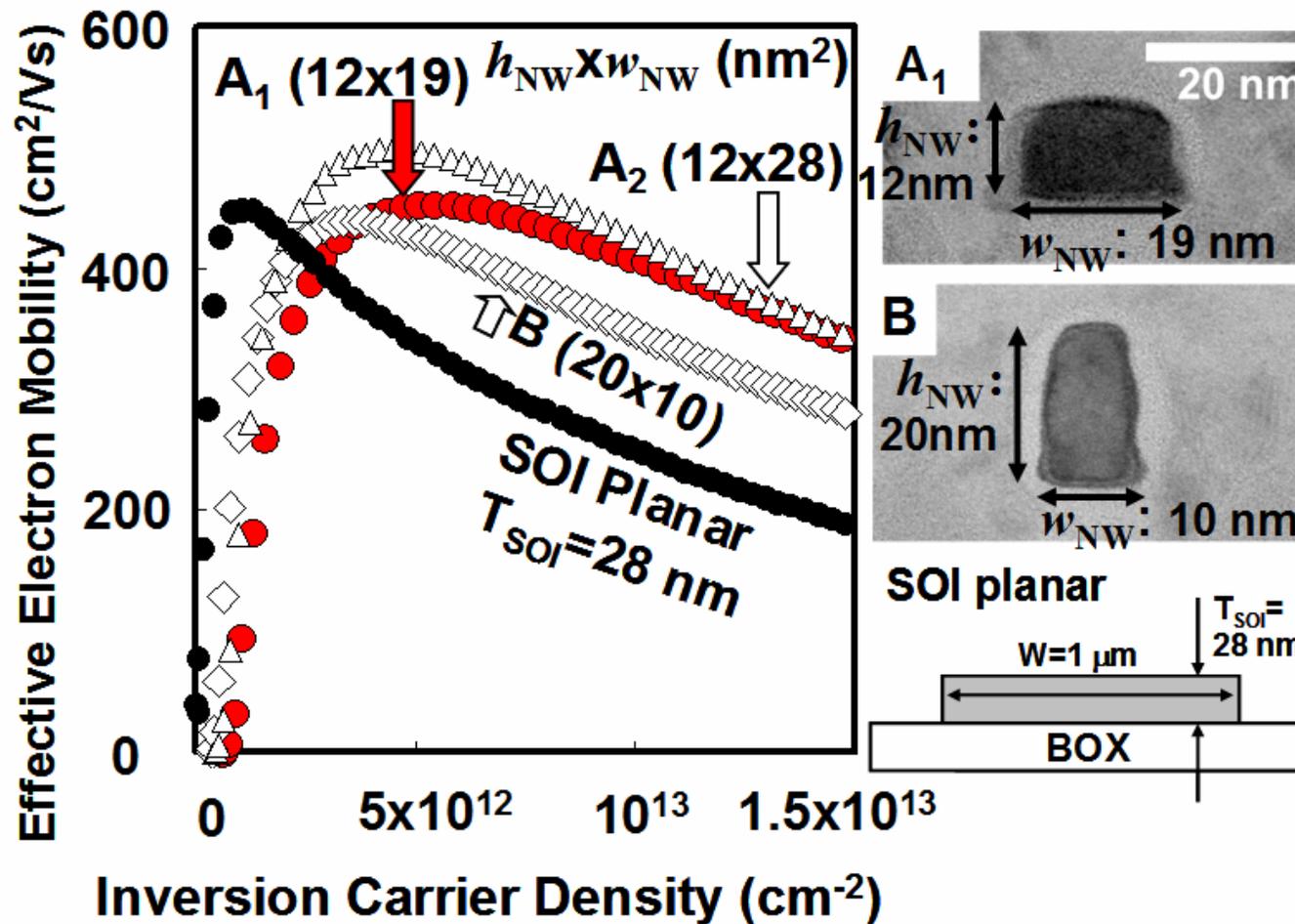
S. Kamiyama, IEDM 2009, p. 431
P. Packan, IEDM 2009, p.659

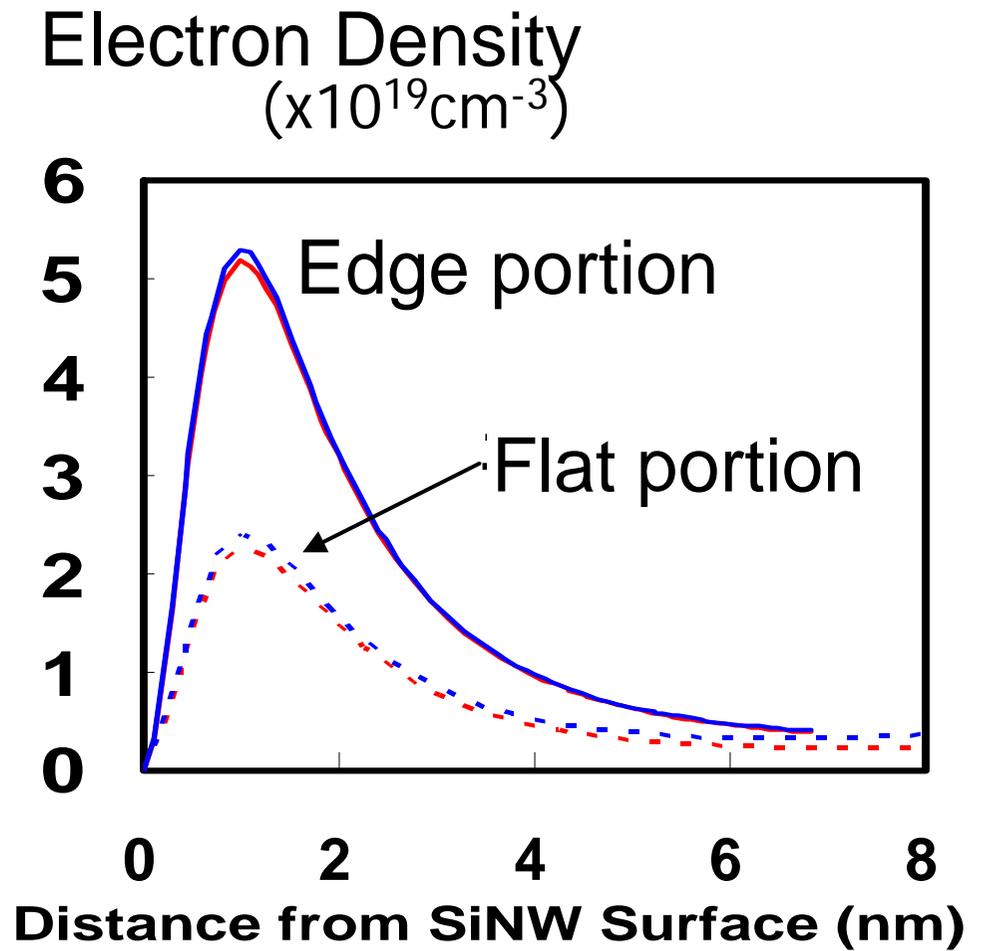
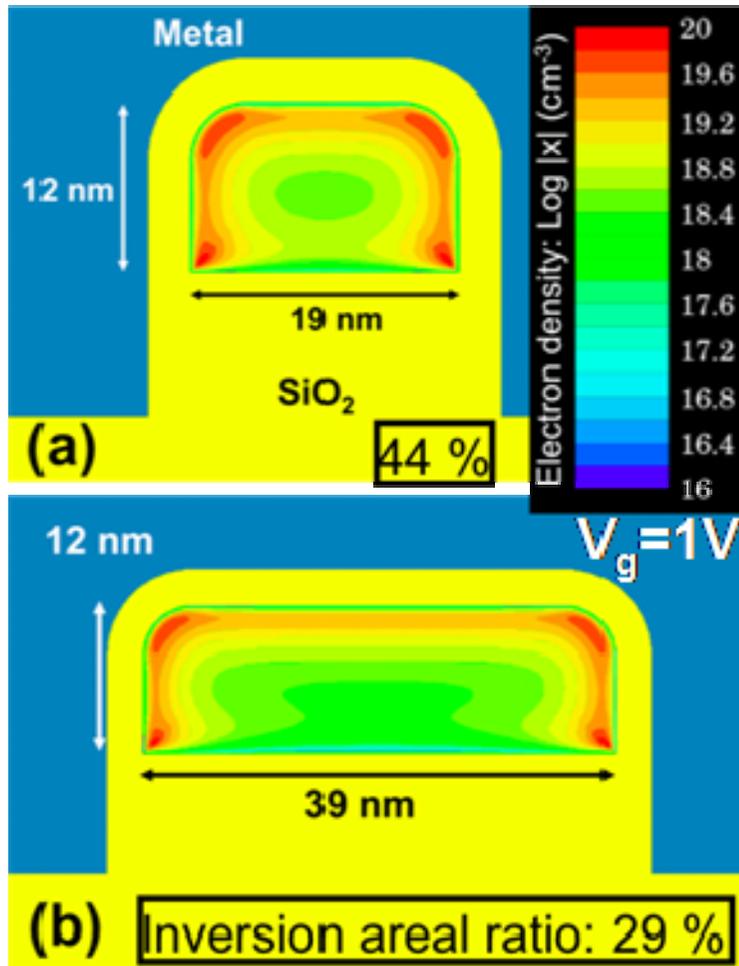
SiナノワイヤFET



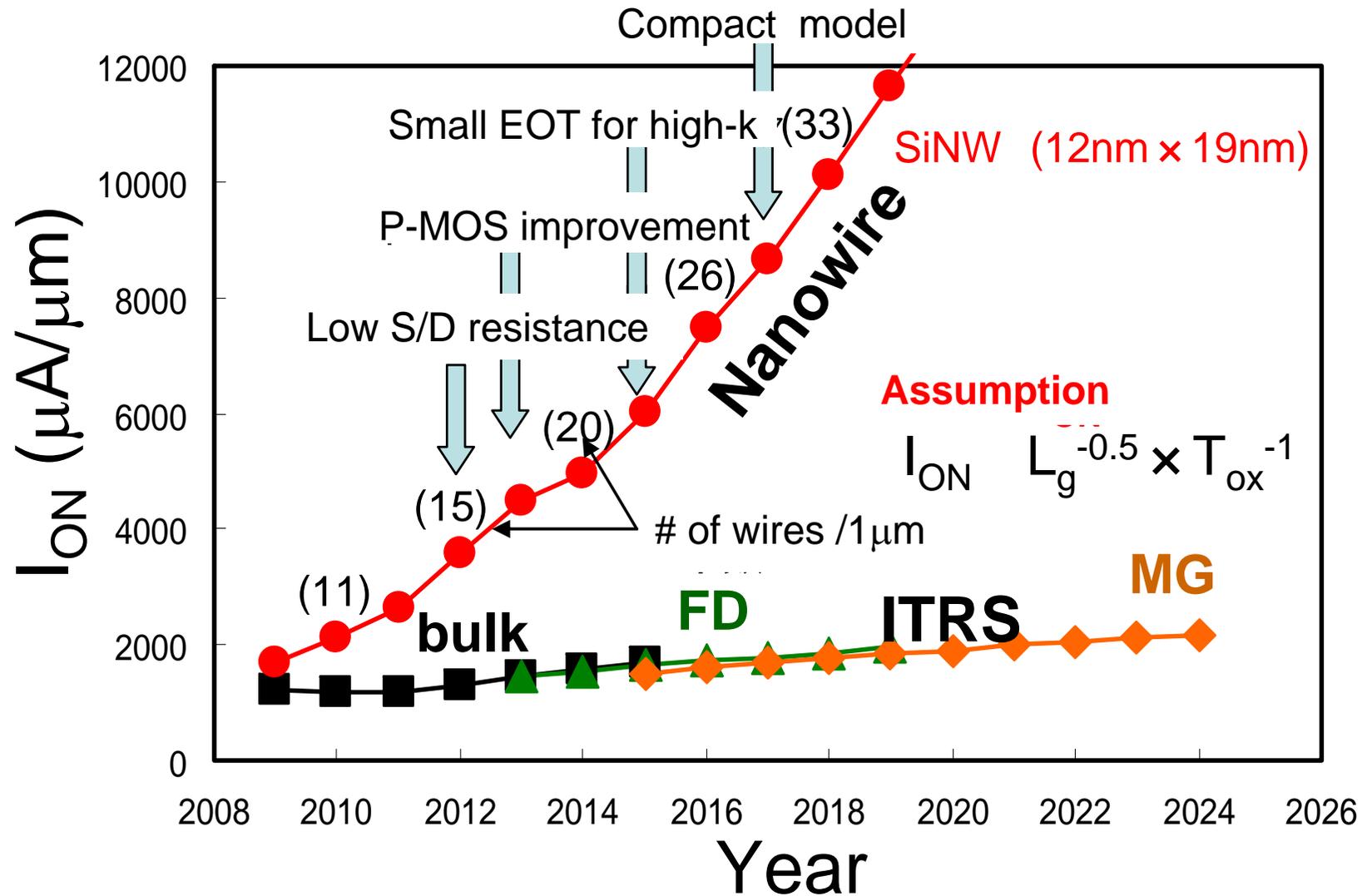
1.2 ~ 1.3V

Y. Jiang, VLSI 2008, p.34
H.-S. Wong, VLSI 2009, p.92
S. Bangsaruntip, IEDM 2009, p.297
C. Dupre, IEDM 2008, p. 749
S.D.Suk, IEDM 2005, p.735
G.Bidel, VLSI 2009, p.240

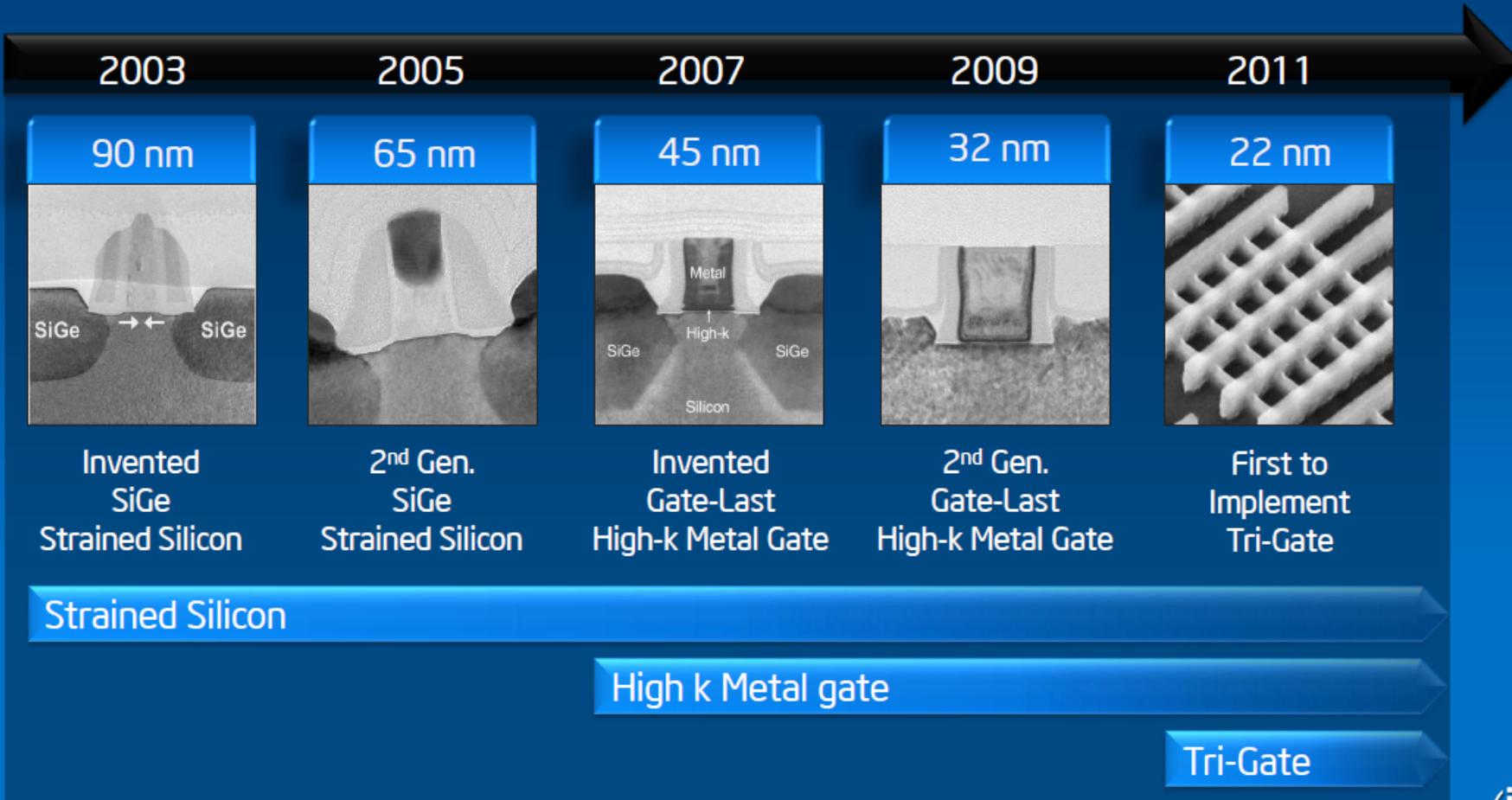




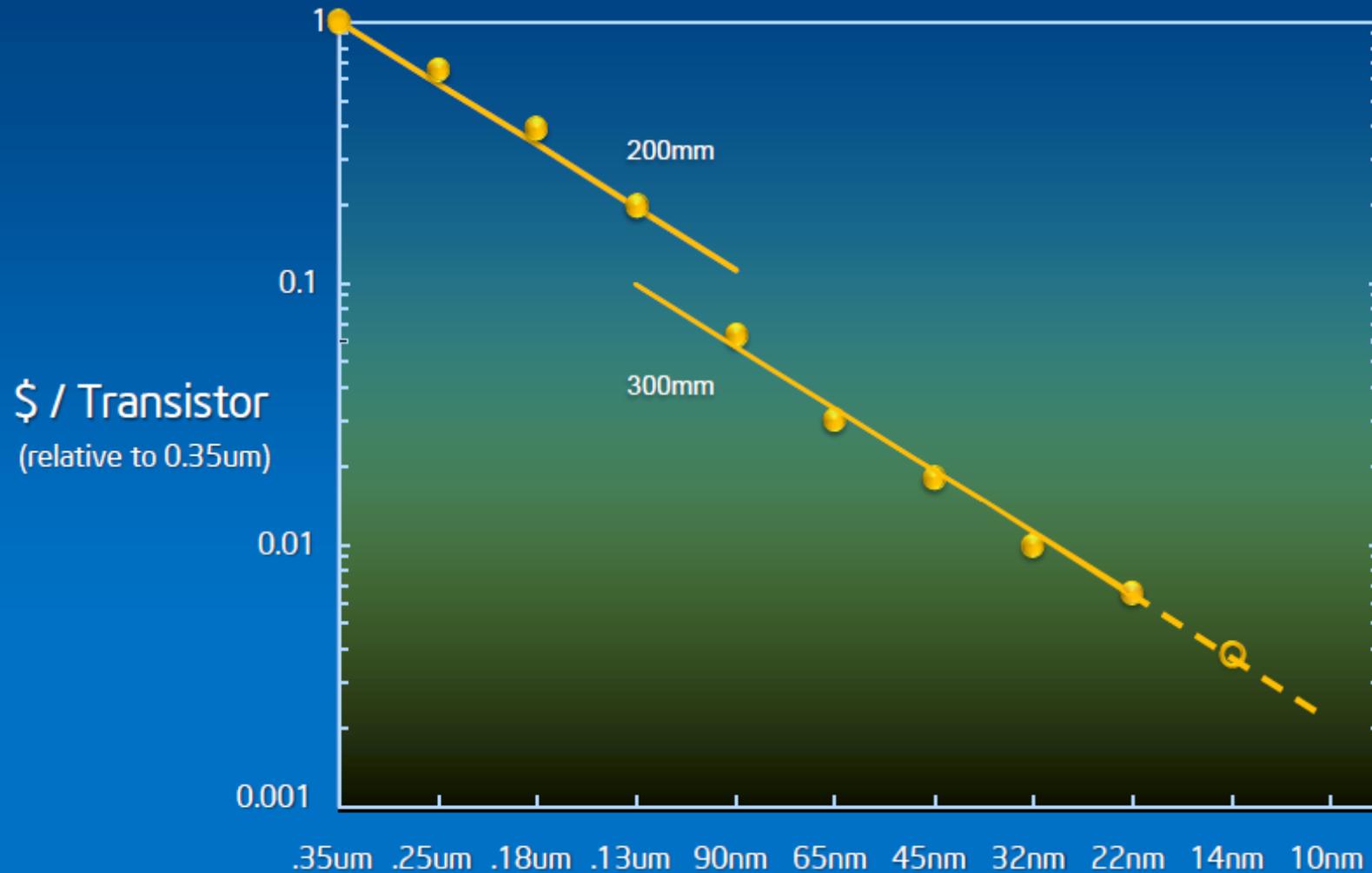
Primitive estimation !



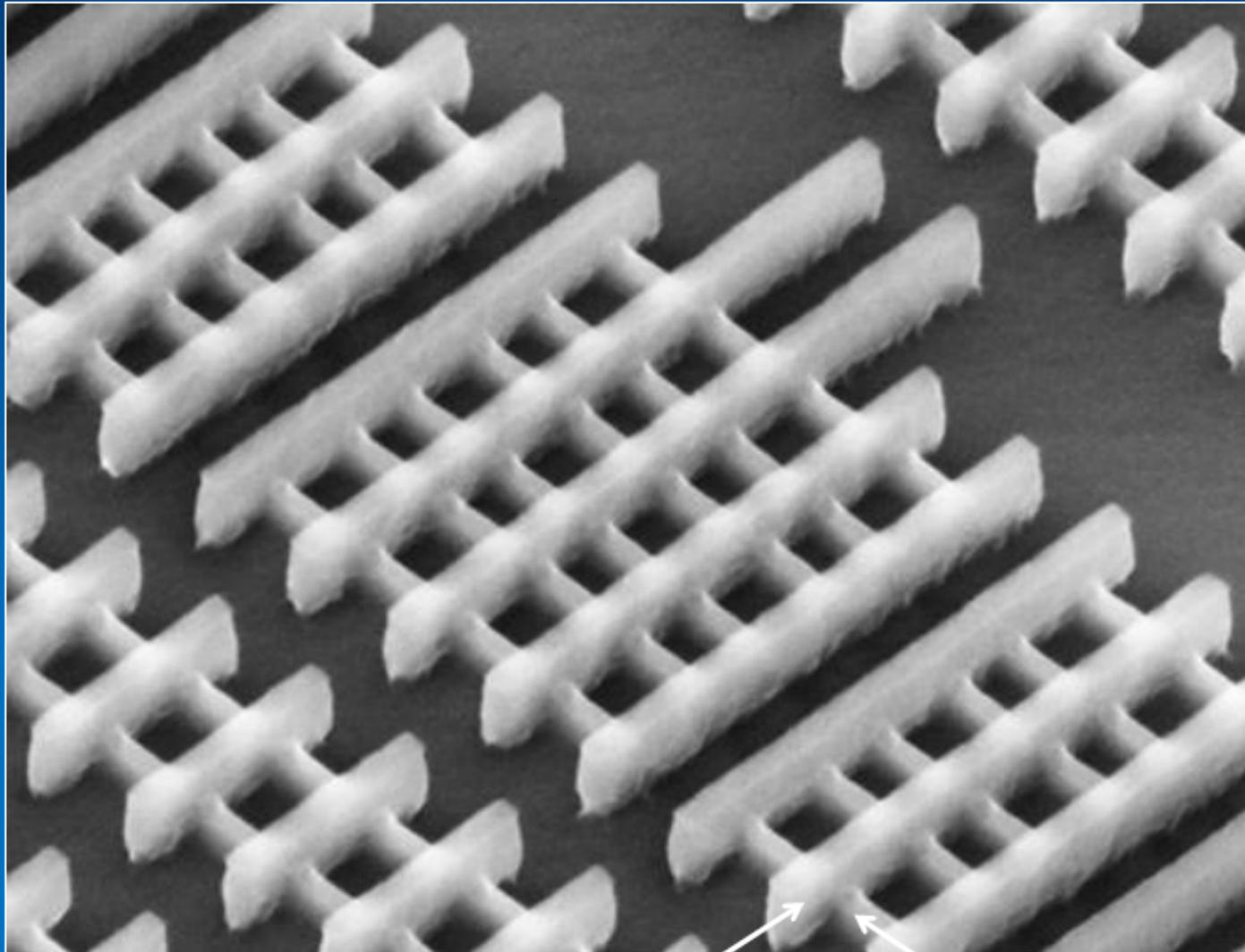
Transistor Innovations Enable Technology Cadence



Transistor Innovations Enable Cost Benefits of Moore's Law to Continue



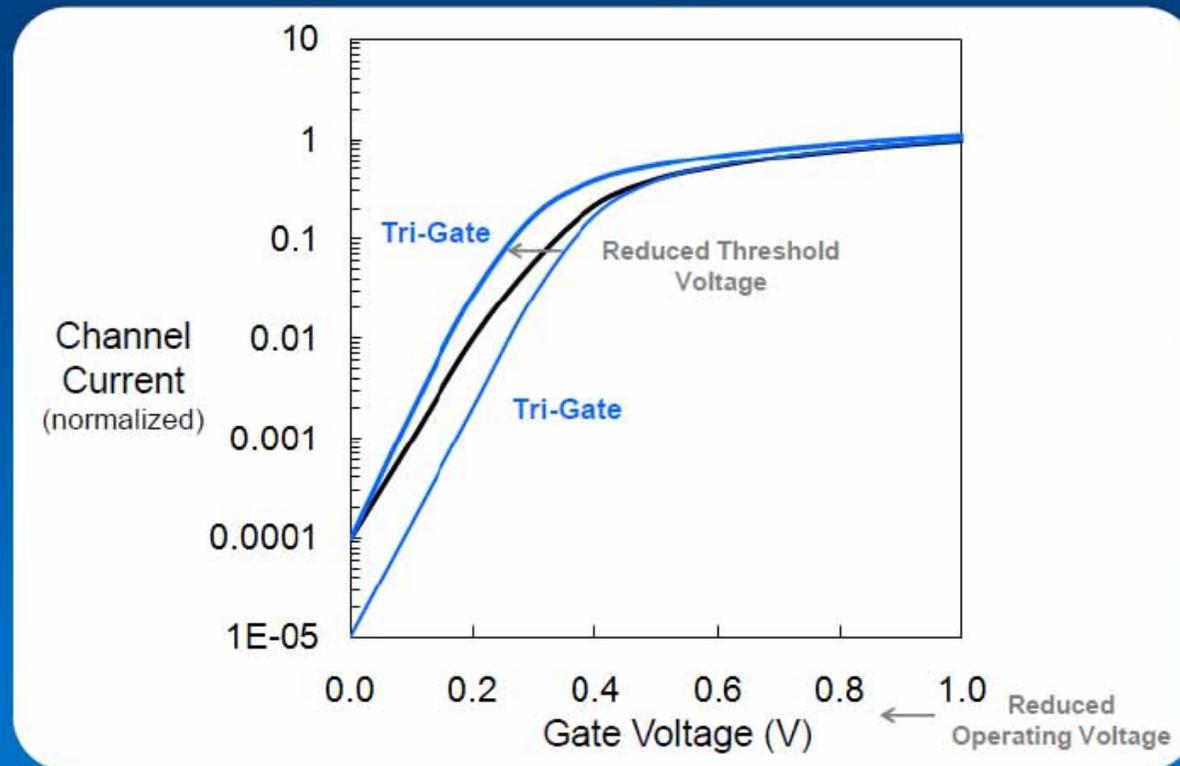
22 nm 3-D Tri-Gate Transistor



Gates

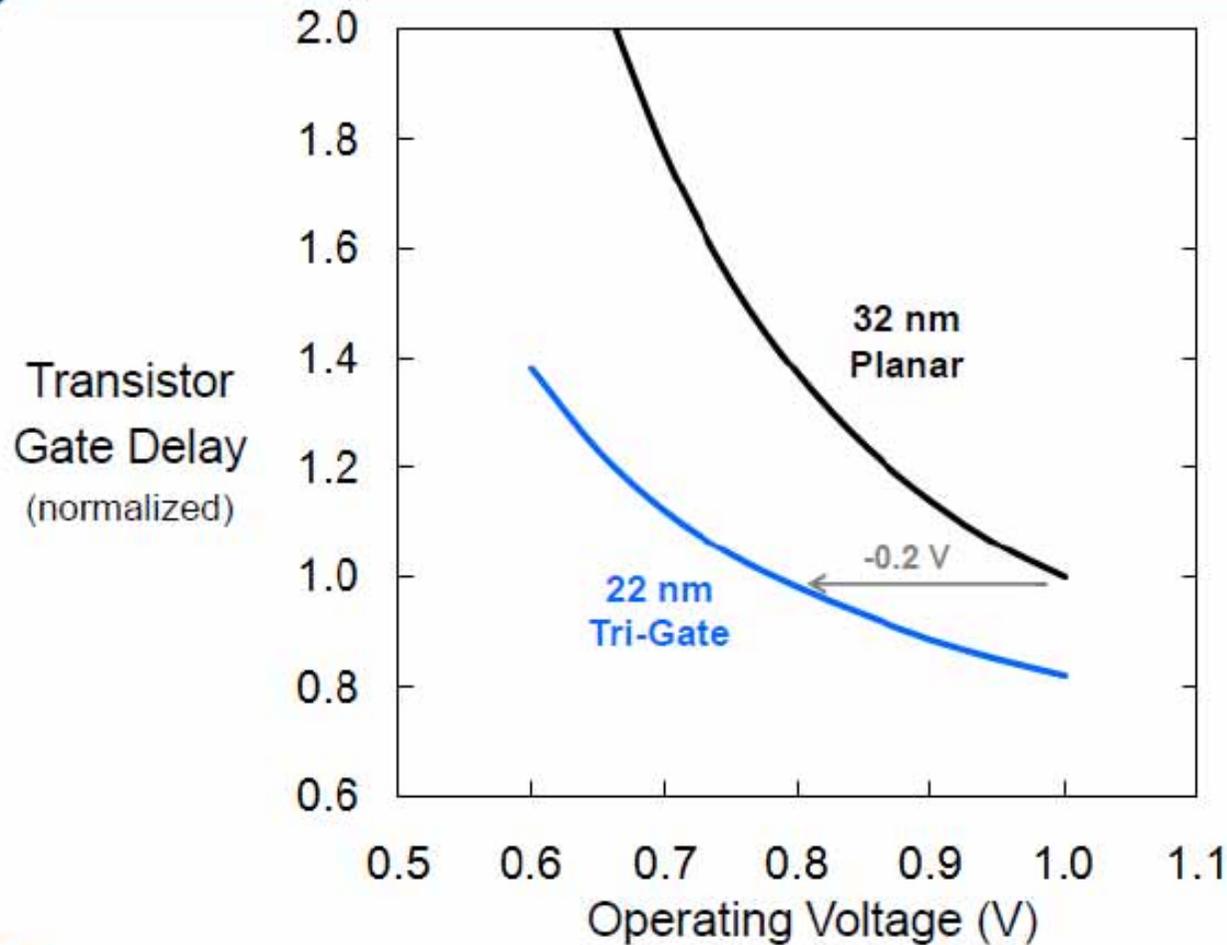
Fins

Transistor Operation



The steeper sub-threshold slope can also be used to target a lower threshold voltage, allowing transistors to operate at lower voltage to reduce power and/or improve switching speed

Transistor Gate Delay

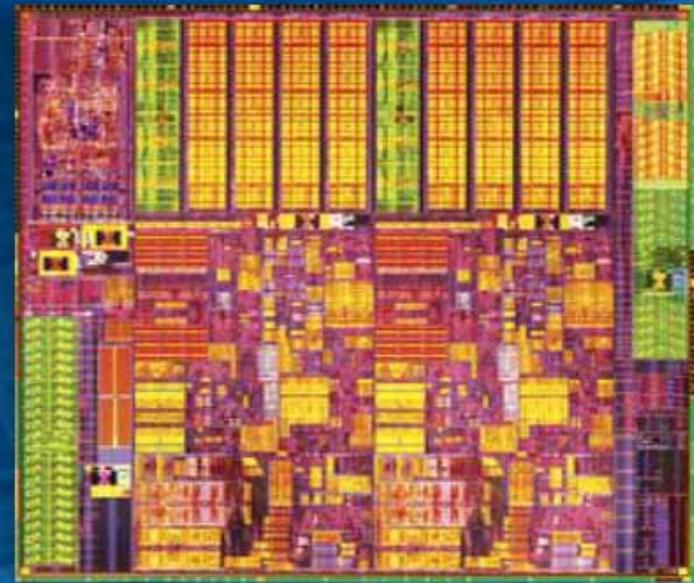


22 nm 3-D Tri-Gate transistors can operate at lower voltage with good performance, reducing active power by >50%

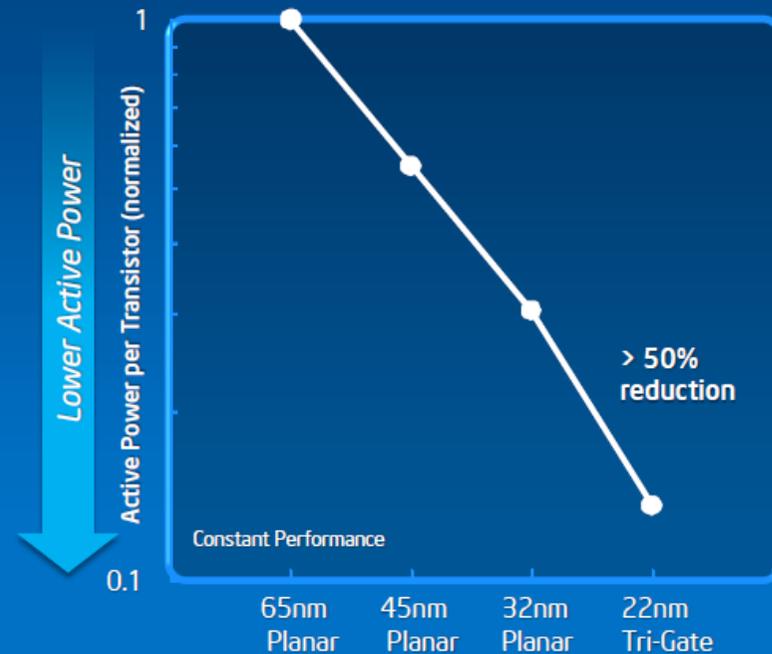
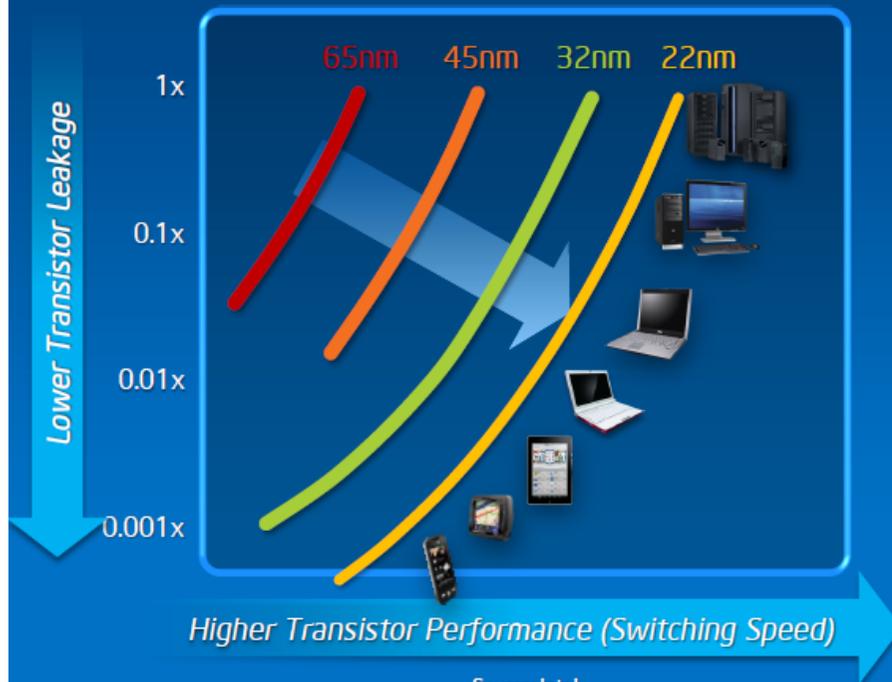
22nm Silicon Technology Breakthrough Benefits Broad Range of Intel Architecture Devices

New 22nm 3-D transistors deliver unprecedented performance improvement and power reduction for Intel's product portfolio

- This benefits smallest handhelds to powerful cloud-based servers
- 37% performance increase at low voltage vs. 32nm planar transistors*
- Consumes only half the power at the same performance level as 2-D transistors on 32nm planar chips*



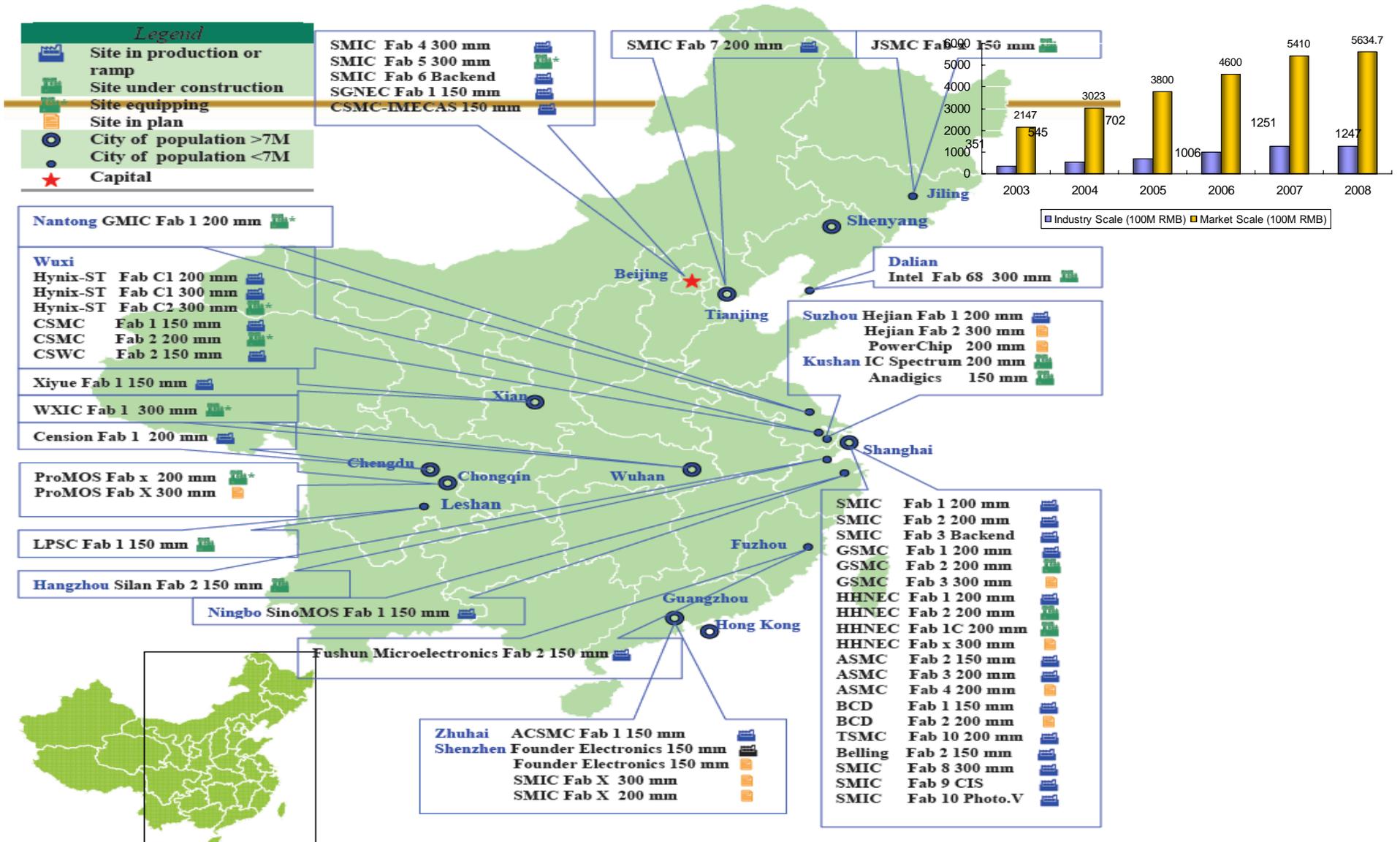
Energy-Efficient Performance Built on Moore's Law



22 nm Tri-Gate transistors increase the benefit from a new technology generation



ご参考(中国のICファブ)



例えば中国大連の例



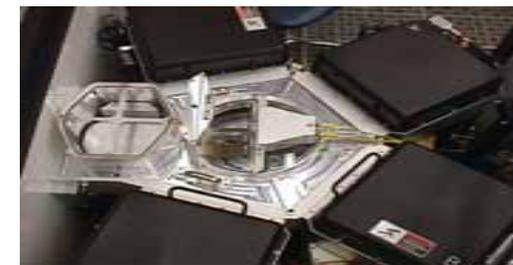
大連のインテルFab 68 300mm



大連理工大学ICデザイン・テストセンター



大連理工大学ICプロセスプラットフォーム 200mm

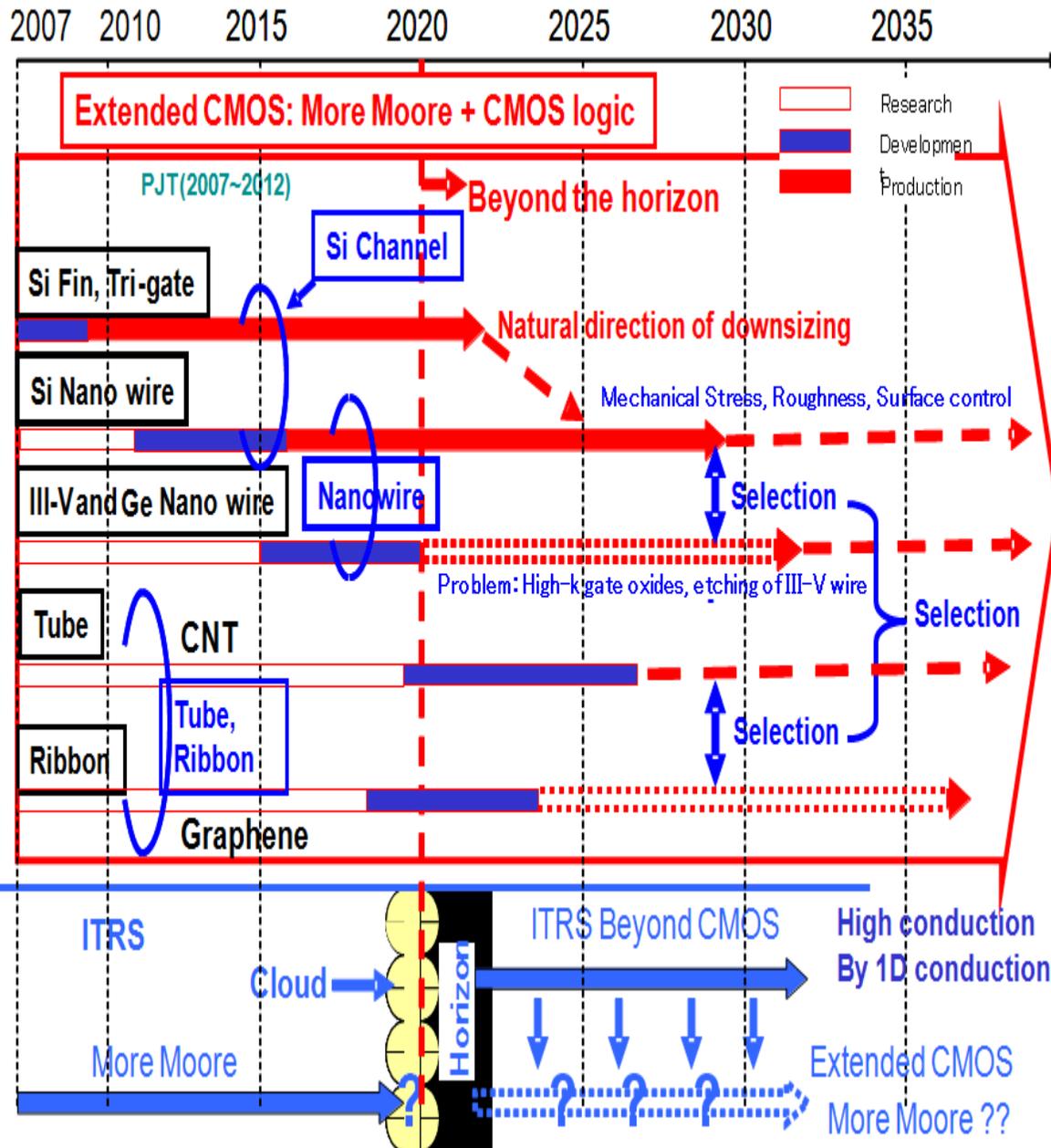


インテルから44M USD (約40億円)の装置の寄付

Our roadmap for R & D

Source: H. Iwai, IWJT 2008

Current Issues



Si Nanowire

- Control of wire surface property
- Source Drain contact
- Optimization of wire diameter
- Compact I-V model

III-V & Ge Nanowire

- High-k gate insulator
- Wire formation technique

CNT:

- Growth and integration of CNT
- Width and Chirality control
- Chirality determines conduction types: metal or semiconductor

Graphene:

- Graphene formation technique
- Suppression of off-current

Very small bandgap or no bandgap (semi-metal)

- Control of ribbon edge structure which affects bandgap

結論

CMOS集積回路とその技術開発は、今後節電社会において重要な役割を果たす

また、その市場は今後も毎年数%の勢いで増加が見込まれている

Nano CMOS技術の最近の研究開発により、従来の限界は打破され、今後少なくとも数世代は進化を遂げると見られている

アジア諸国(台、韓、シンガポール、中国、インド)と欧米でNano CMOS技術の研究に再び力を入れ始めている

御清聴有難う御座居ました