

シリコンナノワイヤトランジスタの電気特性の絶縁膜厚依存性

Electrical characteristics of silicon nanowire field-effect transistors as a function of gate oxide thickness

東工大フロンティア研¹, 東工大総理工², 筑波大数理物質³

○佐藤創志¹, 角嶋邦之², Parhat Ahmet¹,

大毛利健治³, 名取研二¹, 山田啓作³, 岩井洋¹

Frontier Research Center, Tokyo Tech.¹

Interdisciplinary Graduate School of Science and Engineering, Tokyo Tech.²

Graduate School of Pure and Applied Sciences, University of Tsukuba³

○Soshi Sato¹, Kuniyuki Kakushima², Parhat Ahmet¹,

Kenji Ohmori³, Kenji Natori¹, Keisaku Yamada³, Hiroshi Iwai¹

E-mail: sato@iwailab.ep.titech.ac.jp

【はじめに】

シリコンナノワイヤトランジスタ (SiNW FET) は構造上高い短チャネル効果耐性を持ち[1]、CMOS スケーリング極限におけるデバイス構造として有望である。ゲート酸化膜厚を薄膜化することで、さらなるゲート電極によるチャネル制御性の向上が見込まれる。また、SiNW 構造によるゲート容量の増加が見込まれる[2]。

【目的】

ゲート Si 酸化膜厚の異なる SiNW FET を作製し、電気特性を検討する。

【実験方法】

SOI ウェハを用いて、semi gate-around 構造[3]を持つ SiNW pFET と planar SOI pFET を同一ウェハ上に作製した。絶縁膜厚は、rapid thermal oxidation process によりシリコン酸化膜を、3, 2, 1.5 nm を狙い成膜した。モニター用バルク Si 基板にて所望の膜厚で成膜されたことを確認した。SiNW 断面は曲率のある角を持った長方形であり、チャネル幅 $w_{NW} = 14\sim 17$ nm, チャネル高さ $h_{NW} = 9\sim 10$ nm であった。

【結果】

ゲート長が 500 nm と 200 nm のデバイスを Split-CV 法により評価を行い、得られた CV 特性から等価酸化膜容量(EOT)を求めた。透過電子顕微鏡(TEM)観察から得た物理酸化膜厚との関係を図 1 に示す。EOT は物理酸化膜厚と同等かそれ以下の値であった。これは、SiNW 構造によりゲート容量が増大したためと考えられる。物理ゲート長が 65 nm のデバイスを用いて SiNW pFET の I_{ON}/I_{OFF} 特性を評価したところ、ゲート絶縁膜厚が薄くなるほど I_{ON}/I_{OFF} 比が改善した。同じ膜厚のゲート酸化膜を用いた場合、プレーナ型 FET と比較して、SiNW FET ではより EOT を低減でき、さらに I_{ON}/I_{OFF} 特性の改善が図ることができると考えられる。

【謝辞】

本研究に用いたサンプルは、株式会社 半導体先端テクノロジーズ あすか II ライン・第 1 研究部の協力を得て作製された。本研究は、独立行政法人 新エネルギー・産業技術総合開発機構 (NEDO) ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発の支援を受けて行われた。

【参考文献】

[1] J.-P. Colinge, *Solid-State Electron.* **48** (2004) 897-905.

[2] S. Sato *et al.*, *Proc. ESSDERC 2010.* 361-364.

[5] S. Sato *et al.*, *Solid-State Electron.* **54** (2010) 925-928.

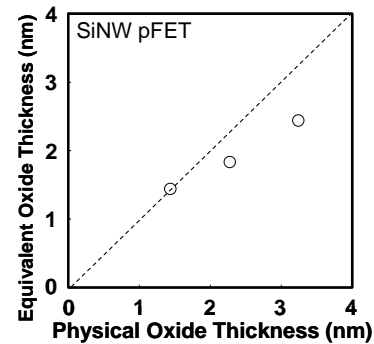


Figure 1. Relationship between equivalent oxide thickness and physical oxide thickness.

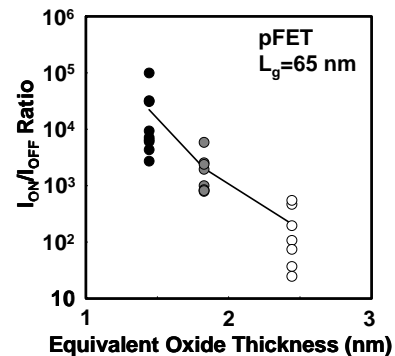


Figure 2. I_{ON}/I_{OFF} ratio of SiNW pFETs as a function of gate oxide thickness.