## チャージポンピング法による立体 Si 構造の界面準位密度の熱処理温度依存性

Annealing Temperature Dependence of Interface-State Density for the Three-Dimensional Silicon

**Structures by Charge Pumping Method** 

東工大フロンティア研<sup>1</sup>,東工大総理工<sup>2</sup> 中島一裕<sup>1</sup>, Li Wei<sup>1</sup>, 佐藤創志<sup>1</sup>, 角嶋邦之<sup>2</sup>, Parhat Ahmet<sup>1</sup>, 筒井一生<sup>2</sup>, 西山彰<sup>2</sup>, 杉井信之<sup>2</sup>, 名取研二<sup>1</sup>, 服部健雄<sup>1</sup>, 岩井洋<sup>1</sup> Tokyo Tech. FRC<sup>1</sup>, Tokyo Tech. IGSSE<sup>2</sup><sup>°</sup>K. Nakajima<sup>1</sup>, W. Li<sup>1</sup>, S. Sato<sup>1</sup>, K. Kakushima<sup>2</sup>, P. Ahmet<sup>1</sup>, K. Tsutsui<sup>2</sup>, A. Nishiyama<sup>2</sup>, N. Sugii<sup>2</sup>, K. Natori<sup>1</sup>, T. Hattori<sup>1</sup> and H. Iwai<sup>1</sup>

E-mail: nakajima.k.ai@m.titech.ac.jp

[はじめに] MOSFET の微細化に伴い、短チャネ ル効果の抑制が困難になってきている。立体チャ ネル構造を採用し、ゲートのチャネルに対する 静電的制御性を向上させた立体 Si トランジス タは、将来のCMOSデバイスの有力候補である。 しかし、立体 Si トランジスタは曲面を含む Si 側 面をチャネルとするため、そこでのゲート絶縁膜 界面品質は移動度、信頼性の点から重要である。 本研究で扱うトランジスタでは通常のチャージ ポンピング法は適用できないため、ソースドレイ ンを p<sup>+</sup>n<sup>+</sup>とした構造<sup>[1]</sup>でチャージポンピング評 価を行った (Fig.1(a))。曲面を含む界面の品質改 善を検討するため、フォーミングガス雰囲気中に おける熱処理の温度を変化させて、界面準位密度 のエネルギー分布を評価した。本予稿では、熱処 理前と 300 、320 で 30min の熱処理を行った ものについて報告する。

[実験] SOI 基板 (SOI:80 nm、BOX:50 nm)を用 いて幅 100-150 nm のストライプ状構造を形成し、 さらに犠牲酸化により所望の寸法の SOI フィン 構造を形成した。次に SPM 洗浄と HF 洗浄処理 後、乾燥酸素雰囲気中 1000 で 10 分間の熱酸化 を行い、ゲート絶縁膜を形成した。RF スパッタ 法により W を堆積後、ゲート電極をエッチング により形成し、その両側に P と B を注入し n<sup>+</sup>、 p<sup>+</sup>領域を形成した。その後、窒素雰囲気中で800、 5分の不純物活性化熱処理を行った後、Alの電極 および配線を形成した。そしてフォーミングガス 雰囲気中での熱処理を行い、その前後でチャージ ポンピング測定を行った。その際、Fig.1(b)に示 す台形波を用いて、立ち上がり(t,) 立下り時間 (t<sub>f</sub>)を変化させて、界面準位密度のエネルギー 分布の測定を行った<sup>[2]</sup>。

[結果] チャネルの高さ(H<sub>fm</sub>)70nm、チャネル 幅(W<sub>fn</sub>)150nm、チャネル長(L)3.5µmの立体 Si構造の熱処理前と、フォーミングガス雰囲気中、 300 または320、30minの熱処理を行った後の 界面準位密度分布をFig.2に示す。フォーミング ガス雰囲気中で熱処理を行うことにより、熱処理 前よりも界面準位密度は低下した。また、300 での熱処理よりも、320 での熱処理の方がわず かに界面準位密度の改善傾向が見られたものの、 まだ界面準位密度は大きい。320 より高い温度 の熱処理によりさらに改善するものと考える。



Fig.1(a) Experimental set-up of charge pumping (CP) measurement. (b) Gate pulse waveform for CP measurement.



Fig. 2 Interface -state-density distribution before and after annealing at 300 and 320  $^{\circ}\mathrm{C}$ 

[1] T. Elewa et al., J. Phys. Colloq. 49, 137 (1988).

[2] G. V. Bosch et al., IEEE T-ED. 38, 1820 (1991).

[謝辞] 本研究は NEDO 技術開発機構の支援を 受け、実施された。