

シリコンナノワイヤトランジスタの Subthreshold 特性による

界面準位密度の評価

Evaluation of interfacial state density of silicon nanowire field-effect transistors with subthreshold slope measured in various measurement temperatures

東工大フロンティア研¹、東工大総理工²

李蔚¹, 佐藤創志¹, 中島一裕¹, 角嶋邦之², Parhat Ahmet¹,
筒井一生², 西山彰², 杉井信之², 名取研二¹, 服部健雄¹, 岩井洋¹

Frontier Research Center, Tokyo Tech.¹, IGSSE, Tokyo Tech.²

L. Wei¹, S. Sato¹, K. Nakajima¹, K. Kakushima², P. Ahmet¹,

K. Tsutsui³, A. Nishiyama¹, N. Sugii¹, K. Natori³, T. Hattori¹ and H. Iwai¹

E-mail: li.w.ad@m.titech.ac.jp

【はじめに】

シリコンナノワイヤトランジスタ(SiNW FET)のチャンネルは連続的な面方位を持つため、界面準位密度はプレーナ型 FET とは異なることが予想される。ソースドレインを p^+ , n^+ とした特殊な Silicon-on-Insulator (SOI) FET を用いて、チャージポンピング法により界面準位密度を評価した報告がなされている[1]。FET の Subthreshold 特性から界面準位密度を求める方法も提案されており[2]、これを用いれば特殊な構造を用いずに SiNW FET の界面準位密度の評価が可能である。

【目的】

SiNW FET とプレーナ型 SOI FET の界面準位密度を、 $I_d V_g$ 特性の Subthreshold slope から評価し比較検討を行う。

【実験方法】

SOI ウエハを用いて SiNW FET とプレーナ型 SOI FET を作製した[3]。Si のバンドギャップ中において広い範囲の界面準位密度を評価するため、測定温度 43 K から 297K において電気特性を測定した。デバイスのゲート長は 490 nm であった。

【結果】

SiNW nFET とプレーナ型 SOI nFET を異なる測定温度で測定し、 $(d \log I_d / d V_g)^{-1}$ を評価した結果を図 1 に示す。プレーナ型 SOI FET と異なり、SiNW FET では突起が現れた。これは、Si のバンドギャップ中に局所的に存在する界面準位によると考える。詳細な分析結果については当日報告する。

【謝辞】

本研究に用いたサンプルは、株式会社 半導体先端テクノロジーズ あすか II ライン・第 1 研究部の協力を得て作製された。本研究は、独立行政法人 新エネルギー・産業技術総合開発機構 (NEDO) ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発の支援を受けて行われた。

【参考文献】

- [1] T. Elewa *et al.*, *J. Phys. Colloq.* **49** (1988) 137.
- [2] R. J. Van Overstraeten *et al.*, *IEEE Trans. Electron Devices.* **ED-22** (1975) 282-288.
- [3] S. Sato *et al.*, *Solid-State Electron.* **54** (2010) 925-928.

