

W 電極/La₂O₃ 絶縁膜界面への La-silicate 層挿入による電気特性への影響

Effect of La-silicate Layer Insertion at W/La₂O₃ Interface on Electrical Property

東工大フロンティア研¹, 東工大総理工², 来山大祐¹, 小柳友常¹, 角嶋邦之²,
パールハット アヘメト¹, 筒井一生², 西山彰², 杉井信之², 名取研二¹, 服部健雄¹, 岩井洋¹
Tokyo Tech. FRC¹, IGSSE² °D. Kitayama¹, T. Koyanagi¹, K. Kakushima²,
P. Ahmet¹, K. Tsutsui², A. Nishiyama², N. Sugii², K. Natori², T. Hattori¹, H. Iwai¹

E-mail: kitayama.d.aa@m.titech.ac.jp

[はじめに]SiO₂界面層を有する high-k ゲートスタックの構造で 0.5 nm の酸化膜換算膜厚(EOT)を達成することは困難であり、high-k 膜を直接 Si 基板に接合する技術が求められている。希土類酸化物である La₂O₃ は La-silicate を Si 基板界面に形成することにより high-k/Si 直接接合を容易に達成できるため、次世代の high-k 絶縁膜として期待されている[1]。しかし La₂O₃ 絶縁膜には、電極形成後の熱処理によって絶縁膜中へ拡散したメタル原子が正の膜中固定電荷を形成しフラットバンド電圧(V_{fb})を負の方向へシフトさせてしまうという報告がある[2]。このメタルゲート電極に起因する固定電荷が EOT スケーリングによる MOSFET 特性の劣化を引き起こす可能性がある。そこで本研究では La₂O₃ 絶縁膜の形成後 Si を堆積し、アモルファス構造で共有性の結合を持つ La-silicate を metal 電極/high-k 絶縁膜界面に挿入したゲートスタック構造を用いることで熱処理による絶縁膜中へのメタル原子の拡散を抑制することを試みた。

[実験]SPM 洗浄後に HF 処理をした n-Si(100)基板(不純物濃度 3 × 10¹⁵ cm⁻³)上に電子線蒸着法により La₂O₃ を膜厚を変化させて堆積し、その後大気暴露することなく RF スパッタリング法により Si を 0.3 nm、W 電極を 6 nm 堆積した。TiN 電極も同様の方法で堆積した。電極のパターニングは SF₆ を用いた RIE により行い、その後 F. G. (N₂:H₂=97:3%)雰囲気中で 800 °C、2 s の熱処理を行った。最後に裏面に Al コンタクトを形成し電気特性を測定した。EOT 及び V_{fb} は C-V 曲線から NCSU の CVC プログラムにより求めた[3]。

[結果]TiN/W(12 nm)/Si(0 or 0.3 nm)/La₂O₃ ゲートスタック構造の EOT- V_{fb} プロットを Fig. 1 に示す。Si を挿入し metal/high-k 界面に La-silicate を形成したキャパシタの V_{fb} が Si を挿入していないキャパシタに対して正の方向にシフトしているのが確認できる。これはアモルファス構造で共有性の結合を持つ La-silicate が熱処理によるメタル原子の拡散を抑制し、正の膜中固定電荷量が減少したためだと考えられる。

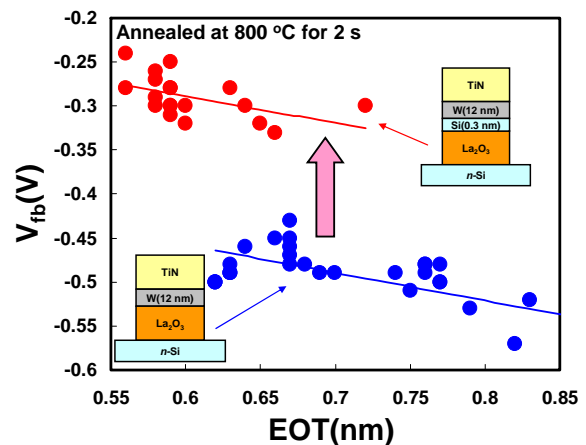


Figure 1: V_{fb}-EOT plot of TiN(45 nm)/W(12 nm)/Si(0 or 0.3 nm)/La₂O₃/n-Si capacitors

[1] J. A. Ng, et. al., IEICE Electronics Express, 2006, vol. 3, No. 13, pp. 316-321.

[2] K. Kakushima, et. al., SOLID-STATE ELECTRONICS, 2010, vol. 7, 54, pp. 720-723.

[3] J. R. Hauser, et. al., AIP Conf. Proc., 1998, vol. 449, pp.235-239.

謝辞：本研究は NEDO の支援を受け実施された。