

MIPS 構造による希土類 MOS デバイスの EOT スケーリングの検討

Metal-Inserted Poly-Si Stacks in MOS Devices with Rare Earth Oxides for Scaled EOT

東工大フロンティア研¹, 東工大総理工² ○川那子高暢¹, 来山大祐¹, 鈴木拓也¹, 角嶋邦之²,

Parhat Ahmet¹, 筒井一生², 西山彰², 杉井信之², 名取研二¹, 服部健雄¹, 岩井洋¹

Tokyo Tech. FRC¹, Tokyo Tech. IGSSE² °T. Kawanago¹, D. Kitayama¹, T. Suzuki¹, K. Kakushima²,

P. Ahmet¹, K. Tsutsui², A. Nishiyama², N. Sugii², K. Natori¹, T. Hattori¹, H. Iwai¹

E-mail: kawanago.t.ab@m.titech.ac.jp

【はじめに】 MOSFET の高性能化には high-k/metal gate stack が必要不可欠である。将来必要とされる EOT=0.5nm の実現には、SiO₂ 界面層を用いない high-k/Si 直接接合が必須である。希土類酸化物である La₂O₃ は Si 基板との反応によって La シリケートを形成するため、high-k/Si 直接接合が容易に達成可能である [1]。希土類酸化物の課題は高温熱処理の際に過剰な酸素原子の供給によるシリケート形成量の増大とそれに伴う EOT 増加である。Poly-Si は熱処理時の酸素拡散を抑制する報告があり [2]、高温熱処理時の過剰な酸素供給を制御できると考えられる。そこで金属電極上にスパッタリングで Si を堆積した Metal Inserted Poly-Si (MIPS) 構造を用いて、高温熱処理時の EOT 増加抑制を試みた。

【実験方法】 素子分離を施し、SPM 洗浄と HF 処理をした n-Si(100) 基板 (不純物濃度 $3 \times 10^{15} \text{cm}^{-3}$) 上に超高真空中で電子線蒸着法により La₂O₃ を堆積した。続けて、真空一貫で RF スパッタリング法により膜厚 5nm の W 電極を形成した。その後 RF スパッタリング法によって W 電極上にバリア層である TiN を堆積し、続いて Si 層を堆積した。Si 層の膜厚は 100nm とした。フォーミングガス雰囲気中 (H₂:N₂=3%:97%) で 800°C、30 分間の熱処理(FGA)を W 電極堆積後、TiN 堆積後および Si 層堆積後にそれぞれ施した。FGA 後に TMAH(2.38%)を用いたウェットエッチングによって Si 層を除去した [3]。作製した n-MOS キャパシタの C-V 特性から NCSU CVC プログラムにより EOT を求めた [4]。

【実験結果】 図 1 に、作製した n-MOS キャパシ

タの C-V 特性を示す。バリア層である TiN の膜厚は 10nm とした。W 電極単層の EOT は 1.82nm と極めて大きい。これは高温熱処理時の過剰な酸素供給によるシリケート形成量の増大と考えられる。W 電極単層と比較すると Si 層の導入によって、良好な C-V 特性を維持しつつ 1nm 以上の EOT 増加抑制を達成した。高温熱処理時の過剰な酸素供給抑制には、MIPS 構造が有効と考えられる。詳細は当日報告する。

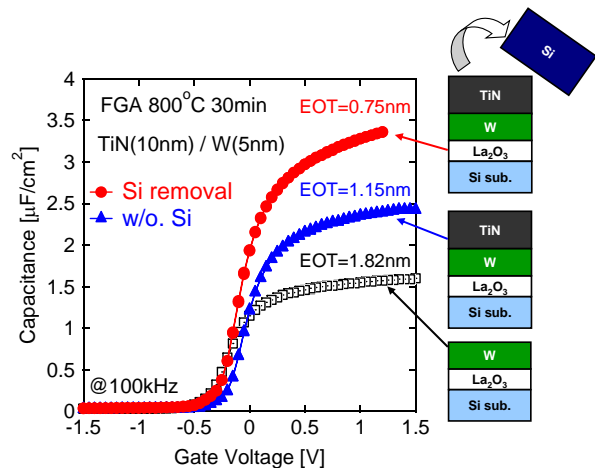


Fig.1 Comparison of C-V characteristics with various gate stack structures

【参考文献】

- [1] K. Kakushima et al., ESSDERC, pp.126, 2008.
- [2] C. Choi et al., Microelectronic Engineering, 86, pp.1737, 2009.
- [3] M. Saitoh et al., IEDM Tech. Dig., pp.187, 2004
- [4] J. R. Hauser et al., Proc. AIP Conf., pp.235, 1998.

【謝辞】 本研究は独立行政法人新エネルギー・産業技術総合開発機構の支援により実施された。