

Si/La₂O₃/n-Si構造に対するFlash Lamp Annealingの電気特性への影響

The Effect of Flash Lamp Annealing for Si/La₂O₃/n-Si Gate Stack

東工大フロンティア研¹, 東工大総理工²。金田 翼¹, 幸田みゆき¹, 角嶋邦之², Parhat Ahmet¹,

筒井一生², 西山 彰², 杉井信之², 名取研二¹, 服部健雄¹, 岩井 洋¹

Tokyo Tech. FRC¹, IGSSE², T. Kaneda¹, M. Kouda¹, K. Kakushima², P. Ahmet¹,

K. Tsutsui², A. Nishiyama², N. Sugii², K. Natori¹, T. Hattori¹, H. Iwai¹

E-mail: kaneda.t.ab@m.titech.ac.jp

【はじめに】更なる高性能CMOS実現のため、我々はhigh-k/Si直接接合可能なゲート絶縁膜として、主にLa₂O₃に着目し、その極微細化に関する研究を進めてきた。La₂O₃ゲート絶縁膜を用いた際、MOSFETの性能向上の為に絶縁膜の欠陥抑制が不可欠である^[1]。絶縁膜中の欠陥抑制技術としては熱処理が有効であるが、高温の熱処理プロセスを通すと、ゲート電極と絶縁膜間で相互拡散を起こし、電気特性の劣化を招くという現象が報告されている^[2]。そこで本研究では、ゲート絶縁膜堆積後にSiをキャップし、高温かつ急峻な熱勾配を持つFlash Lamp Annealing(以下FLA)を行い、絶縁膜上に高い結合性を持つLa-silicateを形成しMetal/High-k間の拡散抑制を目的とし、MOSデバイスの電気特性への影響を検討した。

【実験方法】SPM洗浄後、希フッ酸処理を行ったn-Si(100)基板に、超高真空中で電子線蒸着法によりLa₂O₃を3nm堆積し、in-situでSiをスパッタ法で1.5nm堆積した。その後、10PaのO₂雰囲気(N₂:O₂=95:5)下で900V,パルス幅9msのFLAを行った。Wをスパッタ法により堆積し電極を形成し、裏面にAlを蒸着した後、F.G.(N₂:H₂=97:3)雰囲気700°C、30分間の熱処理を行い、電気特性を測定した。

【実験結果】Fig.1に、Si堆積直後にFLAの有無及び、W堆積後のPMAの有無の試料のCV測定結果を示す。As-depoの試料を比較すると、FLAしていない試料に比べFLAした試料はV_{fb}が負側にシフトしていることが確認できる。この結果より、FLAによりLa₂O₃とSiが反応し正の固定電荷を持つLa-silicateが生成されたと考えられる。また、As-depoと700°C,30minの熱処理を行った試料を比較すると、FLAを行った試料は行っていない試料に比べ、熱処理後の容量値低下が少なく、EOTの増加は0.2nm以内に抑えられた。これらの検討結果の詳細は当日報告する。

[1] J.A.Ng,et al., IEICE Electronics Express, Vol.3,No.13,p.316(2006).

[2] T.Hayashi,et al., IEDM Tech Dig.,9.5 (2006)

謝辞：本研究はNEDO技術開発機構の支援を受け実施された。

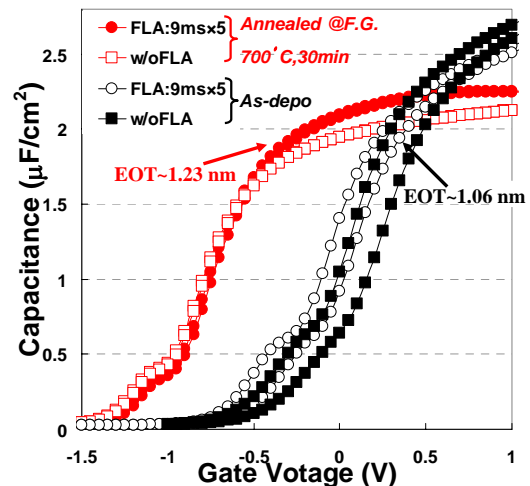


Fig.1 C-V characteristics of W/Si/La₂O₃/n-Si capacitors after FLA or w/o FLA and PMA 700°C,30min or as-depo