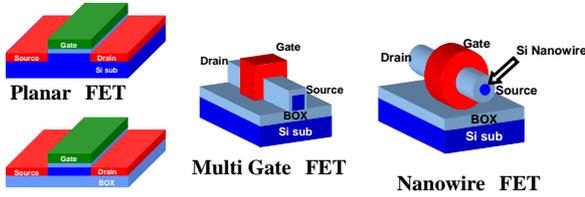




Interface state density of 3-D structured Si using charge pumping method

Tokyo Tech. FRC¹, Tokyo Tech. IGSSE² K. Nakajima¹, S. Sato¹, K. Kakushima², P.Ahmet¹, K.Tsutsui², A. Nishiyama², N. Sugii², K. Natori¹, T. Hattori¹, H. Iwai¹

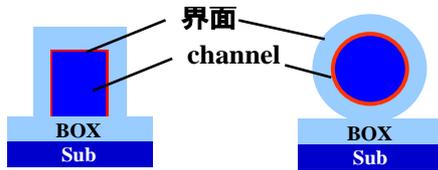
研究背景



SOI FET

立体Siトランジスタ → すぐれた短チャネル効果抑制能力

プレーナ型Si MOSFETにとって替わるデバイスとして期待



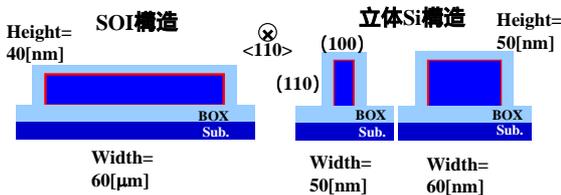
立体SiトランジスタはPlanar型のトランジスタと比較すると様々な結晶面で構成されている。

↓
界面の準位は移動度、信頼性の問題を引き起こす可能性があるため、界面準位密度 D_{it} の評価をする必要がある

研究目的

立体Si構造トランジスタの導入を見据え、チャネル断面の形を変えた時の界面準位密度 (D_{it}) のエネルギー分布の変化を評価する

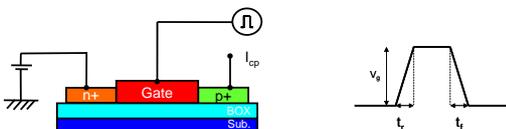
今回はcharge pumping法を用いてSOI構造と幅の異なる立体Si構造の D_{it} の評価結果を報告する。



評価方法 Charge Pumping

ソースドレインをP+N+としたプレーナ型Silicon-on-Insulator (SOI) FET のチャージポンピング評価は報告されている。

T. Elewa *et al.*, J. Phys. Colloq. 49, 137 (1988).



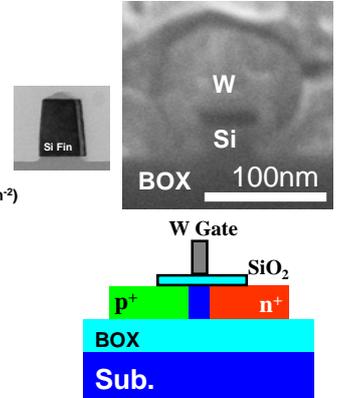
バンドギャップ中の D_{it} のエネルギー分布

$$D_{it}(E_2) = -\frac{t_f}{qA G f k B T} \frac{dI_{cp}}{dV_f} \quad D_{it}(E_1) = -\frac{t_r}{qA G f k B T} \frac{dI_{cp}}{dV_r}$$

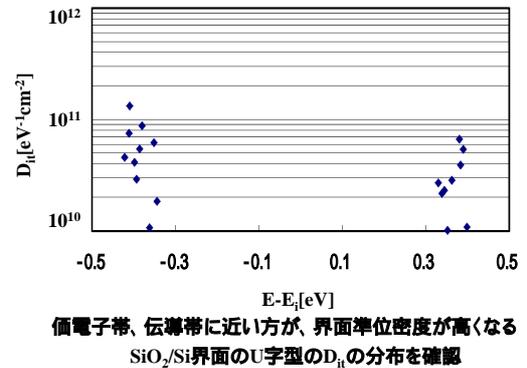
$$E_2 = E_i - kT \ln \left\{ v_{th} \sigma_n n_i \frac{|V_{FB} - V_T|}{|V_{GH} - V_{GL}|} t_f \right\} \quad E_1 = E_i + kT \ln \left\{ v_{th} \sigma_p p_i \frac{|V_{FB} - V_T|}{|V_{GH} - V_{GL}|} t_r \right\}$$

実験方法

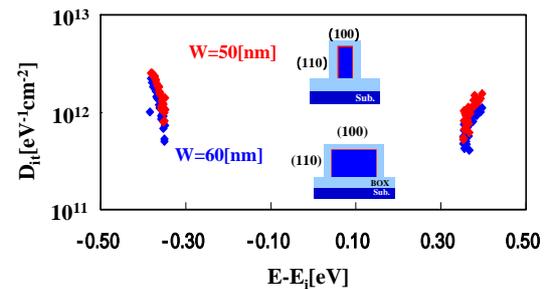
- ① Si パターニング
- ② ゲート酸化膜形成 熱酸化 (1000 °C, 10min)
- ③ W堆積 RFスパッタ法
- ④ Pイオン注入 (Phosphorus, 30keV, $3 \times 10^{14} \text{ cm}^{-2}$)
- ⑤ BF₂イオン注入 (Boron, 30keV, $3 \times 10^{14} \text{ cm}^{-2}$)
- ⑥ 活性化アニール (N₂雰囲気中 800 °C, 5min.)
- ⑦ Alコンタクト電極形成
- ⑧ F.G. アニール (500°C, 30 min.)
- ⑨ Al 裏面電極形成(蒸着法)



SOIの界面準位密度分布



立体Si構造の界面準位密度分布



まとめ

- ゲート付きのp/n接合デバイスを作製することでSOI、立体Si構造の D_{it} を測定することができた。
- SOI構造では伝導帯、価電子帯から離れると界面準位密度は小さくなり、U字型を示す。
- ゲート絶縁膜/チャネル界面の面積における(100)面の割合が小さくなると D_{it} が増加する。
- 立体Si構造においてSOI構造同様、伝導帯、価電子帯から離れると界面準位密度は小さくなり、U字型を示す。