



# Lateral encroachment of Ni silicide into Si nanowire

Tokyo Tech. FRC<sup>1</sup>, Tokyo Tech. IGSSE<sup>2</sup> M. Koyama<sup>1</sup>, N. Shigemori<sup>1</sup>, H. Arai<sup>1</sup>, S. Sato<sup>1</sup>, K. Kakushima<sup>2</sup>, P. Ahmet<sup>1</sup>, K. Tsutsui<sup>2</sup>, A. Nishiyama<sup>2</sup>, N. Sugii<sup>2</sup>, K. Natori<sup>1</sup>, T. Hattori<sup>1</sup>, H. Iwai<sup>1</sup>

### 研究背景

一次元伝導による電流量向上  
三次元構造(GAA)の高い制御性  
**高い $I_{ON}/I_{OFF}$ 比を実現**

プレーナ型Si MOSFETにとって替わるデバイス

Si Nanowire FETのオン電流向上の為、FETのソース・ドレイン部の抵抗低減が有効

Source Gate Drain

Overhead view of Si nanowire FET

### 研究目的

- SiナノワイヤへのNiシリサイド侵入メカニズムを考察する
- Siナノワイヤ内に侵入するNiシリサイド長を制御する

Channel region Gate Ni silicide Source Drain Encroachment

Vertical section of Si nanowire FET

ソース・ドレイン部のNiシリサイド化技術を用いたSiナノワイヤFETに応用

### Siナノワイヤ内へのNiシリサイドの侵入現象

SiナノワイヤFET作製プロセスに応用

SEM image TEM image

Si Nanowire with SiO<sub>2</sub> shell Ni Silicide Length of Ni Silicide 200nm

SiO<sub>2</sub> Ni silicide 60nm

Si

Si nanowire Ni silicide BOX = SiO<sub>2</sub> Si substrate

Ni silicidation by annealing

Encroachment of Ni silicide

Si nanowire Ni silicide BOX = SiO<sub>2</sub> Si substrate

### 作製プロセス

- Si基板パターニング: 30nm SOI基板, ワイヤ方向 110 のFin作製
- 熱酸化: (Dry O<sub>2</sub>, 1000, 45min)
- 酸化膜剥離: BHFによりSiナノワイヤの一部を露出
- Ni堆積: Ni堆積膜厚: 6nm (Ar 雰囲気中)
- RTA (Rapid Thermal Anneal): Siナノワイヤのシリサイド化 (F.G 雰囲気中)
- 未反応Ni除去後, SEMで観測

ワイヤ幅10nm~25nm程度のSiナノワイヤを作製

### 研究結果

#### アニール時間依存性

Length of Ni Silicide [nm] vs  $t^{1/2}$  [sec<sup>1/2</sup>]

Legend: Wnw=10nm (diamond), Wnw=17nm (square), Wnw=23nm (cross)

拡散方程式:  $\lambda \propto A\sqrt{t}$

$\lambda$ : Niシリサイド長さ [nm],  $A$ : 拡散係数,  $t$ : アニール時間 [sec]

・Niシリサイドの侵入現象はNi原子の拡散によるもの

### オージェ電子分光(AES: Auger Electron Spectroscopy)分析

Atomic concentration [%] vs Distance [μm]

Legend: O (green), Ni (blue), Si(un-oxidized) (red), Si(metal) (orange)

・オージェ電子分光分析より、Ni<sub>2</sub>Siの形成を確認

・高温(600°C)でのアニールにおいて、Niリッチなシリサイドが形成(バルクの場合は、NiSiが形成)

### Siナノワイヤ内へのNiシリサイドの侵入を抑制する方法

2ステップアニール

微細なパターンでも相の制御が可能

#### 各ステップ後のSEM観察像

After 1st RTA: Annealing condition: 300°C, 30sec

After 2nd RTA: Annealing condition: 300°C, 30sec + 400°C, 30sec

### アニール温度依存性

#### アレニウスプロット

$\ln(\lambda^2/t)$  [cm²/sec] vs  $10^3/T$  [K<sup>-1</sup>]

Legend: Wnw=10nm (diamond), Wnw=17nm (square), Wnw=23nm (cross)

Time: 30sec

活性化エネルギー			
W <sub>nw</sub> [nm]	10	17	23
E <sub>a</sub> [eV]	1.48	1.52	1.60

バルクSiでの活性化エネルギー		
Niシリサイド	NiSi	Ni <sub>2</sub> Si
活性化エネルギー [eV]	1.4	1.5

・算出した活性化エネルギーはNi<sub>2</sub>Siのもの一致

### アニール条件の比較

Length of Ni Silicide [nm] vs Wnw [nm]

Legend: 1 step Annealing (blue triangle), 2 step Annealing (magenta circle)

・低温アニール後の未反応Ni除去により、2ステップアニール法はNiシリサイドの侵入抑制に効果的

### 結論

#### Siナノワイヤ内へのNiシリサイド侵入メカニズム

- Niシリサイドの侵入はNi原子の拡散によって起こる
- アニール温度: 350-600°Cの範囲で算出した活性化エネルギーはNi<sub>2</sub>Siのもの一致
- オージェ電子分光分析によると、600°C, 30secアニールではNi<sub>2</sub>Siが形成される

#### Siナノワイヤ内へのNiシリサイド侵入抑制

- 2ステップアニール法により、Niシリサイドの侵入を抑制可能
- 二段階目アニールにおいて、相転移後の反応は停止する

2ステップアニール法によるNi拡散の抑制はSiナノワイヤ内へのNiシリサイド侵入抑制に効果的で、FET作製プロセスへの利用が期待できる