

トンネル FET 動作に向けた Ni シリサイド/Si 接触におけるトンネル電流の観測

Observation of tunneling MOSFET operation in MOSFET with NiSi/Si Schottky source/channel contact

東工大フロンティア研¹, 東工大総合理工², [○]呉研¹, 茂森直登¹, 佐藤創志¹, 角嶋邦之²,
パールハット・アヘメト¹, 筒井一生², 西山彰², 杉井信之², 名取研二², 服部健雄², 岩井洋²
Tokyo Tech. FRC¹, IGSSE², [○]Y. Wu¹, N. Shigemori¹, S. Sato¹, K. Kakushima², P. Ahmet¹,
K. Tsutsui², A. Nishiyama², N. Sugii², K. Natori¹, T. Hattori¹ and H. Iwai¹

E-mail: yan.w.ab@m.titech.ac.jp

【はじめに】 MOSFET を 10nm 世代ヘスケールリングするには、印加電圧(V_{dd})をさらなる低減が必要である。しかし、従来型 MOSFET ではサブスレッショルド(S)値は原理的に室温で 60mV/decade 以下にならず、高いオン電流と低いオフ電流を同時に満たすことが困難となる。室温で S 値を更に低減できる技術が望まれる。すでに、P-i-N 型のトンネル MOSFET でトンネル電流を駆動電流に用いた場合に小さな S 値が得られることが報告されている[1]。この場合、トンネル電流が駆動電流の主であるため、オン電流が比較的小さいことが課題である。我々は、この問題に対して、ショットキー接触によるバリアで制御するトンネル電流を駆動電流とすることを検討している。

【実験方法】 Fig.1 にショットキー型トンネル MOSFET の構造図を示す。SOI 基板(SOI 層 50nm)に Tr 活性領域を形成後、ゲート絶縁膜(SiO_2 60nm)を堆積し、ソース・ドレイン領域のパターンを形成する。その後、スパッタ法により Ni(12nm)を堆積し、アニールすることでゲート絶縁膜をマスクとして、Ni シリサイドを形成する。ここで Ni シリサイドがゲート電極部直下へ侵入するように形成することがキーポイントである[2]。この後ゲート電極、ソース・ドレイン電極(Al)を形成した。 I_d - V_g 特性($V_{dd}=-3\text{V}$)により、S 値を測定した。さらに S 値の温度依存性も測定した。

【結果】 Fig. 2 に作製したショットキー型トンネル MOSFET の S 値の温度変化を示す。室温時での S 値が 2000[mV/dec]と大きい原因は、厚いゲート絶縁膜を用いたためと大きな界面準位密度によるものである。高い温度領域(>150K)では温度に比例する依存性を示したが、100K 以下では、温度依存性が小

さくなる。このことは、低温領域での駆動電流はトンネル電流が主となったことを示している。

【結論】 ソース・ドレイン部に Ni シリサイドを用いたショットキー型トンネル MOSFET を作製した。100K 以下では温度に依存しなくなり、トンネル電流が支配的になることを意味する。当日に Ni シリサイド侵入現象や詳しい電流特性について発表する。

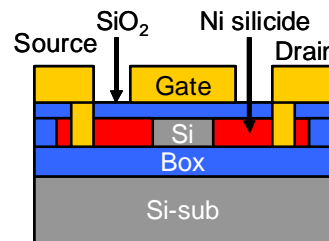


Fig. 1: Device structure of the fabricated SOI tunnel MOSFET.

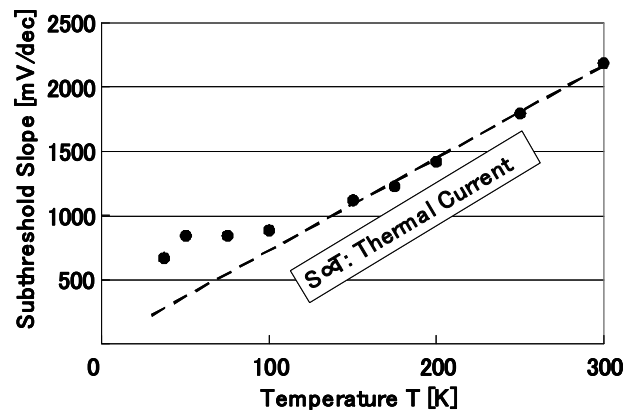


Fig. 2: Dependence of subthreshold-slope on temperature at drain voltage of 3V.

[1] T. Krishnamohan et al, IEDM Tech. Dig., 2008, p. 947.

[2] H. Arai, et al., ECS Transactions (2009), 25(7, ULSI Process Integration 6), 447-454.