

希釈酸素雰囲気熱処理を用いた La シリケート/Si MOS 構造の

V_{FB}/V_{th} シフトの低 EOT への適用

V_{FB}/V_{th} tuning of La-silicate/Si devices using oxygen annealing process for smaller EOT

東工大フロンティア研¹, 東工大総理工² 鈴木拓也¹, 川那子高暢¹, 角嶋邦之²,
Parhat Ahmet¹, 筒井一生², 西山彰², 杉井信之², 名取研二¹, 服部健雄¹, 岩井洋¹
Tokyo Tech. FRC¹, Tokyo Tech. IGSSE² °T. Suzuki¹, T. Kawanago¹, K. Kakushima²,
P. Ahmet¹, K. Tsutsui², A. Nishiyama², N. Sugii², K. Natori¹, T. Hattori¹, H. Iwai¹

E-mail: suzuki.t.cd@m.titech.ac.jp

【はじめに】 閾値電圧(V_{th})の制御は High-k/Metal ゲートスタックの大きな技術課題の一つである。閾値電圧を制御するために Hf 系絶縁膜中に異種材料を添加する技術が盛んに報告されている[1]。一方、我々は前回の報告で、希釈酸素雰囲気熱処理により MOS デバイスのフラットバンド電圧 (V_{FB}) が正側にシフトすることを明らかにした[2]。前回の報告では等価酸化膜換算膜厚 (EOT) が約 1.9nm と大きく、低 EOT 領域における希釈酸素雰囲気熱処理の有効性に懸念があった。そこで、今回我々はより EOT の小さい MOS デバイスを作製し、希釈酸素雰囲気熱処理の効果を検証したので報告する。

【実験方法】 素子分離を施し、化学洗浄と希フッ酸処理をした n -Si(100)基板上に超高真空中で電子線蒸着法により La_2O_3 を堆積した。基板濃度は $3 \times 10^{15} \text{cm}^{-3}$ である。続けて、試料を大気暴露することなく RF スパッタ法により膜厚 5nm の W ゲート電極を形成した。電極形成後、水素濃度 $H_2/(N_2+H_2)=3\%$ の条件で 800°C 、30 分間の熱処理 (F.G.A) を行った。その後、希釈酸素雰囲気中で熱処理を行った。希釈酸素雰囲気熱処理は、酸素濃度 $O_2/(N_2+O_2)=5\%$ の条件で 30 分間の熱処理とした。最後にフォーミングガス雰囲気中で 420°C 、30 分間の回復熱処理を行った。作製した n -MOS キャパシタの C - V 特性から EOT 及び V_{FB} を評価した。

【実験結果】 図 1 に作製した 2 種類の膜厚の n -MOS キャパシタの C - V 特性を示す。EOT はそれぞれ 1.07nm と 1.88nm であった。前回の報告と同様に希釈酸素雰囲気熱処理と回復熱処理を施した C - V カーブは、どちらも大きく正側にシフトしていることが確認できる。さらに、EOT の増加も顕著に認められないことから、希釈酸素雰囲気熱処理による V_{FB}/V_{th} シフト技術は、低 EOT 領域においても有効であると予想される。より詳細な結果は当日報告する予定である。

【参考文献】 [1] T. Ando al., Tech. Dig. IEDM (2009) 423.

[2] 川那子他, 2010 年春季 第 57 回 応用物理学関連連合講演会 20a-P16-19.

【謝辞】 本研究は独立行政法人新エネルギー・産業技術総合開発機構の支援により実施された。

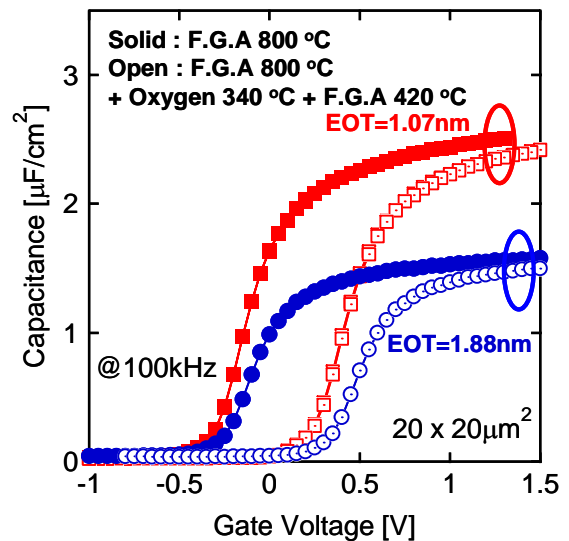


Fig.1 C-V characteristics with different EOT. F.G.A at 420°C was performed after oxygen annealing. Same amount of the V_{FB} shift can be observed irrespective of EOT.