

チャージポンピング法による立体 Si 構造の界面準位密度の評価

Interface-State Density of the three-dimensional Silicon Structures

Characterized by Charge Pumping Method

東工大フロンティア研¹, 東工大総理工² 中島一裕¹, 佐藤創志¹, 角嶋邦之²,
Parhat Ahmet¹, 筒井一生², 西山彰², 杉井信之², 名取研二¹, 服部健雄¹, 岩井洋¹
Tokyo Tech. FRC¹, Tokyo Tech. IGSSE² °K. Nakajima¹, S. Sato¹, K. Kakushima²,
P. Ahmet¹, K. Tsutsui², A. Nishiyama², N. Sugii², K. Natori¹, T. Hattori¹ and H. Iwai¹
E-mail: nakajima.k.ai@m.titech.ac.jp

【はじめに】すぐれた短チャネル効果抑制能力を持つナノワイヤ型トランジスタは、将来の CMOS デバイスの有力な候補である。ナノワイヤ型トランジスタは曲面を含むチャネル周辺全てを絶縁膜で囲まれているため、その界面品質は電気特性に重要な役割をされると考えられる。ソースドレインを p^+n^+ としたプレーナ型 Silicon-on-Insulator (SOI) FET のチャージポンピング評価は過去に報告されている^[1]。本研究ではこのソースドレイン構造をナノワイヤに適用し(図1) チャージポンピング評価および界面準位密度のエネルギー分布を求めることを目的としている。本予稿では、プレーナ型 SOI 構造における評価結果を報告する。

【実験方法】SOI 基板 (SOI:50 nm、BOX:135 nm) を用いてプレーナ型構造と幅 40~70 nm の Fin 構造を形成し、SPM 洗浄と HF 洗浄処理後、乾燥酸素雰囲気中 1000 °C で 5 分または 10 分間の熱酸化を行いゲート絶縁膜を形成した。RF スパッタ法により W を堆積後、チャネルの左右に P と B を注入し n^+ 、 p^+ 領域を形成した。その後、700 °C、30 分の不純物活性化熱処理を行った後、Al 電極を用いて配線し、チャージポンピング測定を行った。図 2 に示す台形波を用いて、立ち上がり (t_r)、立下り時間 (t_f) を変化させて、界面準位密度のエネルギー分布の測定を行った^[2]。

【実験結果】総チャネル幅 32 μm 、チャネル長(L)6.5 μm のプレーナ型 SOI 構造でのチャージポンピング特性を図 3 に示す。チャージポンピング電流(I_{cp})の最大値から求められる界面準位密度(D_{it})の値は $2.01 \times 10^{12} [\text{cm}^{-2} \text{eV}^{-1}]$ となった。また、 t_r 、 t_f の値を変え、キャリア放出エネルギー準位を変化させることにより界面準位の密度分布を求めた。Fin 構造についての詳細な結果については当日報告する。

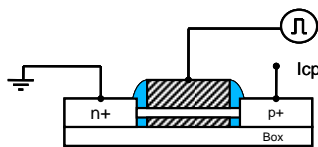


図 1 P+IN+ダイオードの
チャージポンピング測定法

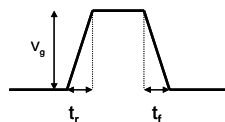


図 2 チャージポンピング測定に用いた
ゲートパルスの波形

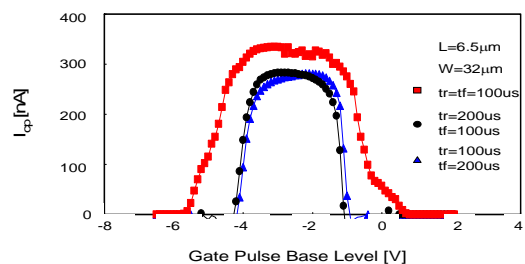


図 3 プレーナ型 SOI 構造の
チャージポンピング電流 (I_{cp})

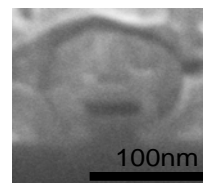


図 4 Fin 構造の断面 SEM 画像

- 【参考文献】 [1] T. Elewa *et al.*, J. Phys. Colloq. 49, 137 (1988)
[2] G. V. Bosch *et al.*, IEEE T.E.D. 38, 1820 (1991)