

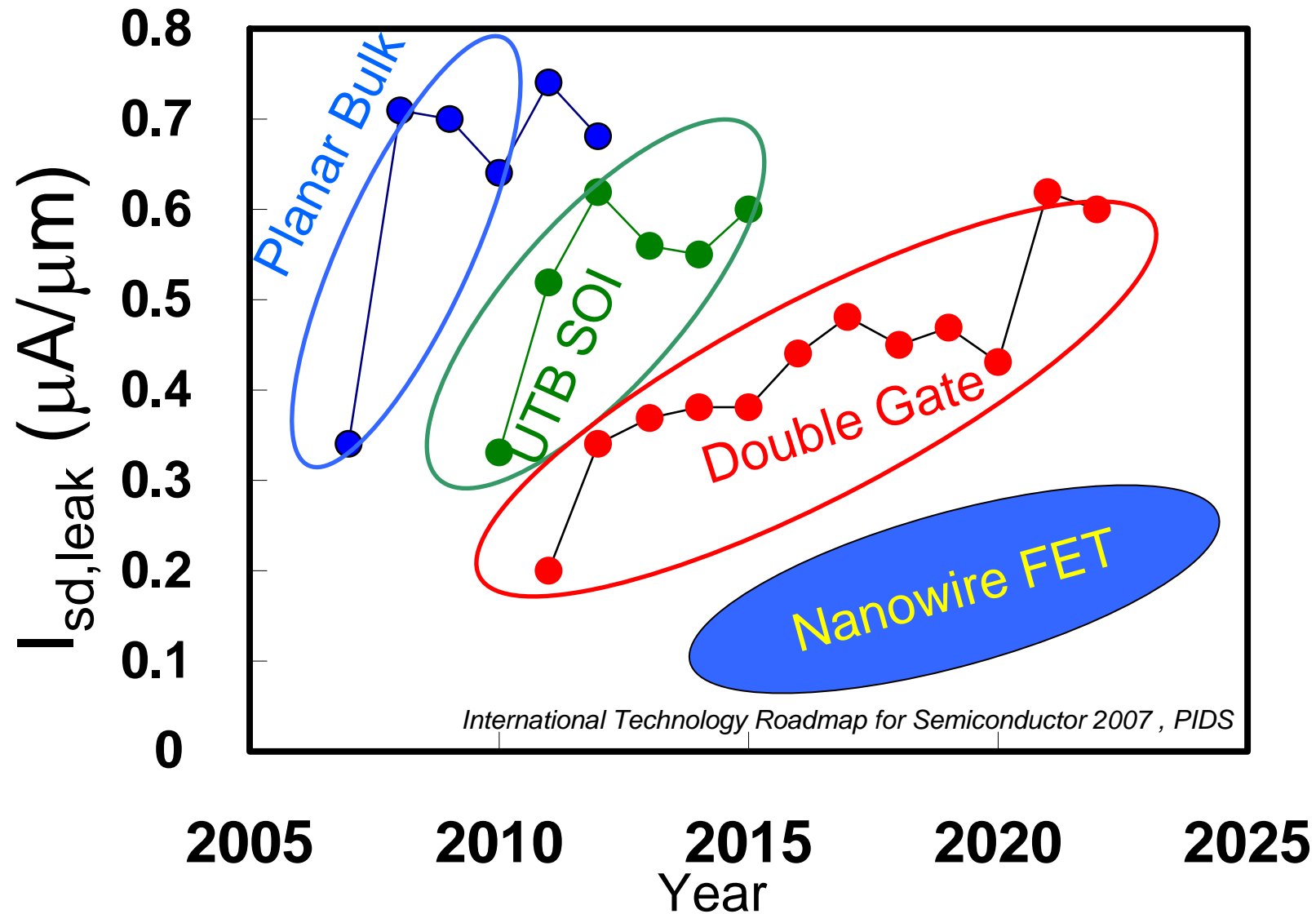
Siナノワイヤの試作と 性能予測(ロードマップ)

佐藤創志、大毛利 健治*、角嶋邦之、山田啓作*

東京工業大学

*早稲田大学

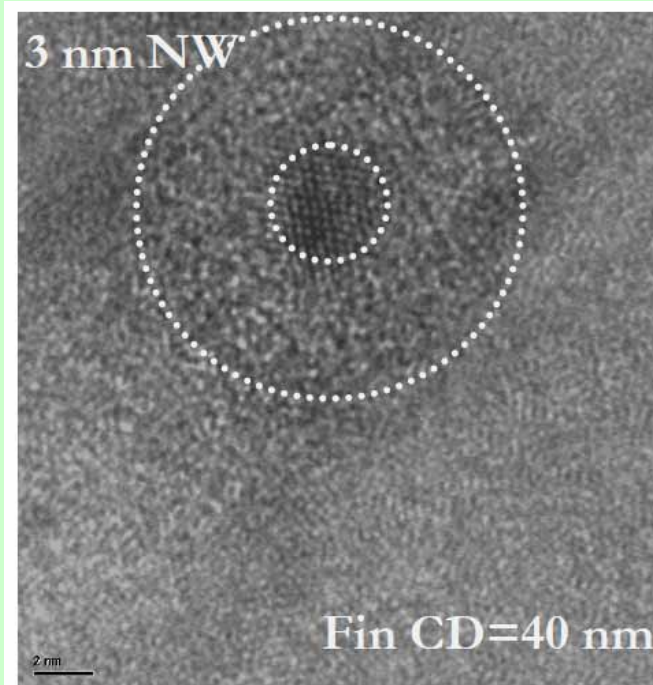
FET構造の違いによるリーク電流



ナノワイヤ構造はリーク電流に抑制するのに適した構造

SiナノワイヤFETに関する報告例

Ultra narrow NW FET

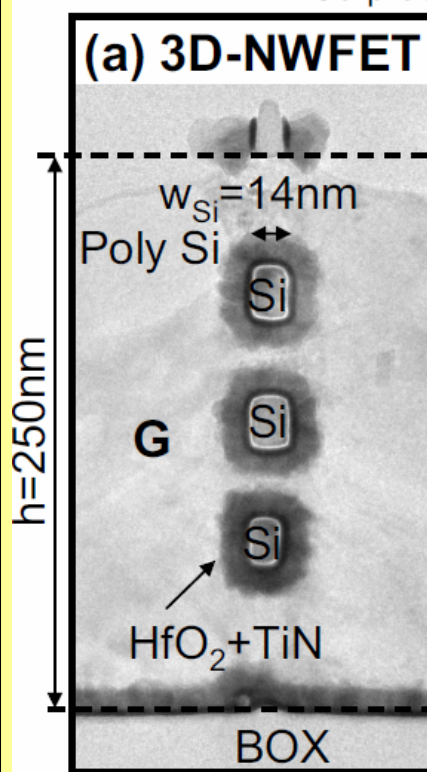


N. Singh, IEDM 2006

SS~60mV/dec, $I_{on}/I_{off} > 10^6$

Oxidation in 875°C for 4 hours

3-Dimensionally Stacked NW multiple channels



Excellent

On-current
6.5mA/ μm
NMOS

3.3mA/ μm
PMOS

SS:

68/65 mV/dec

C. Dupre, IEDM 2008

Repetitive deposition of Si / SiGe

理想的なSS値、高い I_{ON}/I_{OFF} 比 ただし、特殊なプロセス

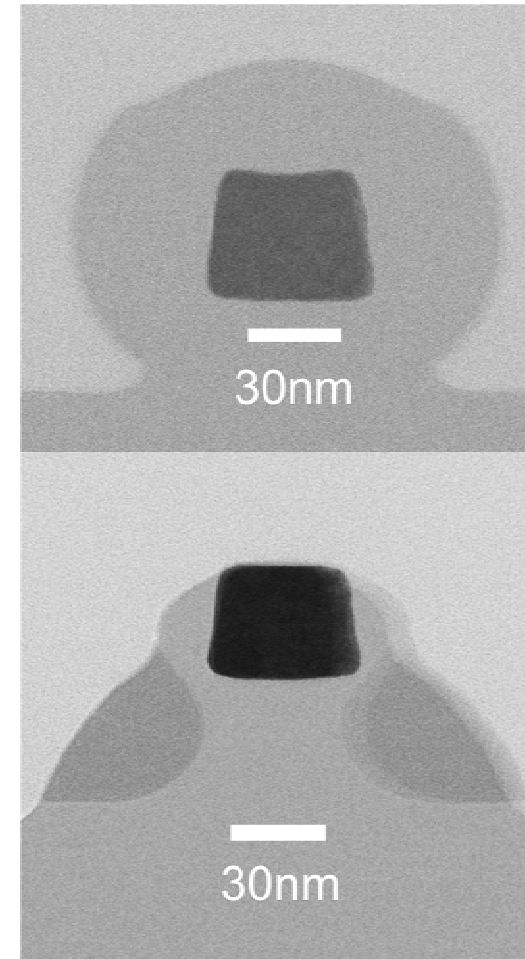
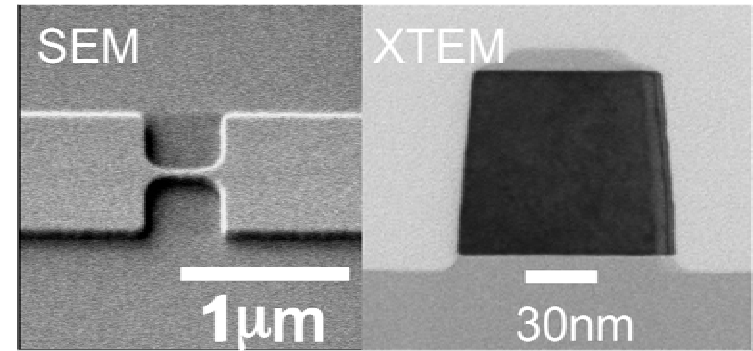
発表内容

- CMOSプロセスに適合したナノワイヤ作製プロセス
 - ✓ブースター技術としてのナノワイヤ
 - ✓ゲート・セミ・アラウンド構造(CMOSラインとの整合性)
- ナノワイヤの電気伝導特性
 - ✓ I_{ON} - I_{OFF} 特性
- ナノワイヤー・プロセスロードマップ上の課題

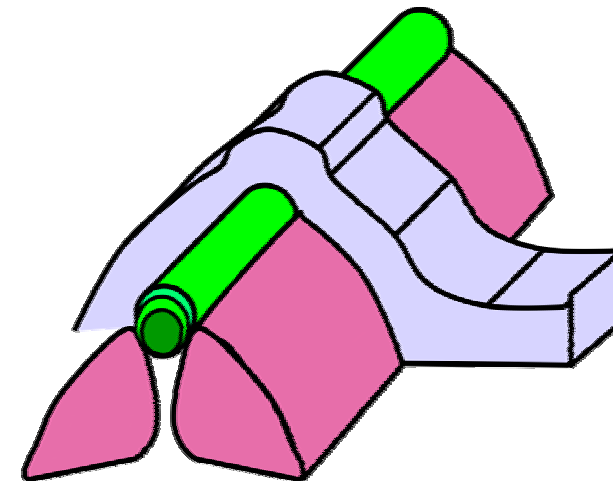
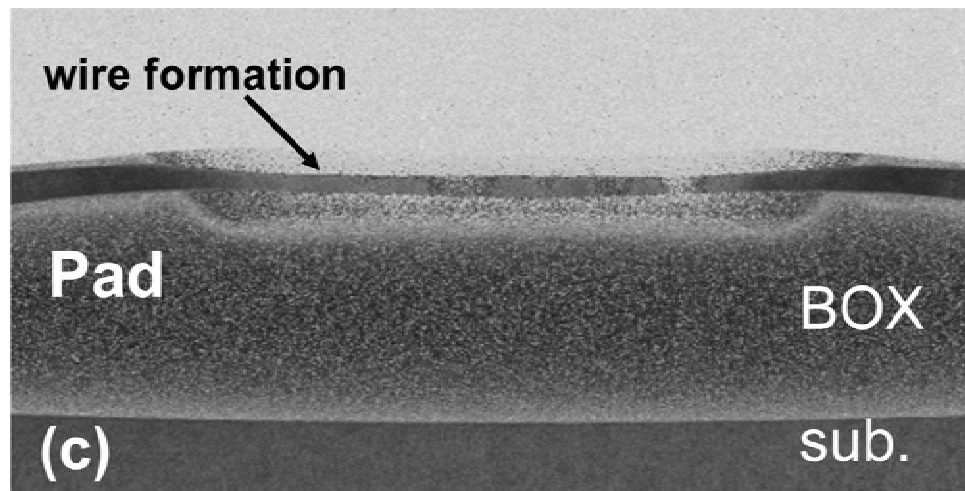
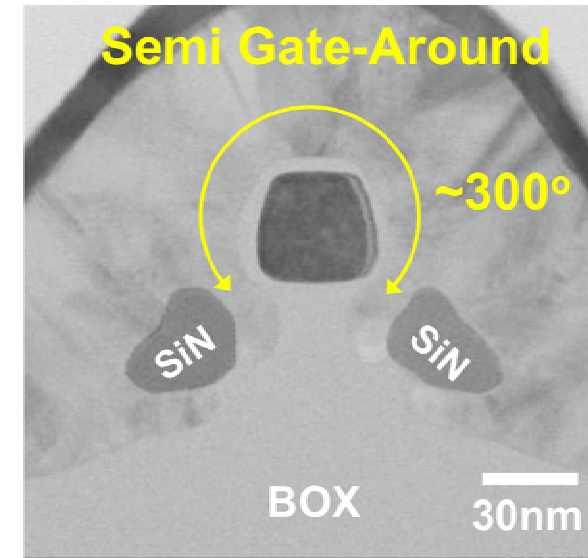
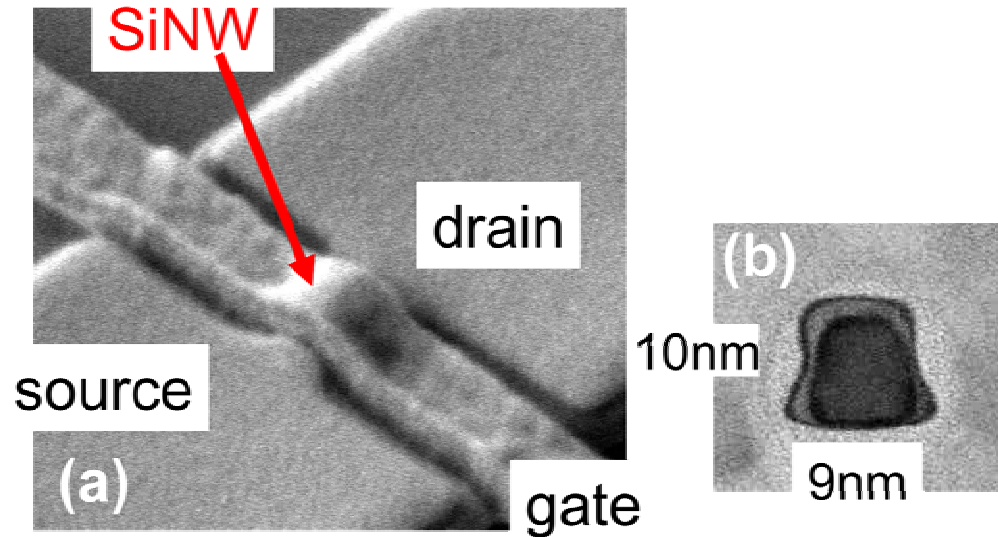
ナノワイヤFET作製方法

Starting wafer: 300mm SOI (50 / 145 nm)

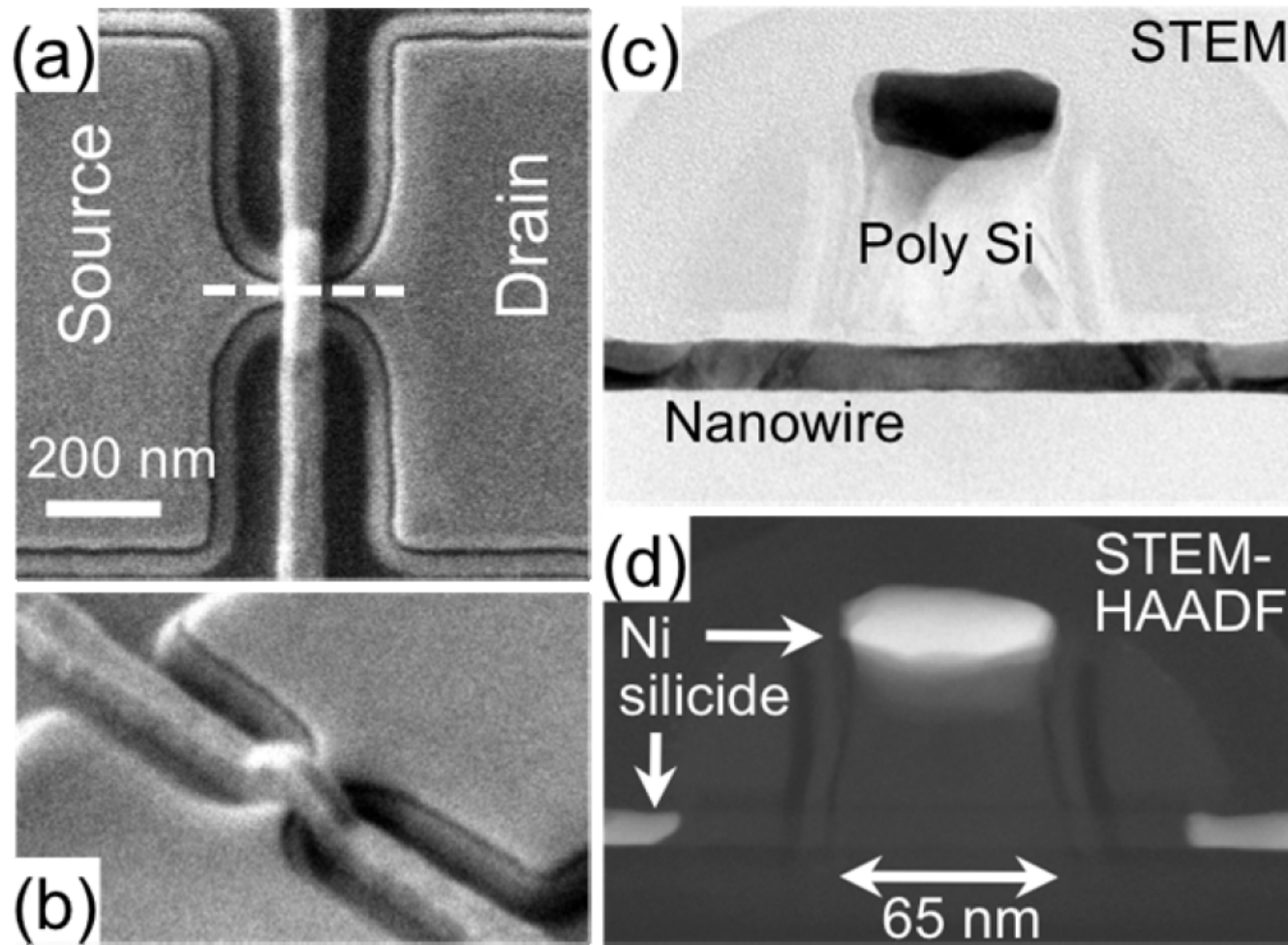
- S/D & Fin Patterning <110>方向
- Sacrificial Oxidation & Oxide Removal
DryOx 1000°C for 1 hour
(not completely released from BOX layer)
- Nanowire Sidewall Formation
(Oxide Support Protector)
- Gate Oxidation & Poly-Si Deposition
- Ion Implantation (As) into gate Poly-Si
- Gate Lithography & RIE Etching
- Gate Sidewall Formation & S/D Implantation
- Ni SALISIDE Process (Ni 9nm / TiN 10nm)



ナノワイヤFETのSEM/TEM像



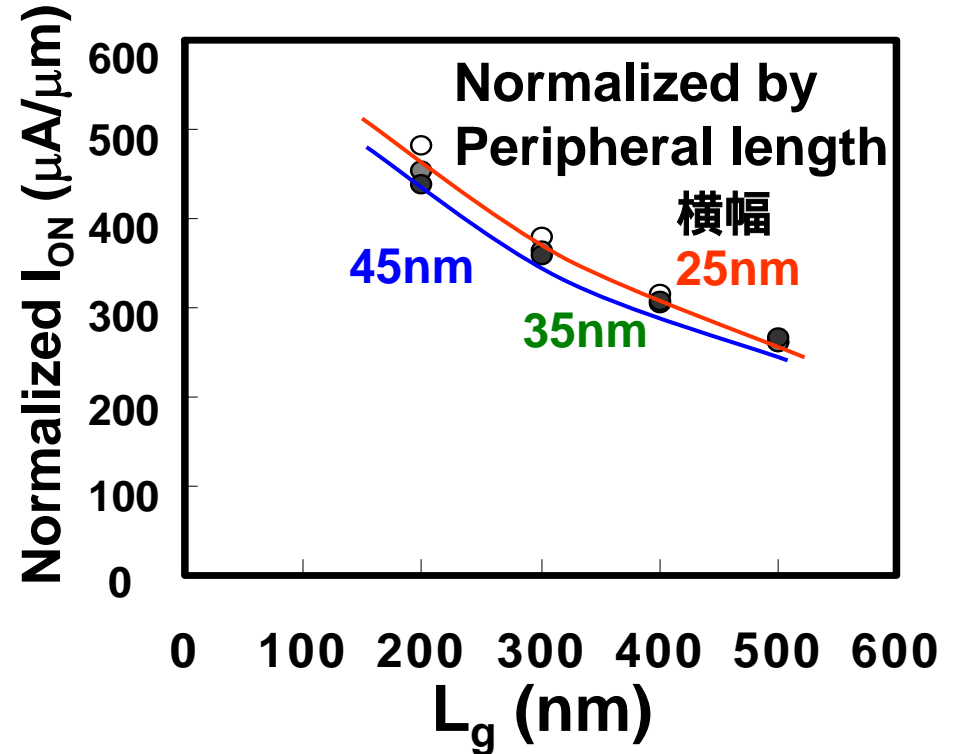
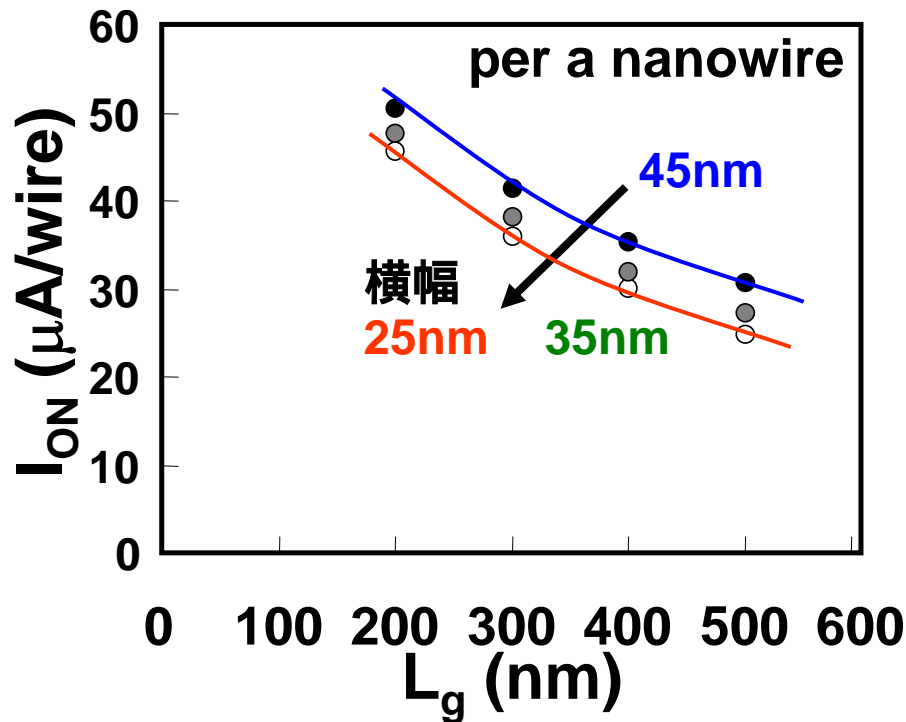
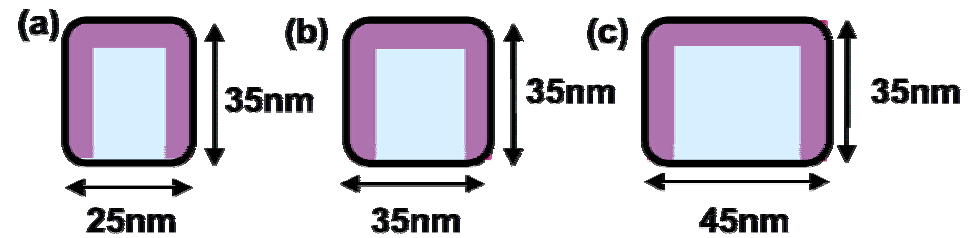
作製したSiナノワイヤFETの観察像



標準的なプロセスでSiナノワイヤFETの試作に成功
 $L_g=65\text{nm}$, $T_{\text{ox}}=3\text{nm}$, poly-Si, Ni-silicide

25 ~ 35nmの大きさのSiナノワイヤFET特性

ナノワイヤ断面形状
縦35nm、横25-45nm

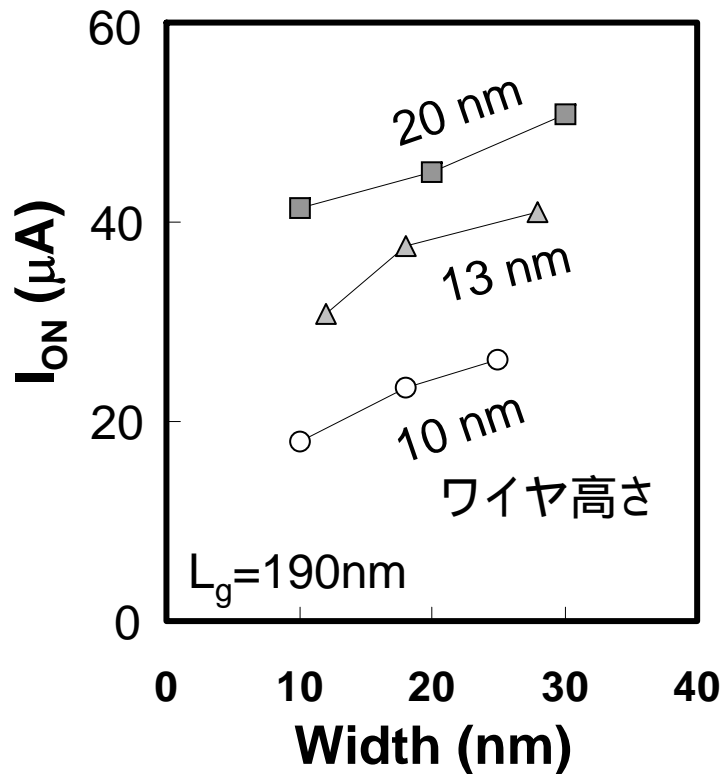


I_{ON}はゲート周囲長で規格化可能

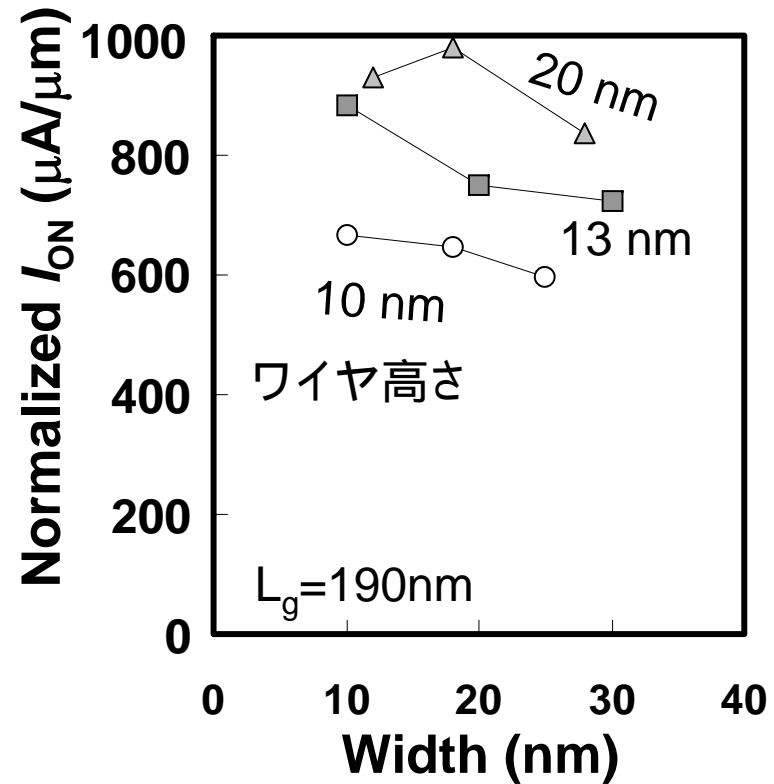
上面もエッチング面である側面もI_{ON}への寄与は変わらない

20nm以下のSiナノワイヤFETの断面形状と I_{ON}

1本あたりのオン電流

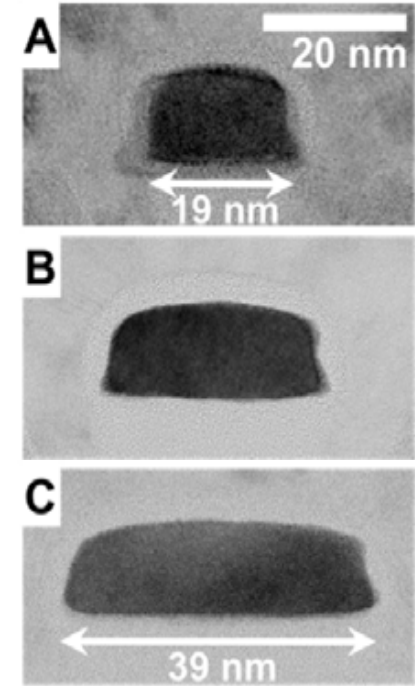
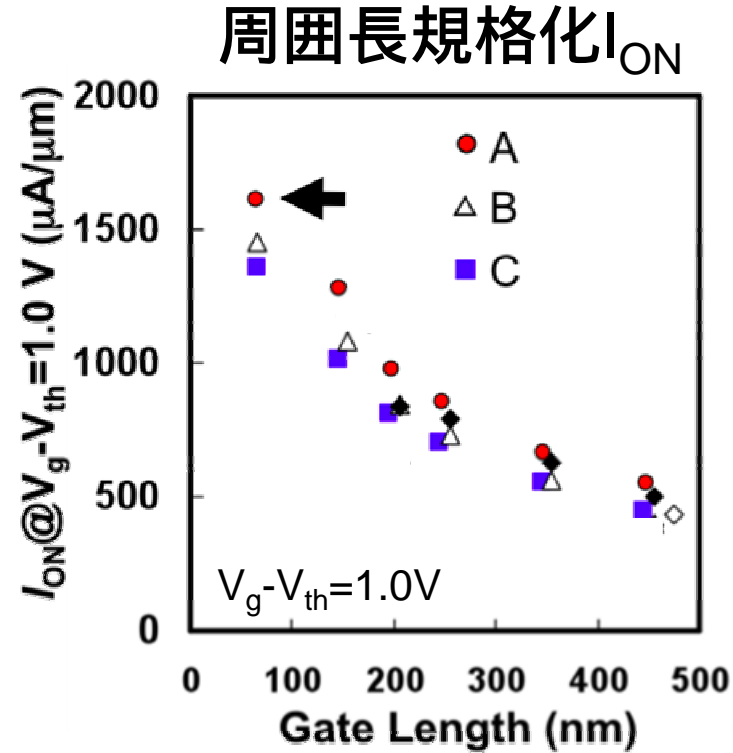
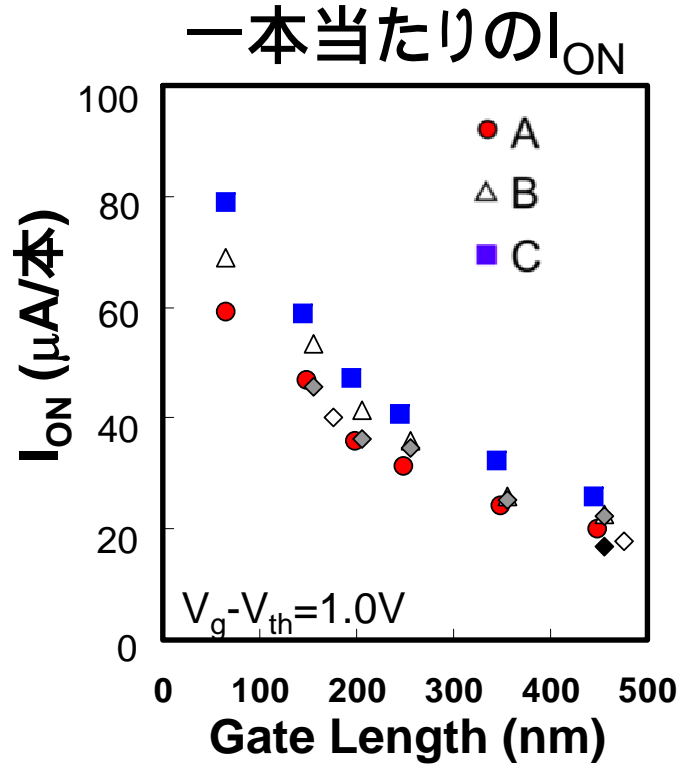


1本あたりのオン電流(周囲長で規格化)



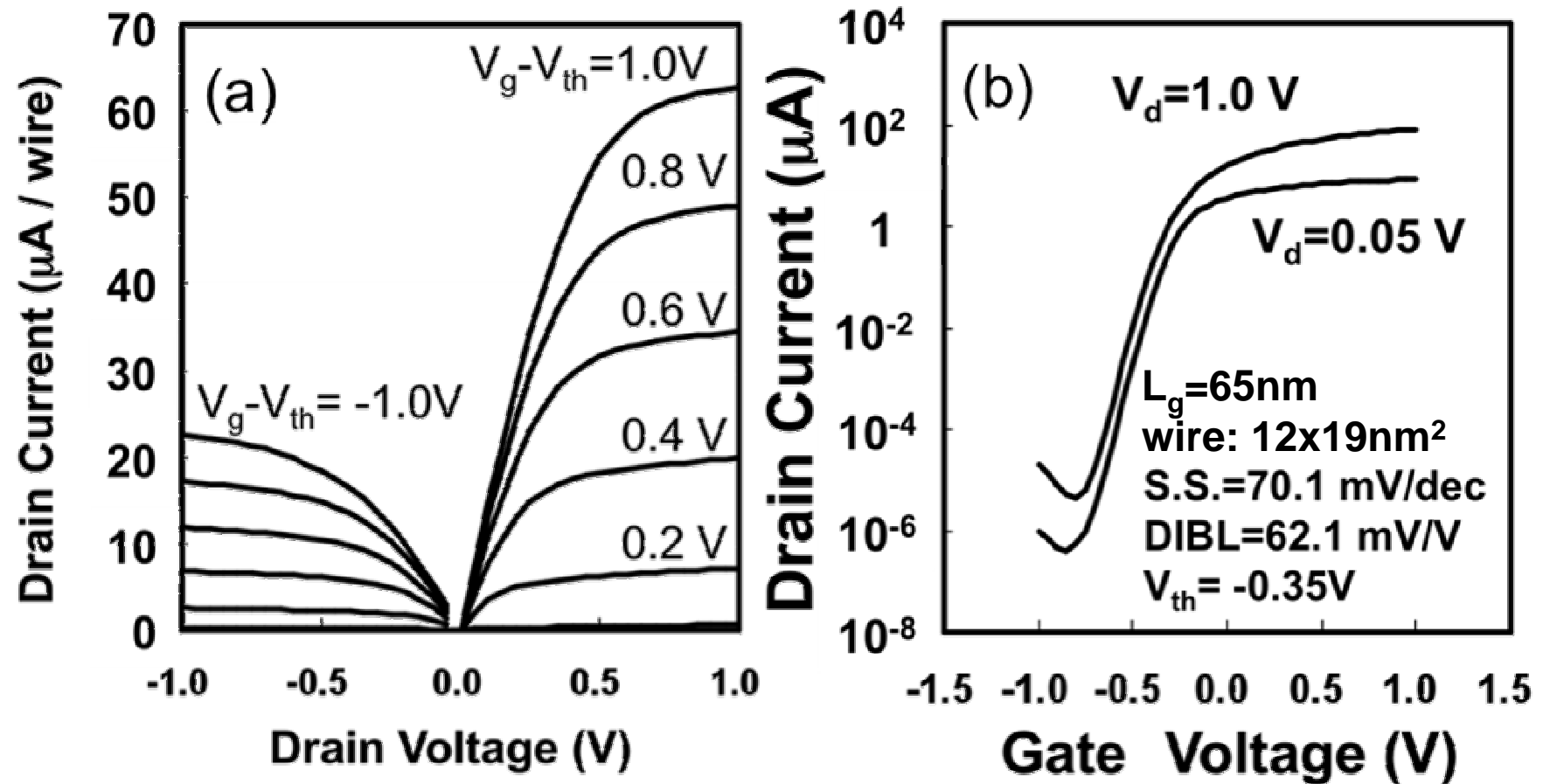
20nm以下のナノワイヤ径では、周囲長で規格化できない

高さ12nmのSiナノワイヤの I_{ON} の L_g 依存性



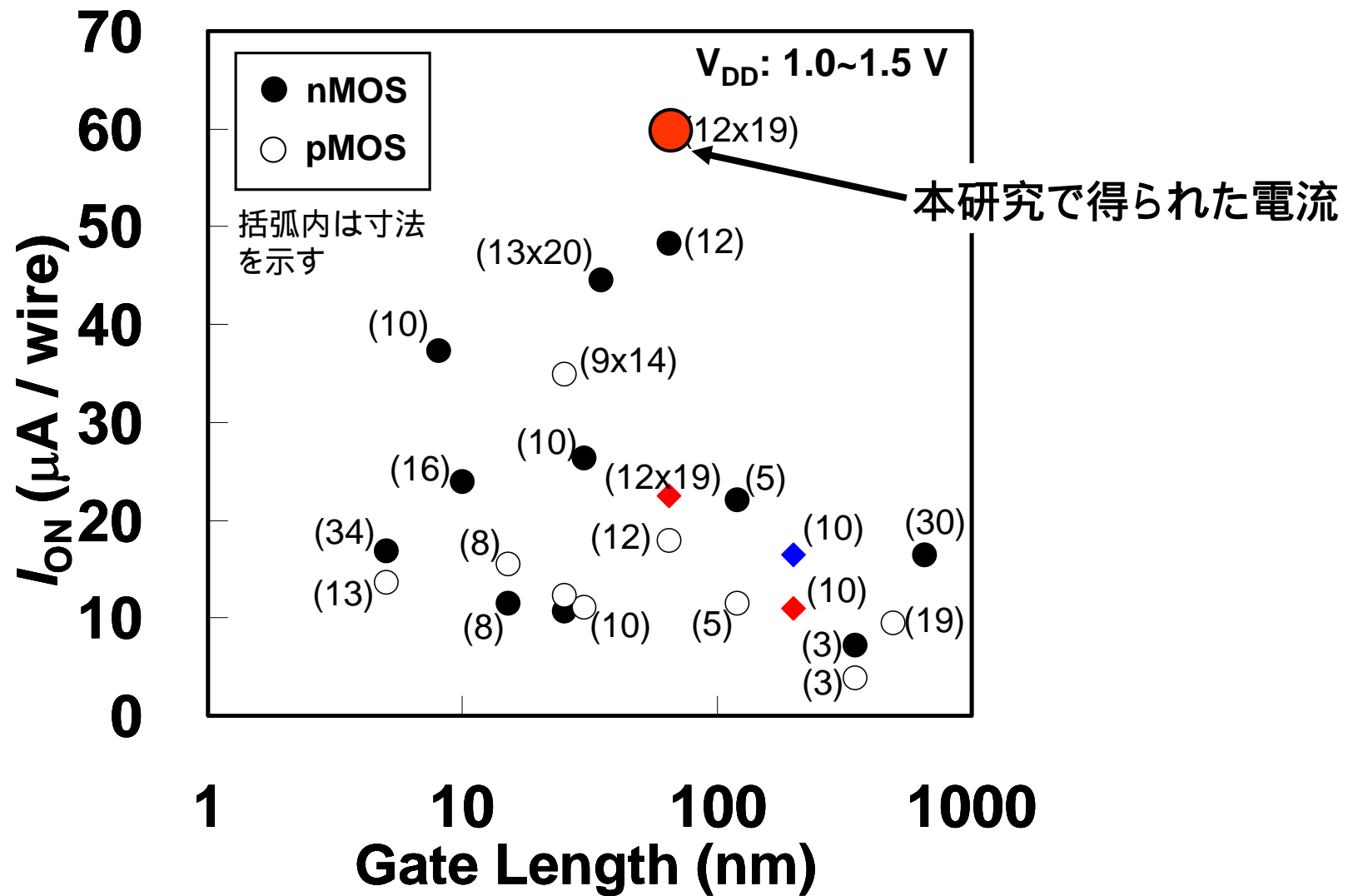
L_g の微細化により I_{ON} の増加を確認
特に $12 \times 19 nm^2$ の断面で高い I_{ON}

作製したSiナノワイヤFETの静特性



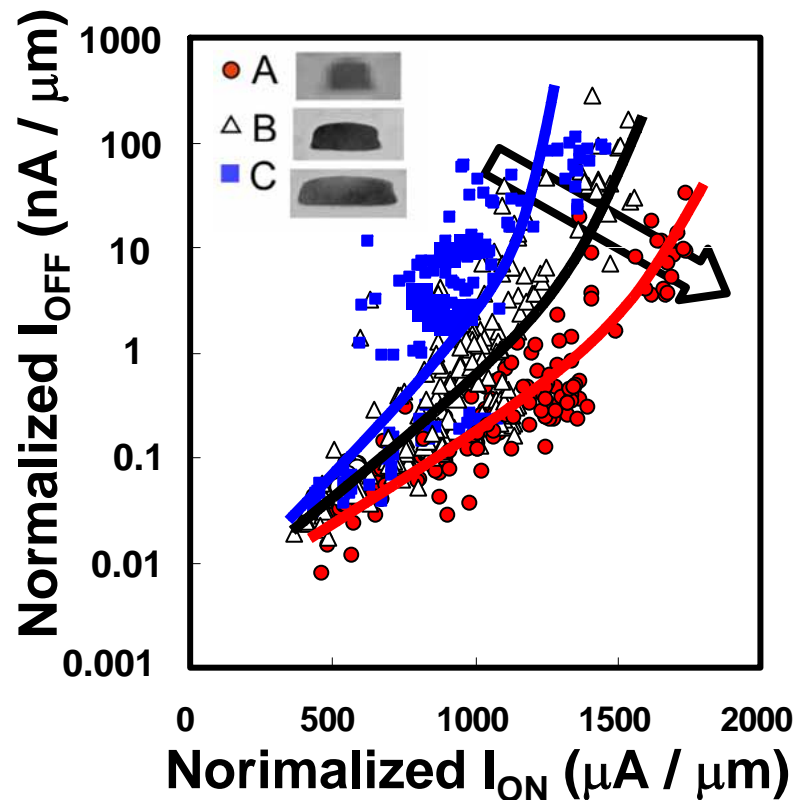
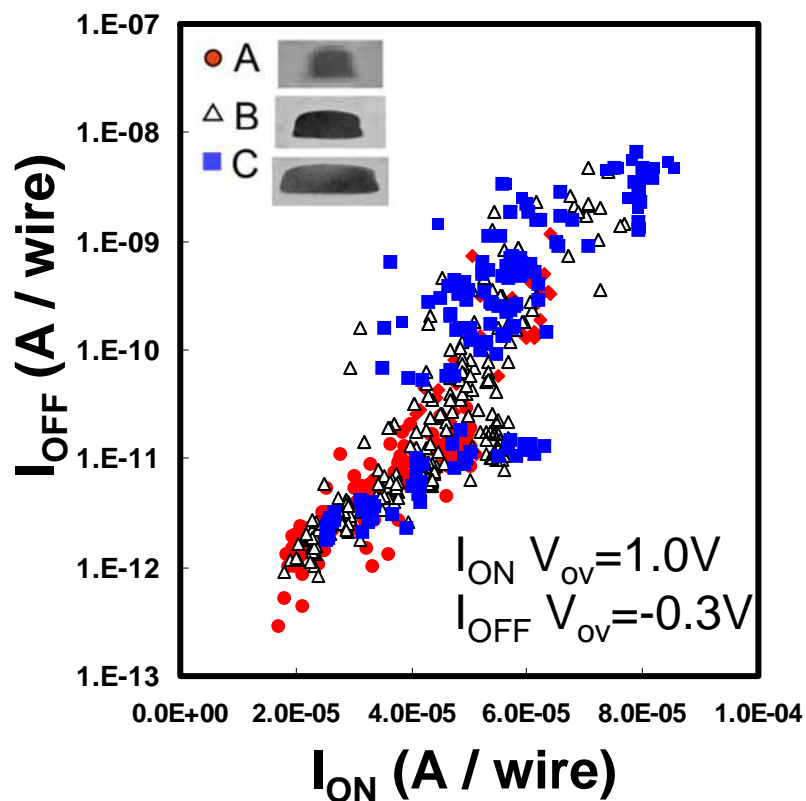
12 × 19nm²のSiナノワイヤー一本あたり60 μA を達成
(但し、 $L_g = 65\text{nm}$, $T_{ox} = 3\text{nm}$)

SiナノワイヤFET一本当たりの I_{ON} 比較



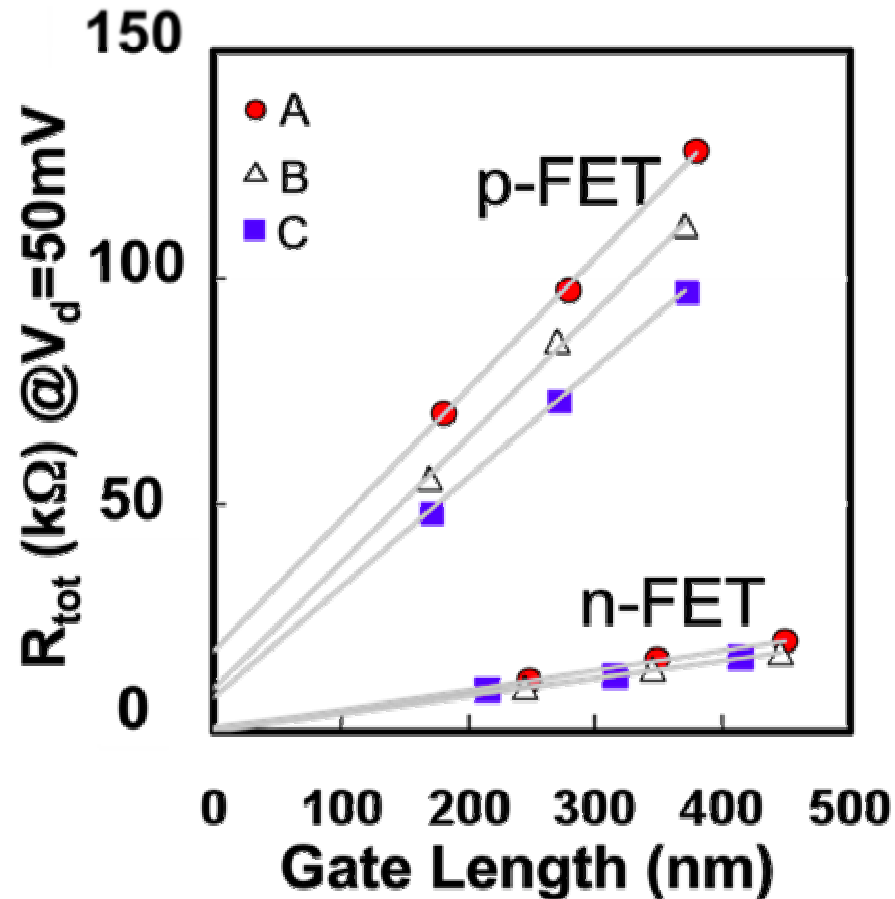
一本当たり $60\mu\text{A}$ は他の報告例と比較しても大きな値

I_{ON}/I_{OFF} 特性の比較



一本当たりの I_{ON}/I_{OFF} に大きな性能の差は見られないが、周囲長で規格化すると断面 $12 \times 19nm^2$ で良好な特性

S/D寄生抵抗の抽出



S/Dのサイドウォールの外を
Niシリサイド化

n-FET 1.5 kΩ

p-FET 12.7kΩ

n-FETは全抵抗の10%
がS/D+コンタクト抵抗

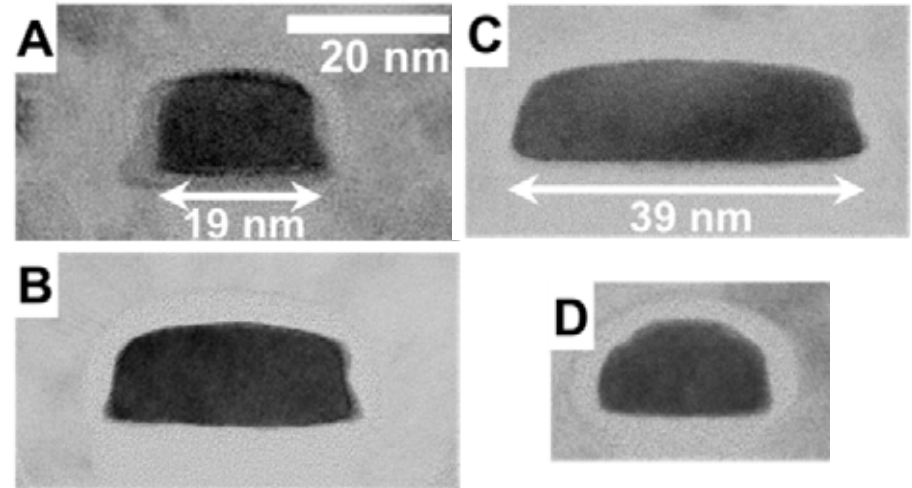
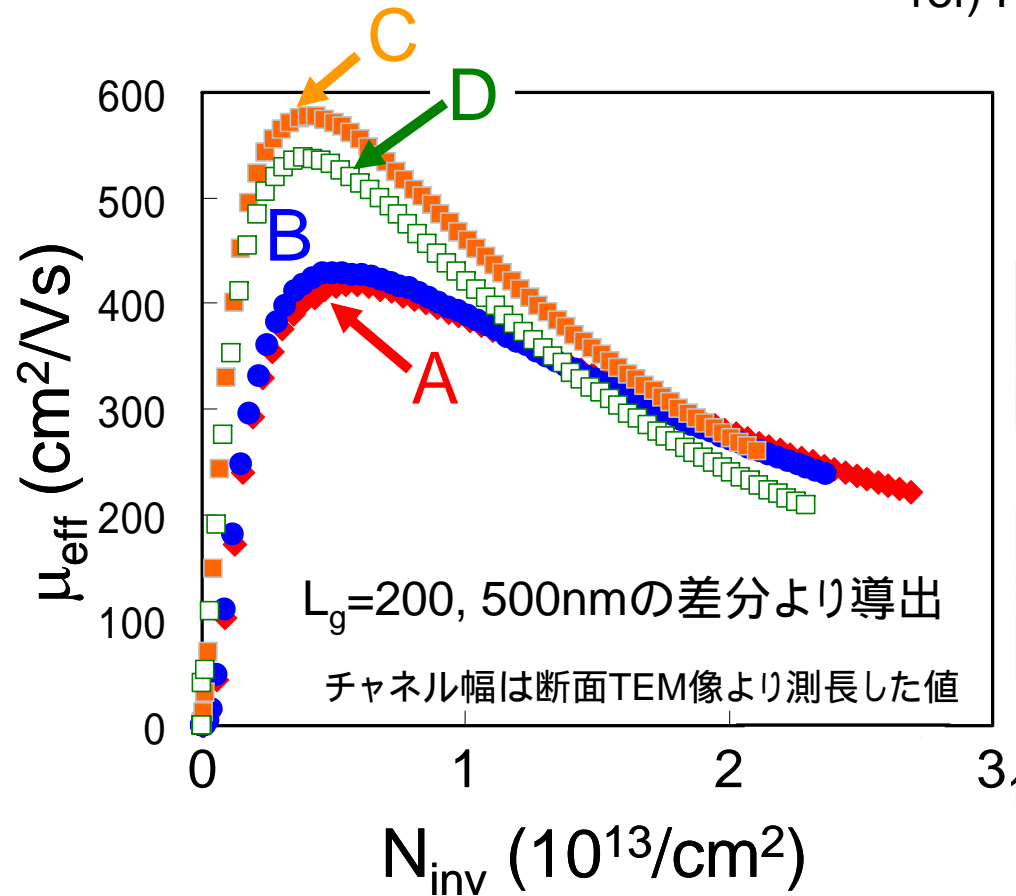
高い I_{ON}

p-FETはプロセスの
最適化が不十分

➡ ゲート長スケールリングでより高い I_{ON} が期待できる

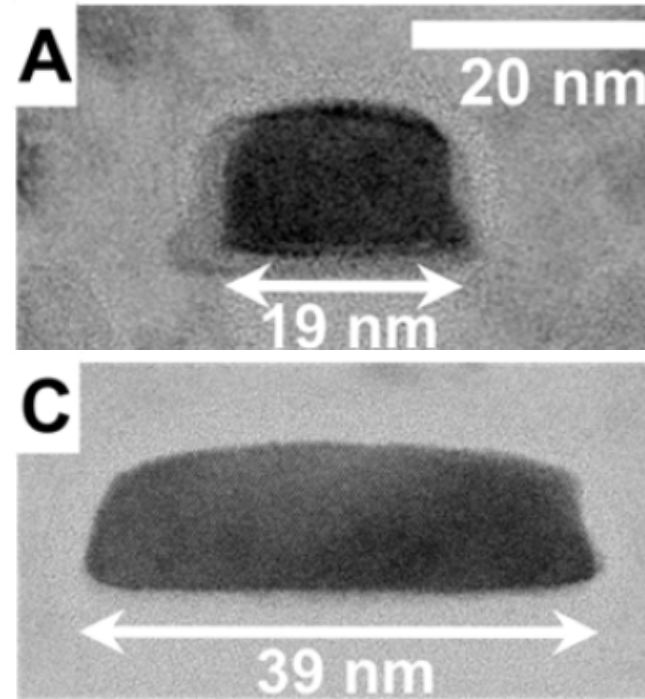
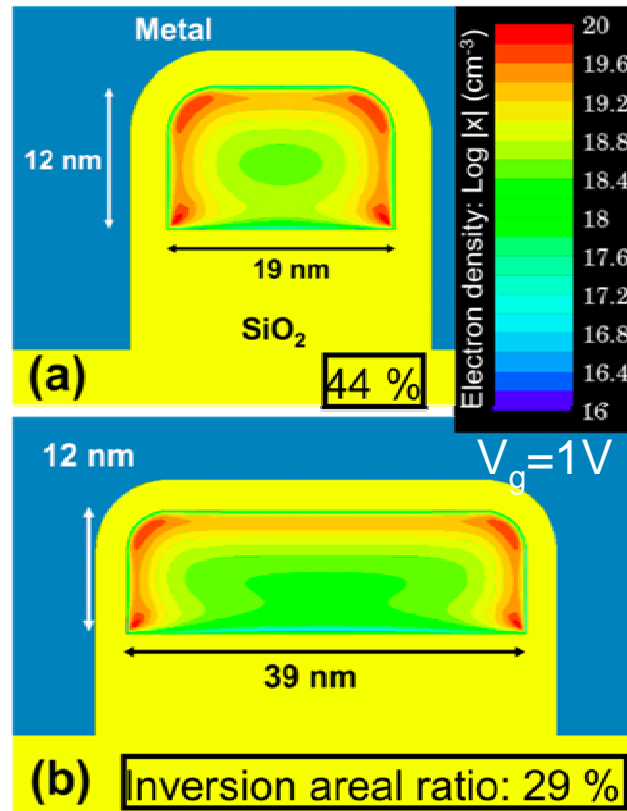
Advanced Split-CV法による実効移動度の抽出

ref) H. Irie, A. Toriumi, SSDM pp. 864, (2005).



低電界領域: 横幅の広いワイヤ形状で高い移動度
高電界領域: 横幅の狭いワイヤ形状で高い移動度

ナノワイヤ断面のキャリア濃度分布

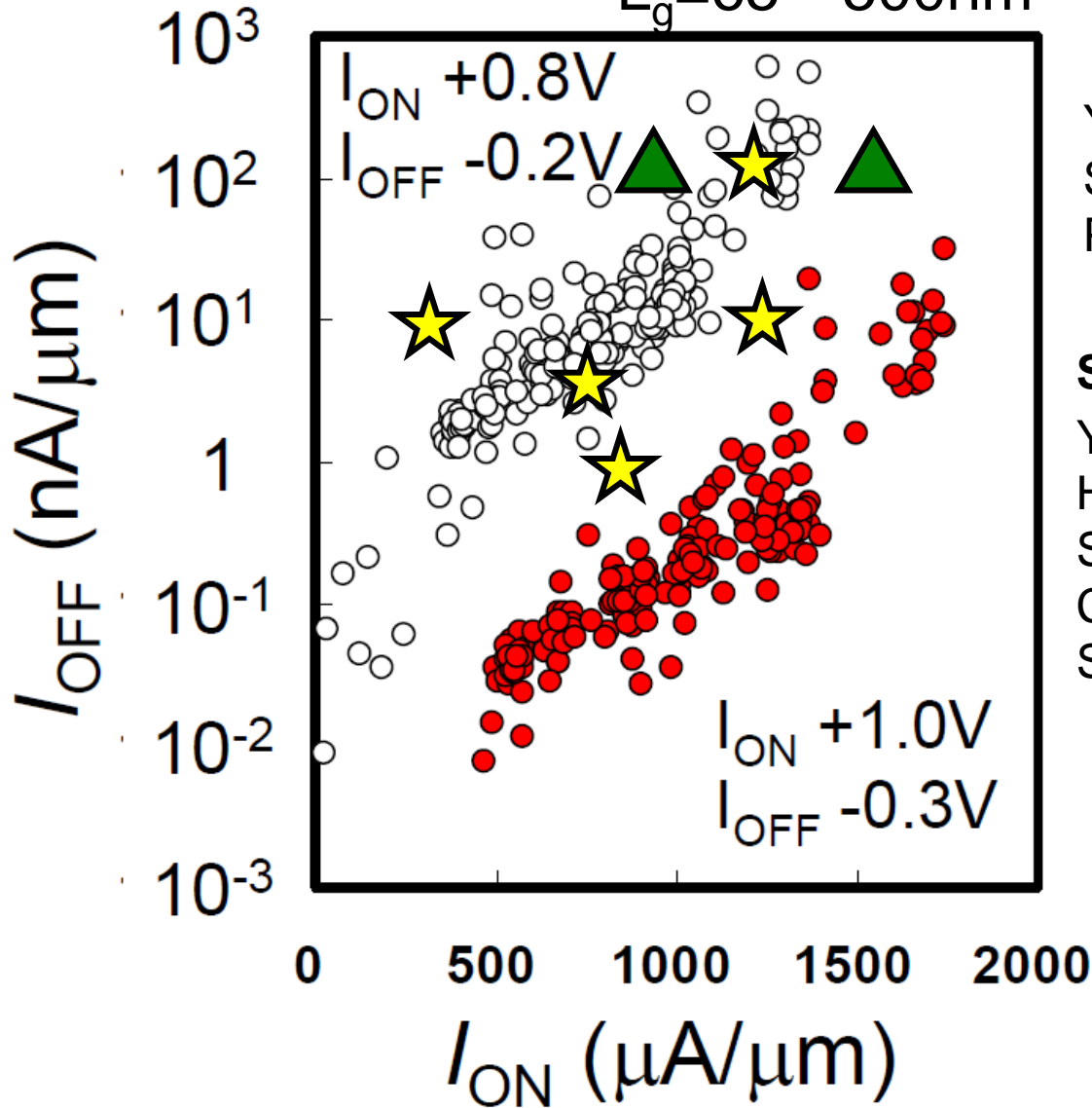


MLDA法 2次元計算

カドの部分で高い電子濃度となる
ワイヤ幅が小さいほどチャンネル面積比が高い

断面 $12 \times 19\text{nm}^2$ のSiナノワイヤトランジスタ のベンチマーク

$L_g = 65 \sim 500\text{nm}$



Planer FET  1.0 ~ 1.1V

Y. Liu, VLSI 2007, p.44.

S. Kamiyama, IEDM 2009, p. 431

P. Packan, IEDM 2009, p.659

SiナノワイヤFET  1.2 ~ 1.3V

Y. Jiang, VLSI 2008, p.34

H.-S. Wong, VLSI 2009, p.92

S. Bangsaruntip, IEDM 2009, p.297

C. Dupre, IEDM 2008, p. 749

S.D.Suk, IEDM 2005, p.735

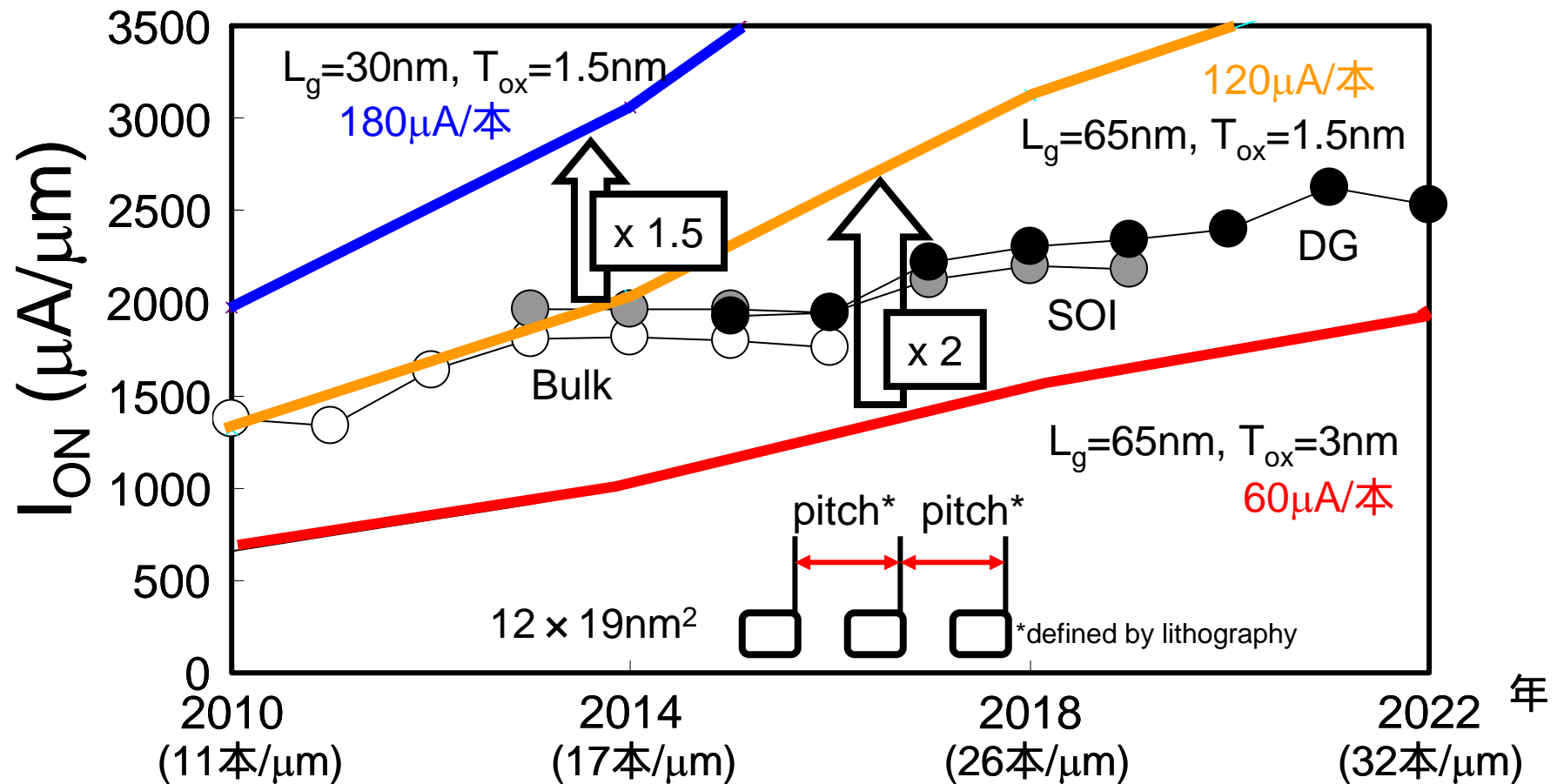
本研究で得られた特性のベンチマーク

SiナノワイヤFET

	This work	Ref [8]	Ref [9]	Ref [10]	Ref [11]	Ref [12]	Ref [13]	Ref [14]
Cross-sectional shape	Rect.	Cir.	Elliptical	Elliptical	Rect.	Cir.	Fin	Tri-Gate
NW Size (nm)	12x19	10	12	13x20	14	10		
Lg (nm)	65	8	65	35	100	30	25	40
EOT or Tox (nm)	3	4	3	1.5	1.8	2		
Vdd (V)	1.0	1.2	1.2	1.0	1.2	1.0	1	1.1
Ion(μA) per wire	60.1	37.4	48.4	43.8	30.3	26.4		
Ion(μA/μm) by footprint	3117	3740	4030	2592	2170	2640		
Ion(μA/μm) by cir.	1609	1191	1283	825	430	841	1296	1400
SS (mV/dec.)	70	75	~75	85	68	71	83	76
DIBL (mV/V)	62	22	40-82	65	15	13	83	89
Ion/Ioff	~1E6	>1E7	>1E7	~2E5	>1E5	~1E6	~3E4	~1E4

注) $V_{ov}=0.8V$, $V_d;0.8V$ 時は $I_{on};1500\mu A/\mu m$

Siナノワイヤ単位ゲート幅当たりのオン電流のロードマップ



$L_g=65\text{nm}$, $T_{ox}=1.5\text{nm}$ で2014年にITRSの要求と同等デバイススケーリングで更なる性能向上が期待できる

ここまでのまとめ

- ・従来プロセスで高いドレイン電流が得られるSiナノワイヤFETの実証を行った。

- ・20nm以下の径では周囲長の規格化で電流が増加

- ・フットプリントを考えるとときは1本あたりの I_{ON} が重要

- ・仮に $L_g=65\text{nm}$, $T_{ox}=3\text{nm}$ で $60\mu\text{A}$ の I_{ON} が得られ、L/Sで22nmの加工で、 $1.3\text{mA}/\mu\text{m}$ の I_{ON} が良好なoff特性の下で得られる。

$L_g=65\text{nm}$ $T_{ox}=3\text{nm}$ からのデバイススケーリング+High-k、ブースター技術の併用でさらに大電流が期待できる。

ナノワイヤー・プロセスロードマップ上の課題

1) ナノワイヤーの制御性 どの時代においてもリソグラフィーの限界を使うとすれば、ダンベル構造では限界がある

ナノワイヤーの直接コンタクト技術の研究

2) SDの更なる低抵抗化 シリサイドプロセスの最適化

3) p-MOSの低抵抗SDの形成

4) V_{th} 制御

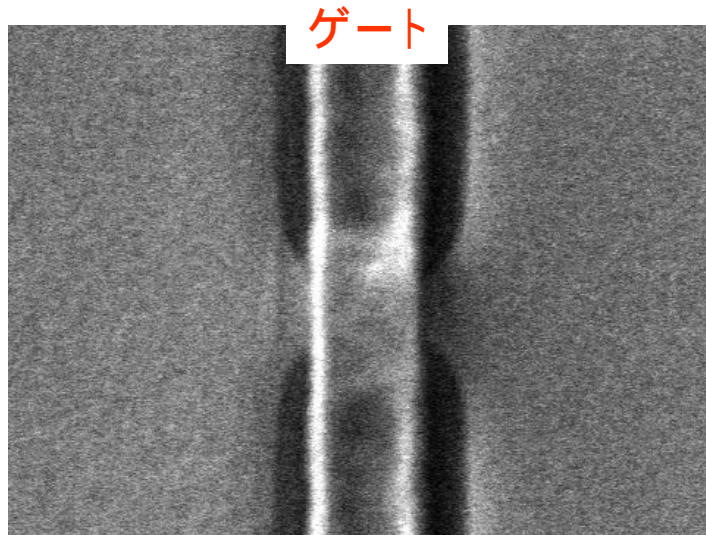
5) ウエハーコストの低減 SOIからバルクSiへ

6) ナノワイヤートランジスタの物理の確立

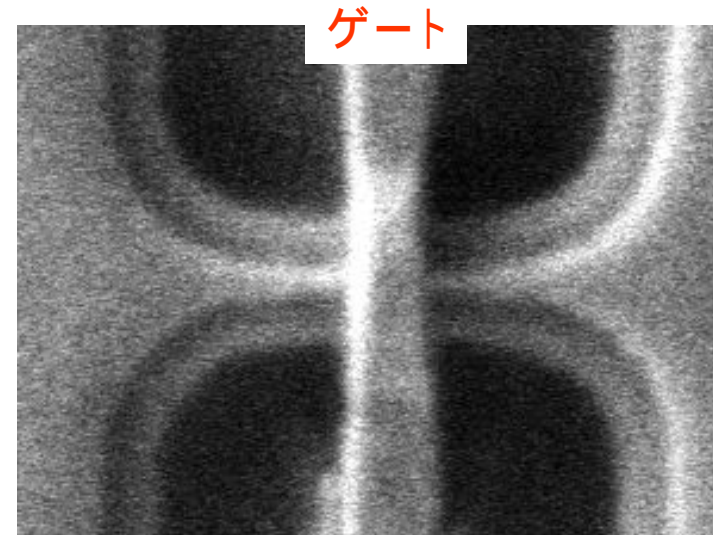
なぜ、大きな電流が得られるのか？

本日は赤字のみ

ナノワイヤ長さによる ナノワイヤ径の制御の難しさ

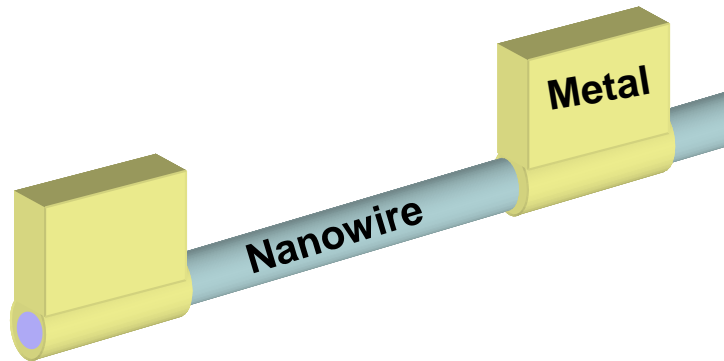


SiNW with large S/D
リソグラフィーで太くなる

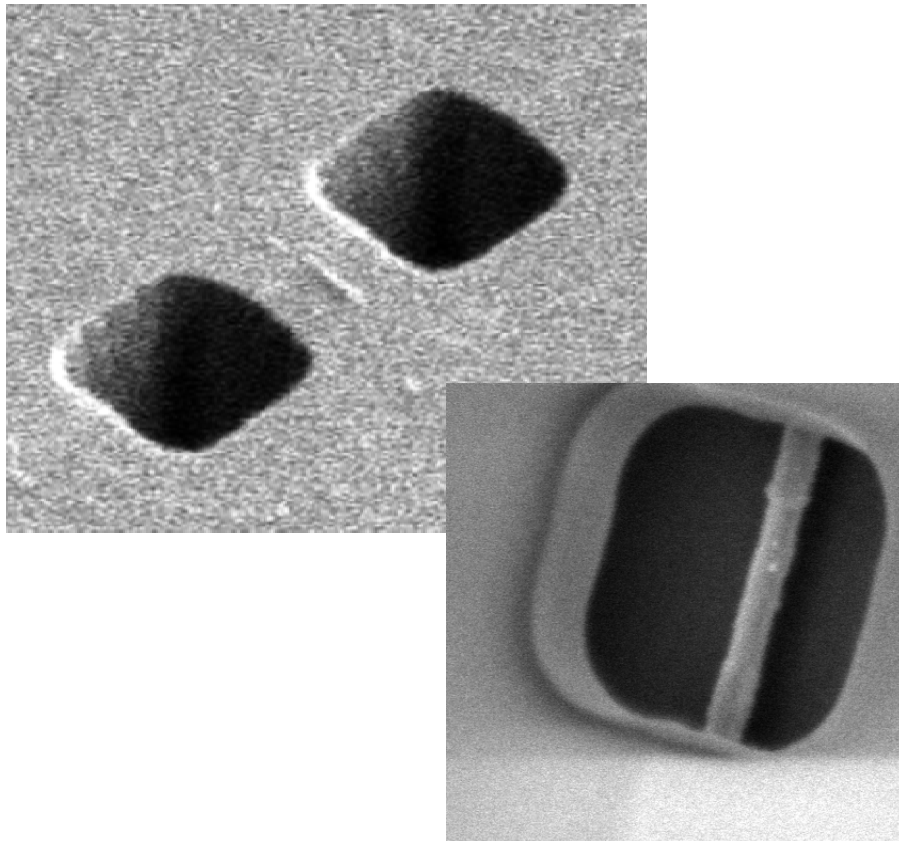


SiNW with NW S/D
細くなるが、抵抗が高まる懸念

Siナノワイヤに直接コンタクトをとるプロセス



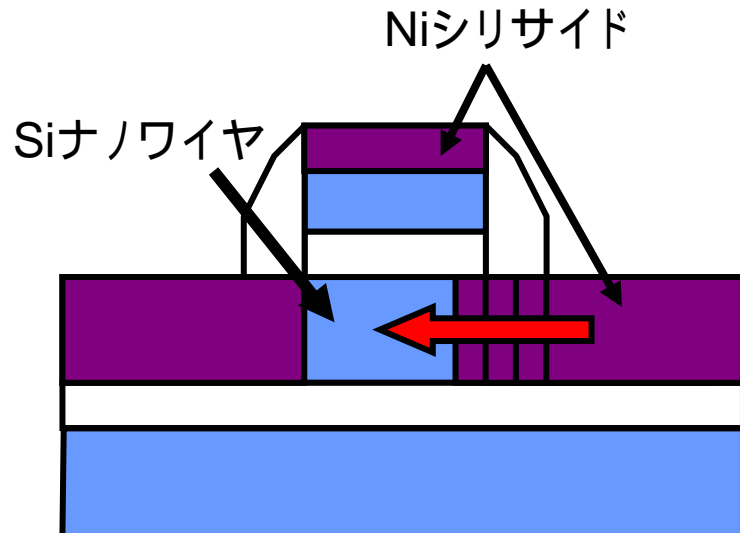
ナノワイヤー径の制御性を上げるため、直接それを握るコンタクト技術の研究



曲がった界面による仕事関数、コンタクト抵抗に対する実測と物理的理解

単ナノワイヤーでのフットプリントの縮小が可能 SRAMなど

SiナノワイヤへのNiシリサイド形成

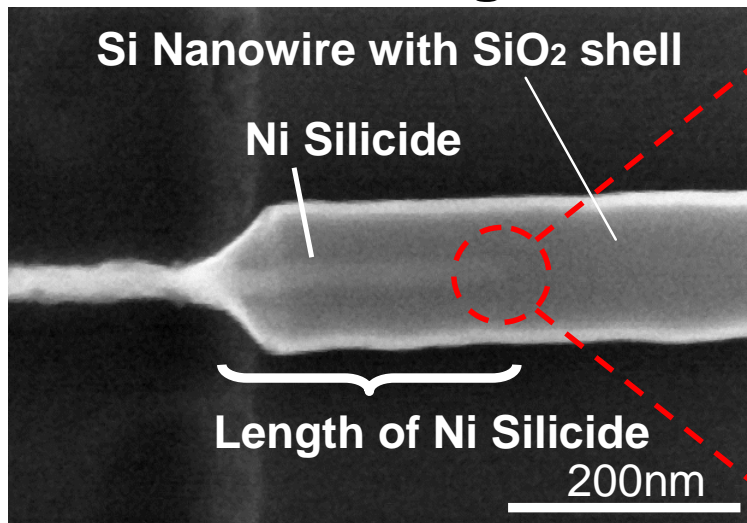


考えられる問題

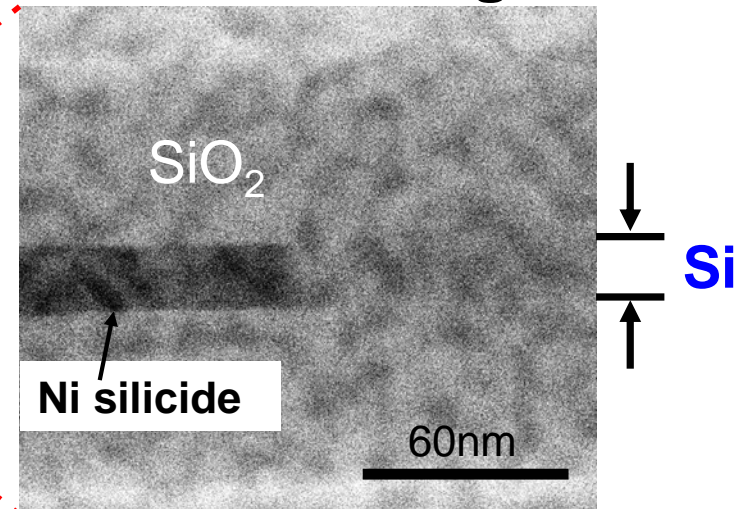
- ◆寄生容量の増大
- ◆ソース・ドレイン間の短絡
- ◆実効ゲート長の制御性低下

NiSiのチャネル内への進入

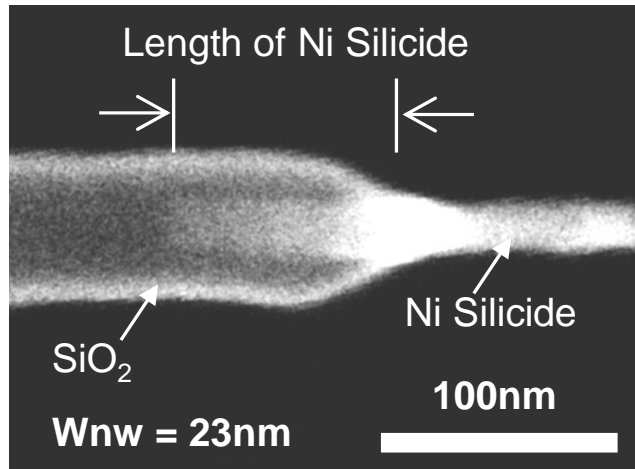
SEM image



Plan-TEM image

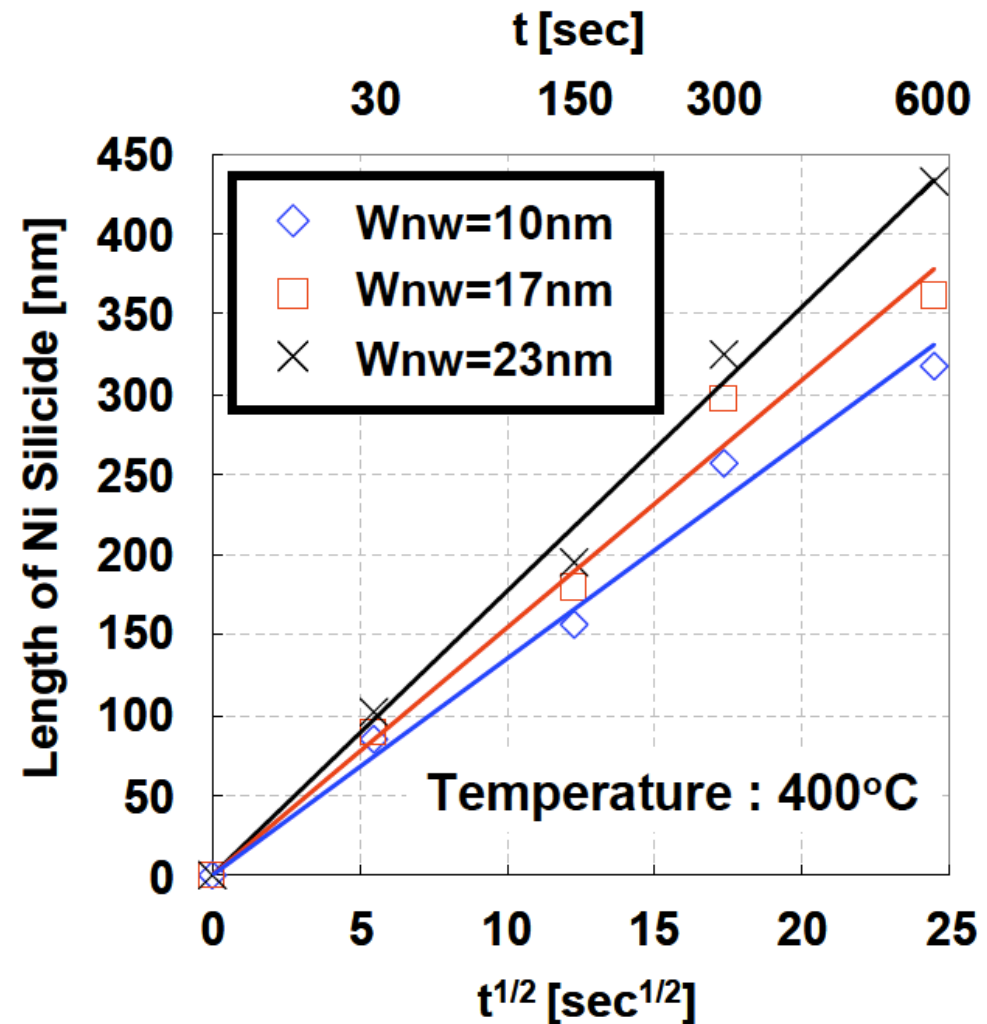


SiナノワイヤへのNiシリサイド形成の熱処理時間依存性

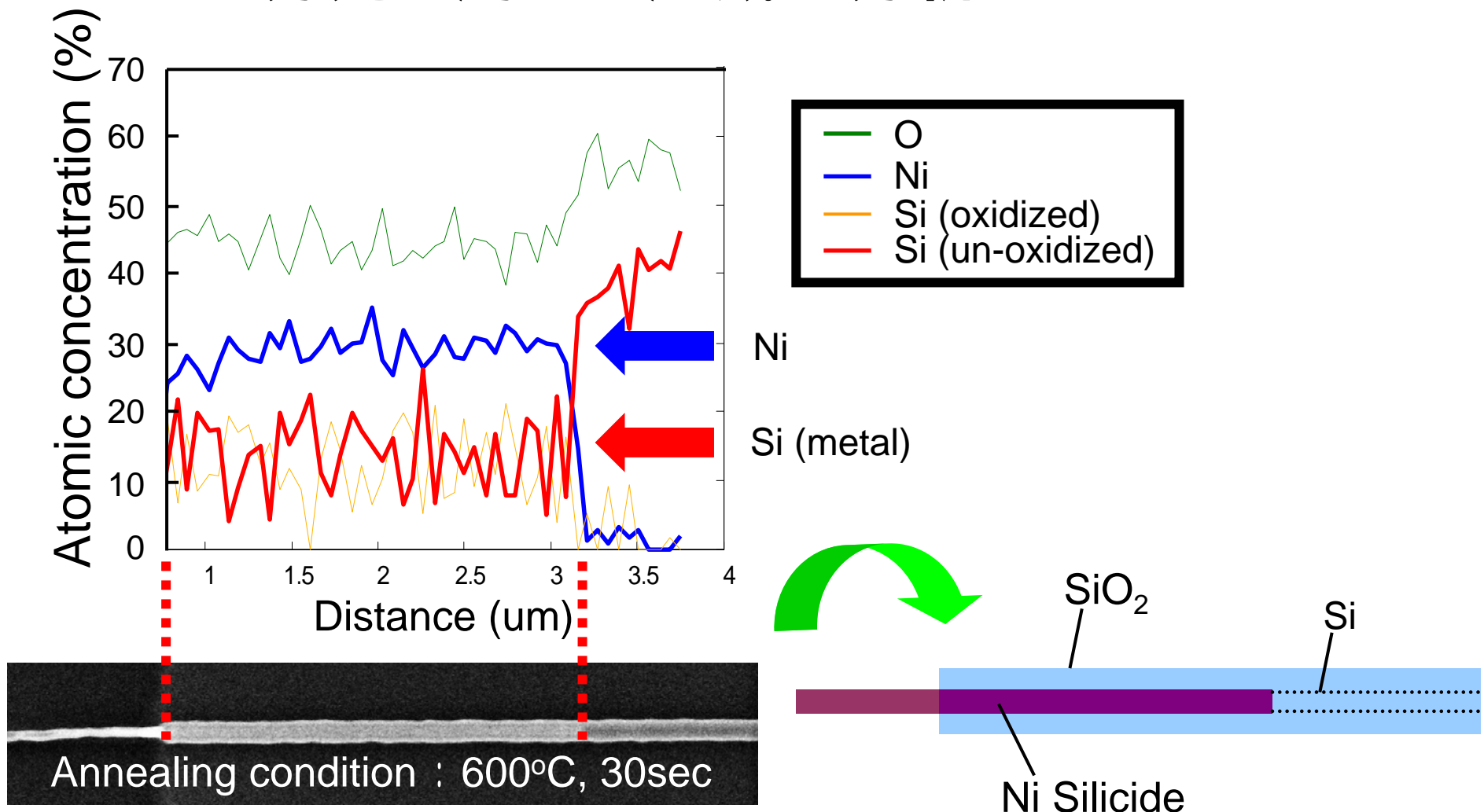


W_{nw} [nm]	10	17	23
E_a [eV]	1.48	1.52	1.60

NiSi=1.4eV K. N. Tu, W. K. Chu, J. W. Mayer,
 Ni₂Si=1.5eV *Thin Solid Film*, 25, pp. 403-413 (1975).



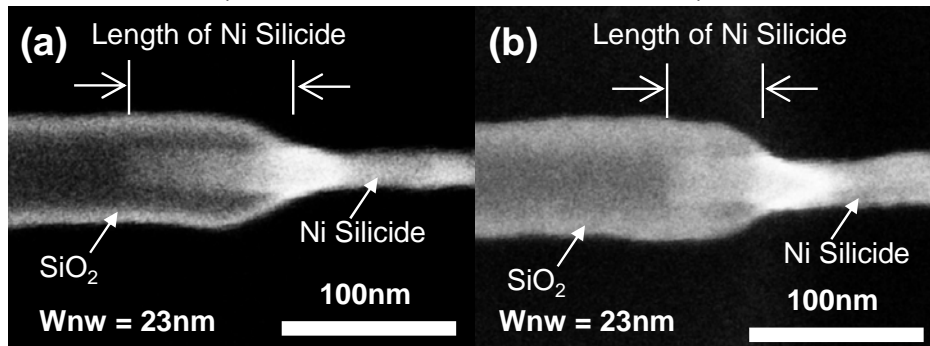
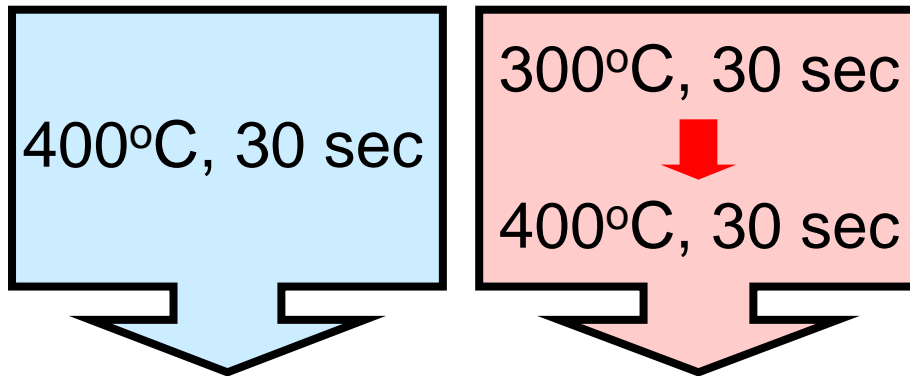
オージェ分光を用いた組成の分析



Uniform formation of Ni₂Si was confirmed by AES.
With high temperature (600 °C) annealing, Ni rich phase was formed for the silicidation of Si nanowire.

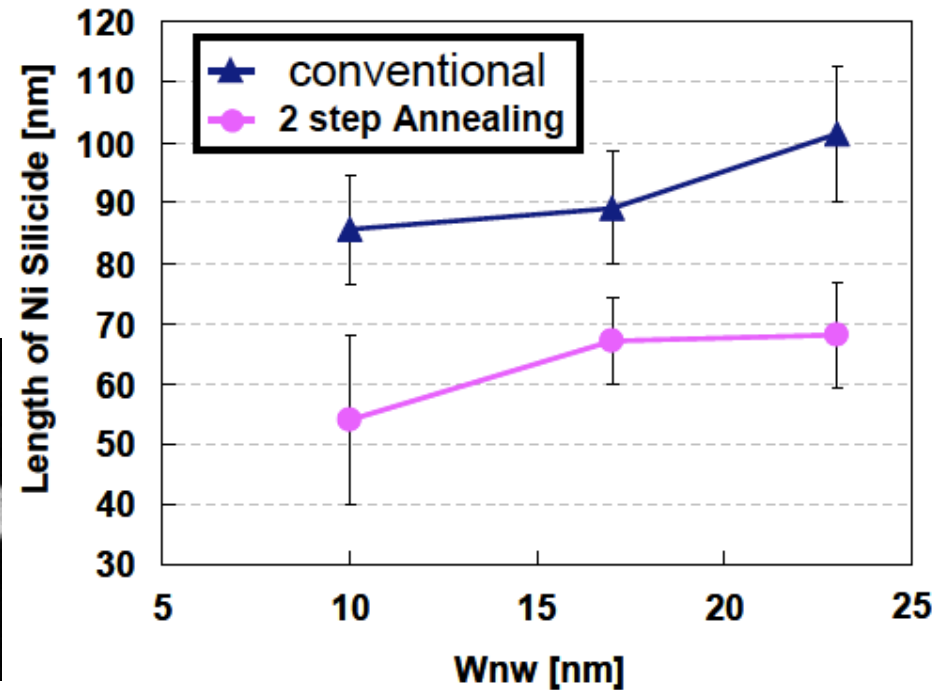
2-step annealing法によるNiシリサイド過剰形成の抑制

Annealing condition



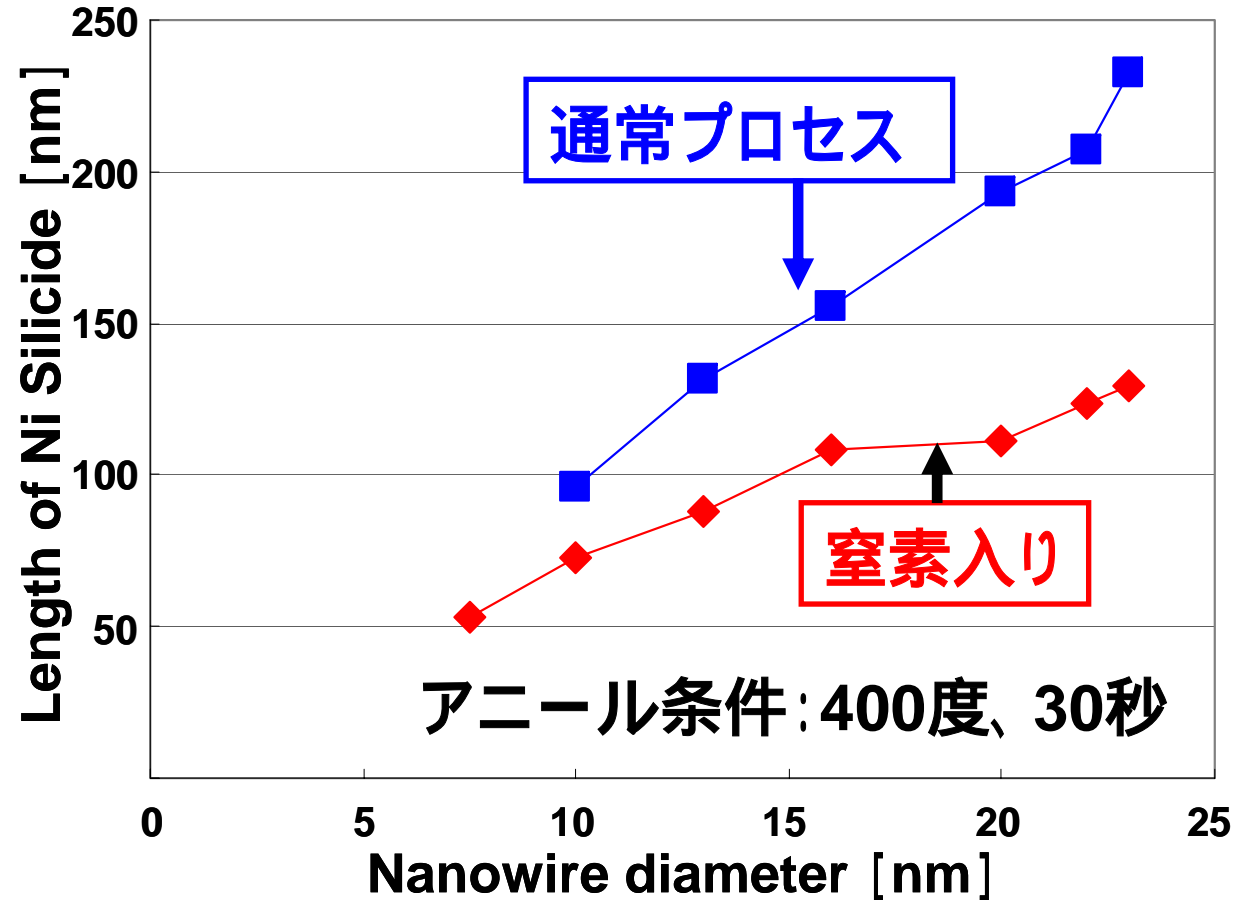
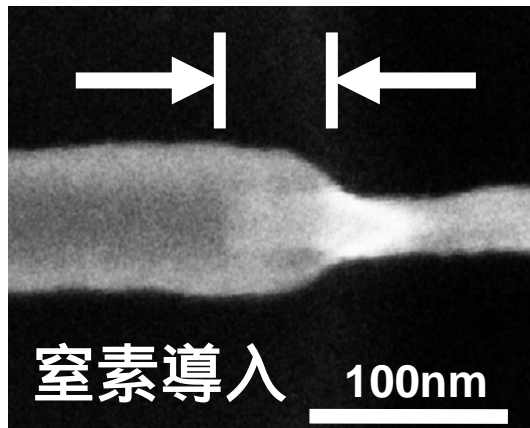
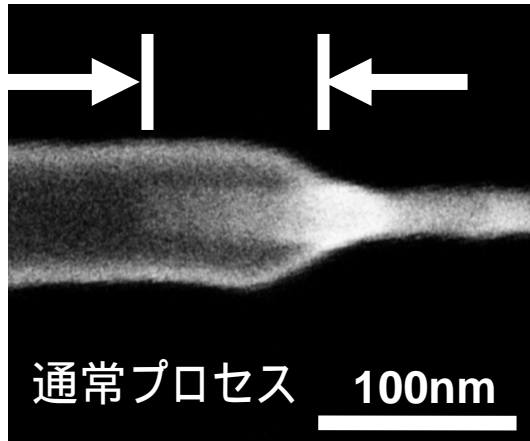
conventional process

2 step annealing process



2-step annealing法によりNiシリサイド形成の長さを半分にする事ができる

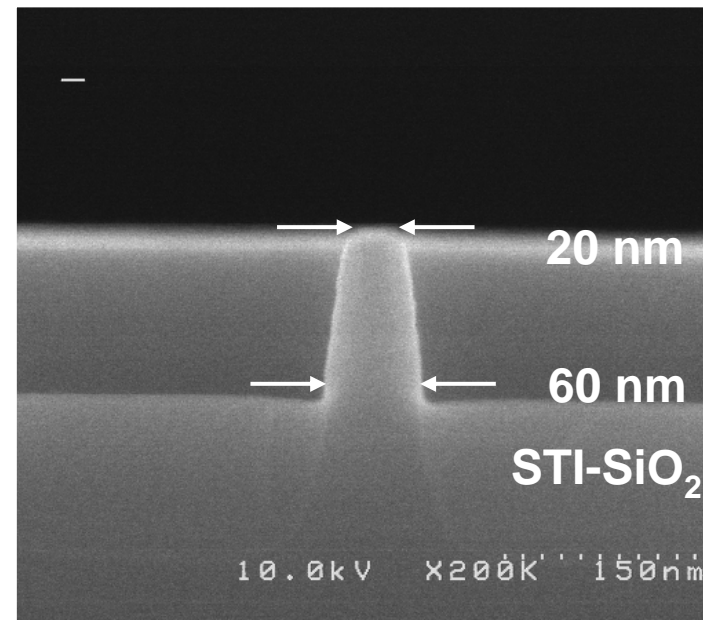
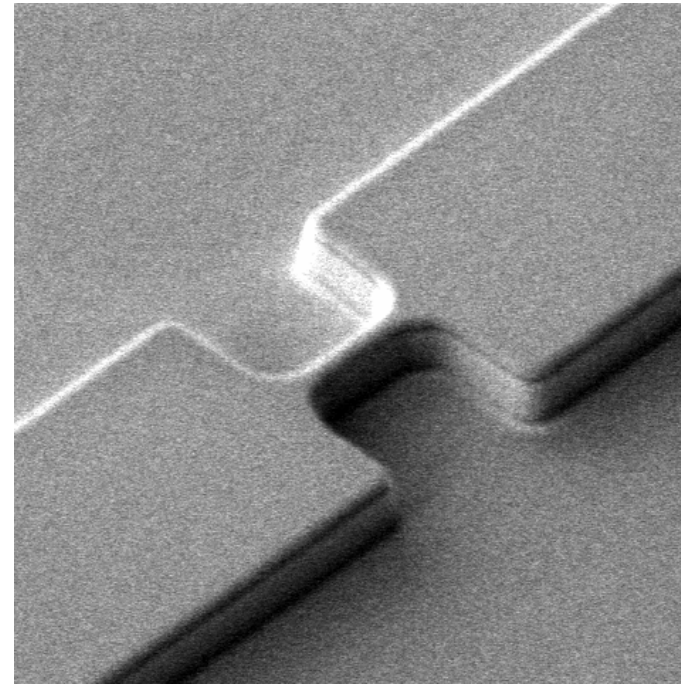
窒素の導入によるNiシリサイドの長さへの効果



窒素を導入したNiを用いることでシリサイド長さを半分程度に抑制

我々の提案する、下支えナノワイヤープロセスでは、必ずしもSOIは必要ではない？

- SiN HM (80 nm) 堆積
- STI Etching
- HDP-SiO₂ 堆積
- CMP
- STI-SiO₂ Wetエッチング
- 犠牲酸化(800°C Wet 10, 20, 40 nm)
- 熱リン酸処理
- チャネルイオン注入
- 犠牲酸化膜剥離(Wet)
- ゲート酸化 (3nm)
- CVD-PolySi堆積
- ゲートリソ・エッチング
- SideWall形成
- S/D イオン注入
- 熱活性化 (1000°C 5 sec)
- 層間膜堆積
- コンタクトエッチング





早稲田大学

謝辞

本研究は、NEDOプロジェクトのご支援を頂きました。また、研究に当たりご助言・ご協力頂きました、Selete第一研究部、あすかIIラインの皆様には感謝致します。