

応用物理学会シンポジウム

# 「2020～30年代のナノエレクトロニクス デバイスの本命を考える」

---

イントロダクトリートーク:

## SiナノワイヤFETとIII-V/GeチャネルFET 技術開発の重要性

金山敏彦(産総研)・平本俊郎(東大)・岩井洋(東工大)

於:東海大学相模校舎 2010年3月19日

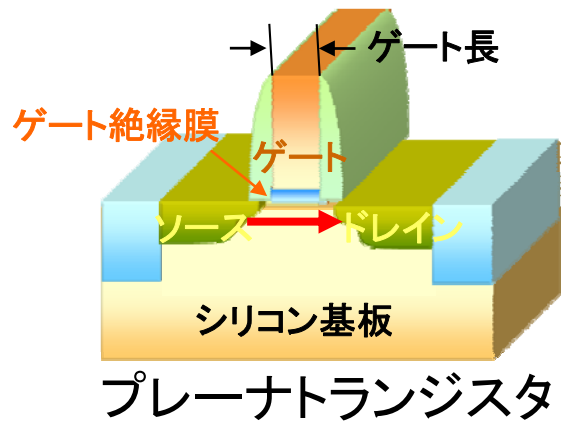
# CMOS微細化の限界は？

45nm, 35nm, 22nm, 16nm, 11nm,  
8nm, 5.5 nm?

少なくとも11～8nmあたりまでは微細化  
が続くであろう。

その時のデバイスはどのようなものか？

# 持続するトランジスタの微細化



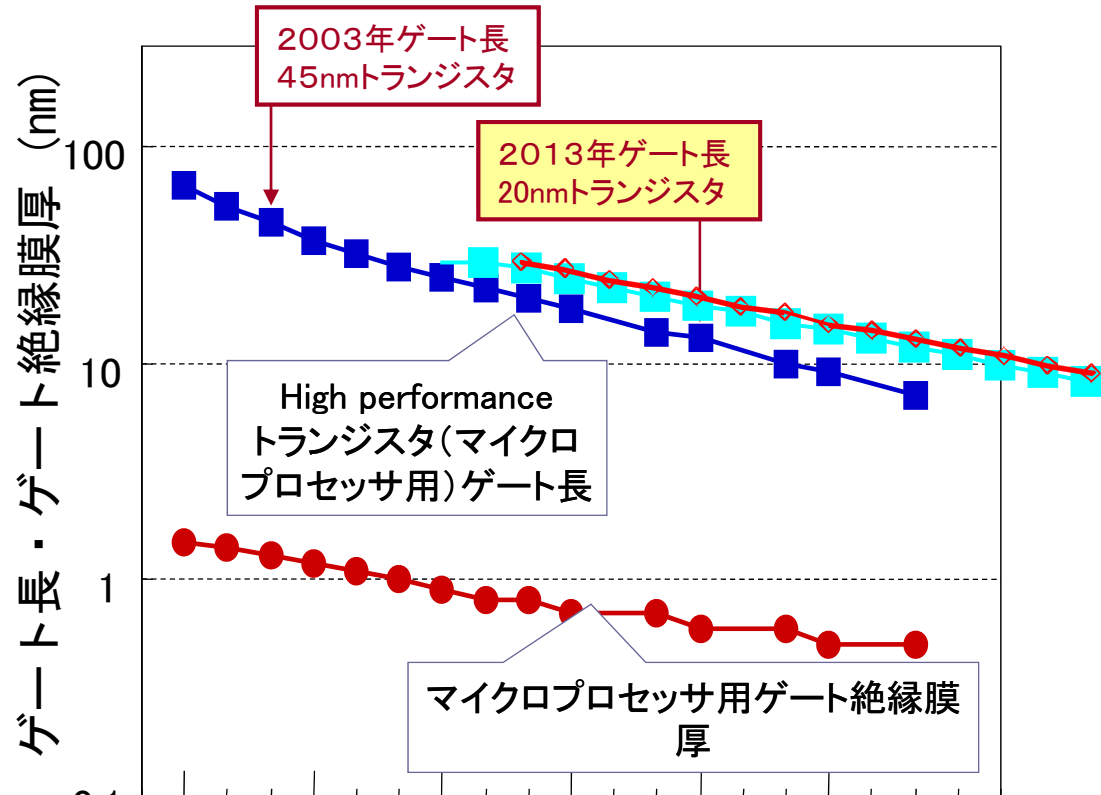
プレーナトランジスタ

Scaling

2005年 ITRS(国際半導体技術ロードマップ)

2008年 ITRS(国際半導体技術ロードマップ)

2009年 ITRS(国際半導体技術ロードマップ)

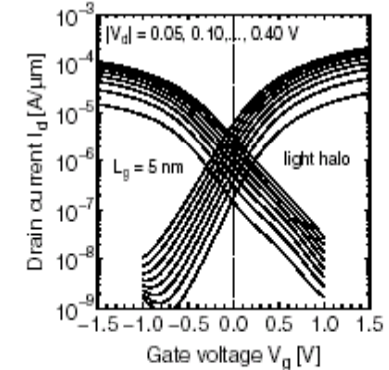
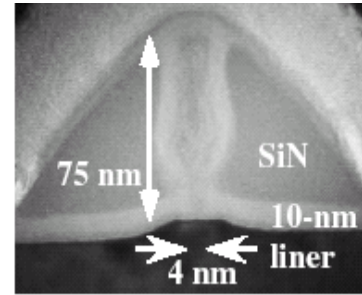
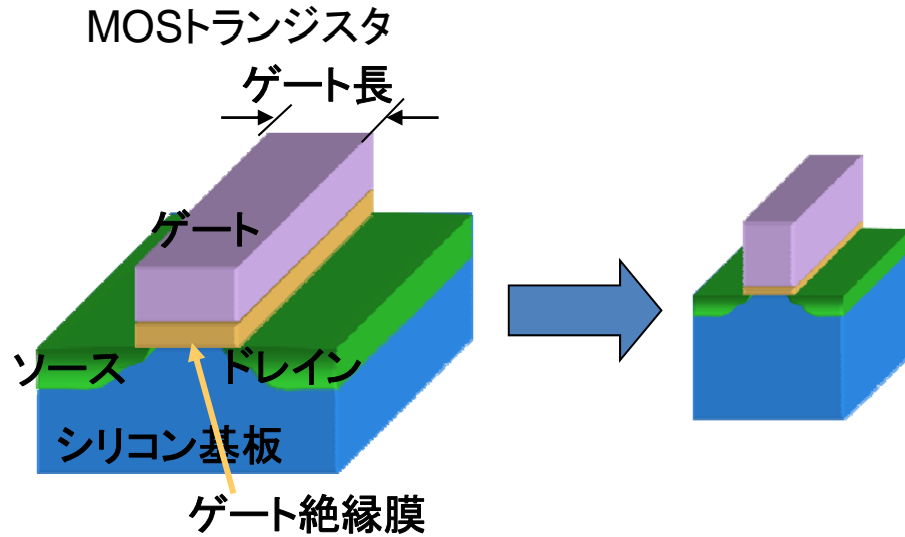


量産開始年	2001	2004	2007	2010	2013	2016	2020
技術世代(nm)	90	65	45	32	22	16	11
hp (nm)	130	90	65	45	32	22	14

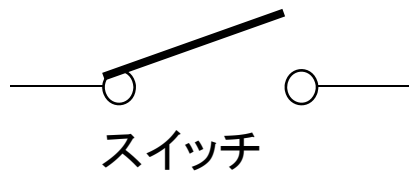
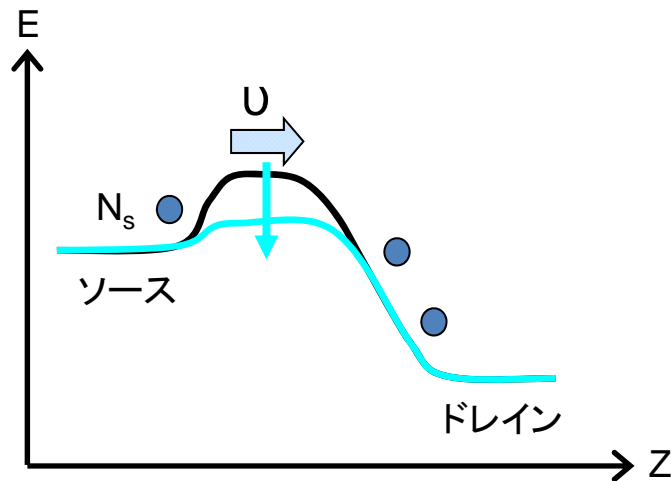
# その時のデバイスはどのようなものか？

一昔前まではいわゆるBeyond CMOS技術に置き換わるという意見もあったが、現在はシリコンCMOSが続行するであろうというのが主な見方

# CMOSを構成するトランジスタの要件



ゲート長 5 nmのMOSTトランジスタ  
Wakabayashi et al., Tech. Dig. IEDM (2003)



**性能指標**

- ・ $I_{on}/I_{off}$
- ・しきい値電圧制御  $V_{th}$

ドレイン電流:  $I_{on}/w = C_o \cdot (V_{dd} - V_{th}) \cdot v$   
 $= C_o \cdot \mu (V_{dd} - V_{th})^2 / 2L_g$   
 $\rightarrow C_o \cdot (V_{dd} - V_{th}) \cdot v_{sat}$

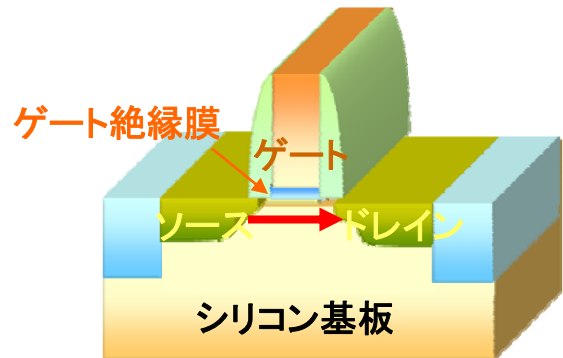
ゲート酸化膜容量 (面積あたり):  $C_o = \epsilon / T_{ox}$

中でも最も有望視されているのが、Fin FETの延長であるSi nanowire FET

- ・現在のSiCMOSプロセスが利用できる
- ・オフ電流の抑制が可能
- ・オン電流が大きい

III-V/Ge channel FETもその高い移動度から関心を集めている

ゲート電極の静電支配力向上による  
 $I_{off}$ としきい値バラツキの低減



プレーナトランジスタ



しきい値電圧ばらつき  
の主要因である  
基板不純物の除去

材料	Si	InAs	Ge
電子移動度 ( $\text{cm}^2/\text{Vs}$ )	1,600	40,000	3,900
正孔移動度 ( $\text{cm}^2/\text{Vs}$ )	430	500	1,900

高移動度チャネル材料による  
電流駆動力の向上

$d_c < L_g/3$   
= 3 nm

FDSOI

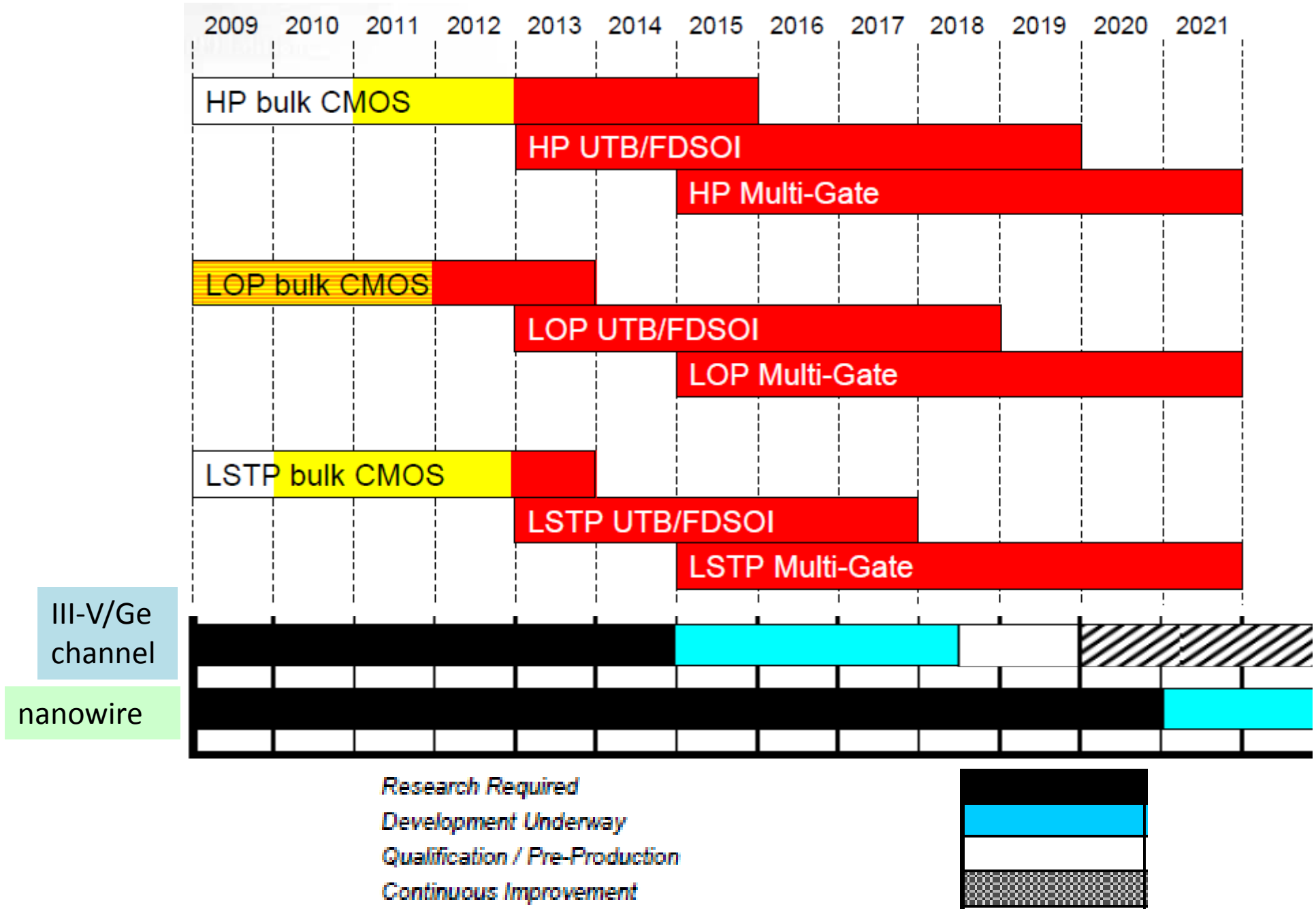
$d_c < 2L_g/3$   
= 6 nm

ダブルゲート (Fin型) FET

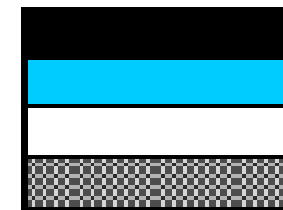
$d_c < L_g \sim 2L_g$   
= 9 ~ 18 nm

ナノワイヤトランジスタ

# ITRS2009



*Research Required*  
*Development Underway*  
*Qualification / Pre-Production*  
*Continuous Improvement*





但し、まだ解決すべき課題は多い

最適な材料・ひずみ・構造の選択、  
S/D・ゲートスタック材料界面の制御、  
寄生抵抗・容量の低減

CMOSインテグレーション、作製プロセス  
ばらつきの低減・除去、信頼性の確保  
特性の予測・制御、デバイス設計 .....

本シンポジウムではSi nanowire FETと  
III-V/Ge channel FETの最近の研究結果を報  
告し、2020～30年代のナノエレクトロニクス  
デバイスの本命を考えることを目的とする。