

酸化膜中の Si ナノワイヤへの Ni 拡散の制御

Suppression of Ni Atom Diffusion into Oxide-Supported Si Nanowire

東工大フロンティア研¹, 東工大総理工² ° 茂森直登¹, 新井英朗¹, 佐藤創志¹, 角嶋邦之²,
 パールハット アヘメト², 西山彰², 筒井一生², 杉井信之², 名取研二¹, 服部健雄¹, 岩井洋¹

Tokyo Tech. FRC¹, IGSSE² ° N. Shigemori¹, H. Arai¹, S. Sato¹, K. Kakushima², P. Ahmet¹,
 A. Nishiyama², K. Tsutsui², N. Sugii², K. Natori¹, T. Hattori¹, H. Iwai¹.

E-mail: shigemori.n.aa@m.titech.ajp

はじめに: Si MOSFET の低抵抗化を実現するためにソース/ドレイン領域に Ni シリサイドを形成するプロセスが行われている[1]。Si ナノワイヤ FET でも Ni シリサイドによる高性能化は有効であり、高い駆動電流を得る報告もなされている[2]。Si ナノワイヤへの Ni シリサイド化における課題として、ワイヤ径に依存した Ni の拡散が挙げられ、小さい径ほど拡散が顕著となる。そこで、本研究では Ni 原子の拡散を抑制する方法として、Ni 成膜時に Ar/N₂ 混合ガス雰囲気を用いることで検討を行ったので報告する。

実験: SOI 層 30nm の基板に Fin 構造をリソグラフィと Dry エッチングでパターンニングした。パターンニングした Fin 構造に乾燥酸素雰囲気中 1000 °C, 45 min で熱酸化を行いワイヤ径 10~30 nm 程度の Si ナノワイヤを形成し、シリサイド化を行う部分をバッファード HF により Si ナノワイヤの酸化膜の一部を剥離した。その後、スパッタリングを用いて Ni を堆積し RTA (Rapid Thermal Anneal) にてシリサイド化を行った。この際、Ar に N₂ を混合したガス雰囲気中 Ni を形成した。未反応 Ni 除去後、形成された Si ナノワイヤ中に形成された Ni シリサイドの長さを SEM で測長を行った。

結果: Fig. 1 に作製した Si ナノワイヤへの Ni シリサイド化の一例を示した。Ni 成膜時に窒素を混合するプロセスにより Si ナノワイヤ中に形成される Ni シリサイドの長さが抑制できることがわかった(Fig. 2)。

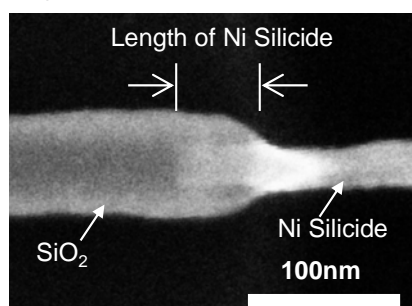


Fig. 1 An SEM image of Ni silicide formed at Si nanowire.

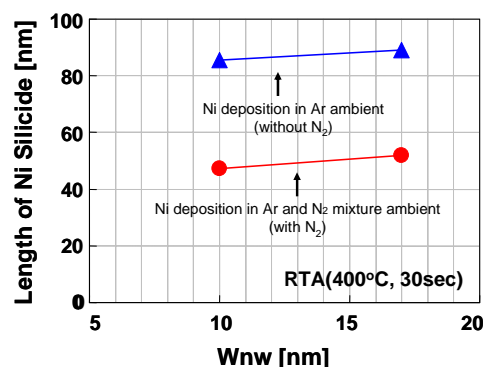


Fig.2 Length of Ni silicide formed at Si nanowire.

謝辞: 本研究で用いたサンプルの一部は(株)半導体先端テクノロジーズで作製された。本研究は NEDO の支援で行われている。

[1] H. Iwai, T. Ohguro and S. Ohmi, Microelectron. Eng. **60** (2002) 157 [2] Wong, H.-S et al., VLSI Symp., pp. 92 (2009) [3] M. Shinji et al., SSDM., pp. 686 (2008) [4] 茂森直登 2009 年秋季 第 70 回応用物理学関係連合講演会 11a-TH-3