

Si ナノワイヤトランジスタの電気特性の断面形状依存性

Electrical characteristics of Si nanowire FETs with various cross-sectional sizes

東工大フロンティア研¹, 東工大院総理工², 早大ナノ理工学研究機構³○ 佐藤 創志¹, 新井 英明¹, 角嶋 邦之², Parhat Ahmet¹, 大毛利 健治³,名取 研二¹, 岩井 洋¹, 山田 啓作³Tokyo Tech. FRC.¹, Tokyo Tech. IGSSE.², Waseda Univ. NTRL.³°Soshi Sato¹, Hideaki Arai¹, Kuniyuki Kakushima², Parhat Ahmet¹, Kenji Ohmori³,Kenji Natori¹, Hiroshi Iwai¹ and Keisaku Yamada³

E-mail: sato@iwaitlab.ep.titech.ac.jp

【はじめに】 Si MOSFET 発展の駆動力である微細化が進むにつれ、プレーナ型デバイスでは短チャネル効果抑制が困難になりつつある。このため、チャネルに対する電氣的制御性のより強いマルチゲート型トランジスタの導入が検討されている。中でもナノワイヤ型トランジスタはチャネルポテンシャルの制御性が最も大きいため、ゲート長スケージングの極限におけるデバイス構造として有望な候補である。ナノワイヤ型トランジスタはチャネルを横に並列に配置する構造が想定されるため、単位幅当たりのオン電流を大きくするためには、チャネル断面寸法を最適化する必要がある。このため I_{ON} の断面寸法依存性の調査・分析を行う必要がある。

【研究目的】 チャネル断面寸法が異なるナノワイヤ型トランジスタの試作を行い、その電気特性の断面寸法依存性を調査する。

【実験方法】 現行の CMOS プロセス生産ラインにおいて、直径 300mm の SOI ウェハを用いて作製した。ソース・ドレインが一体となった Fin 構造を、SOI 層初期膜厚を 28 nm, 40 nm, 45 nm、Fin 幅を 55, 65, 75 nm として作製した。乾燥酸素雰囲気中 1000°C で 60 分間犠牲酸化を行った後、フッ酸により犠牲酸化膜を 10 nm 剥離し、ナノワイヤチャネルと BOX 層の段差を緩和するために、シリコン窒化膜サイドウォールを形成した[1]。その後ナノワイヤチャネルの頭を露出させ、ゲート絶縁膜成膜とポリシリコン電極堆積を行った。CMOS プロセスと同様にゲートエッチング、サイドウォール形成とイオン注入・活性化アニールを行い、Ni サリサイドプロセスを行った。

【実験結果】 図 1 に、チャネルが<110>方向の nMOSFET の測定で得られた I_{ON} の値を示す。断面形状が $20 \times 10 \text{ nm}^2$ の縦長長方形のとき、最も大きい周囲長規格化電流密度 $883 \mu\text{A}/\mu\text{m}$ @ $V_g - V_{th} = 1.0\text{V}$ が得られた。

【謝辞】 本研究に用いたサンプルは、株式会社 半導体先端テクノロジーズ あすか II ライン・第 1 研究部の協力を得て作製された。本研究は NEDO の支援により行われた。

【参考文献】 [1] S. Sato et. al., Proc. of the European Solid State Device Research Conference, 249-252 (2009).

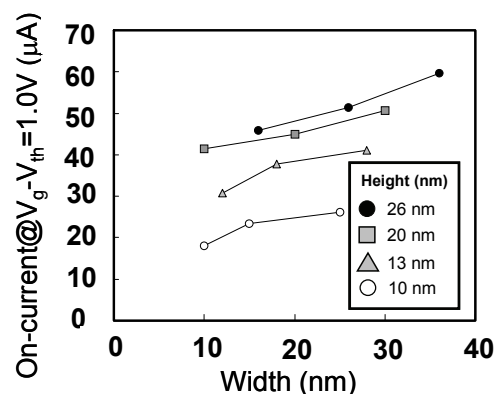


図 1 <110>方向 nMOS のオン電流