

EOT=0.5nm に向けた TaSi₂/La₂O₃/CeO_x ゲートスタック構造の検討Study on TaSi₂/La₂O₃/CeO_x Gate Stack toward EOT=0.5 nm

東工大フロンティア研¹, 東工大総理工², 〇来山大祐¹, 小柳友常¹, 角嶋邦之²,
 パールハット アヘメト¹, 筒井一生², 西山彰², 杉井信之², 名取研二¹, 服部健雄¹, 岩井洋¹
 Tokyo Tech. FRC¹, IGSSE² 〇D. Kitayama¹, T. Koyanagi¹, K. Kakushima²,
 P. Ahmet¹, K. Tsutsui², A. Nishiyama², N. Sugii², K. Natori², T. Hattori¹, H. Iwai¹

E-mail: kitayama.d.aa@m.titech.ac.jp

[はじめに] SiO₂ 界面層を有する high-k ゲートスタックの構造で 0.5nm の酸化膜換算膜厚(EOT)を達成することは困難であり、high-k 膜を直接 Si 基板に接合する技術が求められている。最近では適切な金属ゲート電極を用いることで酸素原子の拡散を制御し、SiO₂ 界面層を有しない Hf 系絶縁膜で 0.6 nm 以下の EOT を達成した報告がある[1]。High-k 膜の直接接合構造を実現する手段として、Si 基板との界面に誘電率の比較的高いシリケート層を容易に形成する La₂O₃ など希土類酸化物を用いることも有効である。ところが La₂O₃ の問題は、熱処理によるシリケートの過剰な形成であり、シリケート層の膜厚が増加して EOT が増加してしまうことである。そこで、本研究ではこの問題の解決策として La₂O₃ 絶縁膜に誘電率の高いシリケート層を形成する CeO_x 膜を Si 基板界面に挿入する方法を試み[2]、さらに電極材料として外部酸素の絶縁膜への供給を阻止できる TaSi₂ を選択した[3]。

[実験] SPM 洗浄後 HF 処理した *n*-Si(100)基板上に電子線蒸着法により膜厚 1 nm の CeO_x 層を堆積後、La₂O₃ 層を膜厚を変化させて堆積し、試料を大気暴露することなく TaSi₂ を RF スパッタ法で堆積した。その後 F.G.(N₂:H₂=97%:3%)雰囲気中で 800°C の熱処理を 2 sec. 行った。最後に裏面電極として Al を蒸着した。得られたキャパシタの C-V 特性を測定し、NCSU の CVC プログラムを用いて EOT を求めた。

[結果] TaSi₂(30nm)/La₂O₃(2.5nm)/CeO_x(1nm)ゲートスタック構造と W(60nm)/La₂O₃(2.5nm)/CeO_x(1nm)ゲートスタック構造のキャパシタの C-V 特性を Fig. 1 に示す。TaSi₂ を電極として用いたキャパシタは W を電極として用いたキャパシタに比べ EOT の増加が抑えられており、EOT=0.43 nm を達成した。しかしヒステリシスが見られるので、絶縁膜の膜厚等の条件の最適化が今後必要である。

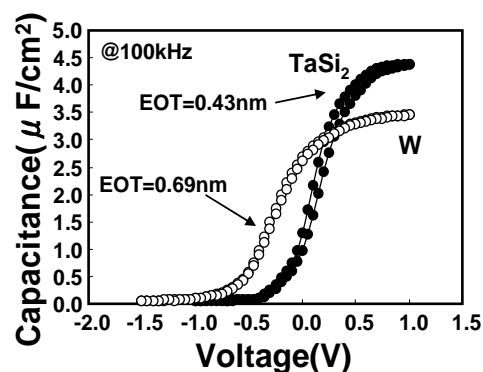


Fig. 1: C-V characteristics of TaSi₂/La₂O₃ (2.5 nm)/CeO_x (1 nm)/*n*-Si and W/La₂O₃ (2.5 nm)/CeO_x (1 nm)/*n*-Si capacitors after annealing at 800°C 2sec.

[1] J. Huang, et al.: VLSI Tech. Dig., 2009, p.34-35.

[2] K. Kakushima, et al., Microelectron. Eng. (2009), doi:10.1016/j.mee.2009.11.001.

[3] Y. Akasaka, et al., VLSI Tech. Dig., 2005, p228.

謝辞：本研究は NEDO 技術開発機構の支援を受け、実施された。