

19a-P11-13

界面に La_2O_3 絶縁膜層を挿入した Hf 系 high-k ゲート MOSFET の評価 Characterization of Hf-based dielectric nMOSFETs with Ultrathin La_2O_3 layer inserted at the interface

東工大フロンティア研¹, 東工大総理工² °Dariush Zade¹, 佐藤 創志¹, 角嶋邦之²,
パールハット アヘメト², 筒井一生², 西山彰², 杉井信之², 名取研二², 服部健雄¹,
岩井洋¹

Tokyo tech. FRC¹, Tokyo tech IGSSE² °Dariush Zade¹, T Sato¹, K. Kakushima², P. Ahmet¹,
K. Tsutsui², A. Nishiyama², N. Sugii², K. Natori², T. Hattori¹, H. Iwai¹

E-mail: zade.d.aa@m.titech.ac.jp

【はじめに】集積回路の微細化にはゲート絶縁膜の極薄膜化が必須であるが、これに伴うゲートリーク電流増大を緩和するには high-k 絶縁膜の適用が有効である。今後の世代で必要とされる等価絶縁膜厚 $EOT=0.5\text{nm}$ を実現するためには、低誘電率界面層を含まず High-k 層を Si 基板に直接接合した構造が求められる。 HfO_2 を用いたゲートスタックに、高い誘電率と広いバンドギャップを有する、 La_2O_3 を HfO_2 と Si 基板の間に挿入した構造は、低誘電率界面層を含まず低 EOT 化に有利な構造である。次世代 SoC に適用されるゲート絶縁膜は、単に EOT が小さいのみでなく、十分に移動度が高いことと $1/f$ 雑音が高いことも重要である。そこで本研究では、この構造で La_2O_3 層の膜厚を変化させることによる移動度や $1/f$ 雑音特性を考察する。

【実験方法】SPM 洗浄後 HF 酸処理した p-Si(100) 基板に、電子ビーム蒸着法により先ず $\text{La}_2\text{O}_3(0.5\text{nm}$ と $1\text{nm})$ を次に $\text{HfO}_2(4\text{nm})$ を堆積した。その後 *in-situ* でゲート電極としての W を RF スパッタ法により堆積し、基板裏面の電極およびソース・ドレイン電極として Al を蒸着した後、F.G($\text{N}_2:\text{H}_2=97:3$) 雰囲気中で $500^\circ\text{C} \cdot 30$ 分アニールを行い、電気特性 (移動度、界面準位) を評価した。

【結果】Si 基板と HfO_2 層の間に La_2O_3 層を挿入することにより移動度が向上する (Fig. 1) とともに、しきい値が負側にシフトした。さらに、Normalized drain current noise は、 $V_G - V_{th} = 0.1$ 以上では、 La_2O_3 層の膜厚が 0.5nm までは余り大きく変化せず、さらに膜厚を 1nm に増やすと増大する (Fig. 2)。すなわち、 $1/f$ ノイズはゲート絶縁膜の膜厚が 0.5nm 以上で変化することがわかった。

【謝辞】本研究は、JSPS の支援で行われた。

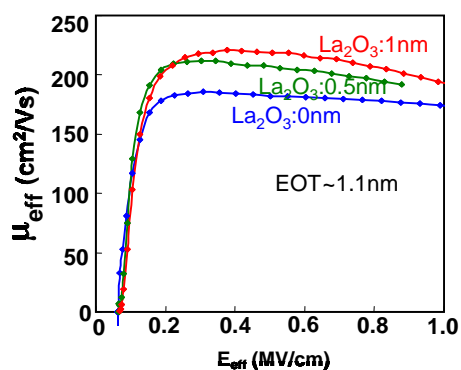


Fig1. Effective mobility

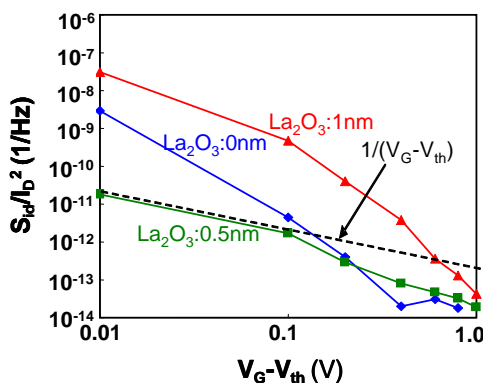


Fig2. Normalized Drain Current Noise Density Vs Gate Voltage Overdrive