

2step アニールを用いた酸化膜中の Si ナノワイヤへの Ni シリサイド

Ni Silicidation for Si Nanowires covered with oxide by using 2step anneal

東工大フロンティア研¹, 東工大総理工² ◦ 茂森直登¹ 新井英朗¹ 佐藤創志¹ 角嶋邦之² パールハット アヘムト² 西山彰²
筒井一生² 杉井信之² 服部健雄¹ 岩井洋¹

Tokyo tech .FRC¹, IGSSE² ◦ N. Shigemori¹, H. Arai¹, S. Sato¹, K. Kakushima², P. Ahmet¹, A. Nishiyama², K. Tsutsui², N. Sugii²,
T. Hattori¹, H. Iwai¹.

E-mail: shigemori.n.aa@m.titech.ac.jp

はじめに: Si MOSFET 微細化に伴いソース・ドレインのシリサイド化が行われており、Si ナノワイヤでもその手法が取り入れられている[1]。しかし、Si ナノワイヤ内での Ni シリサイドはまだ明らかではない。そこで、本研究では酸化膜で覆われた Si ナノワイヤへの Ni シリサイド形成を評価した。

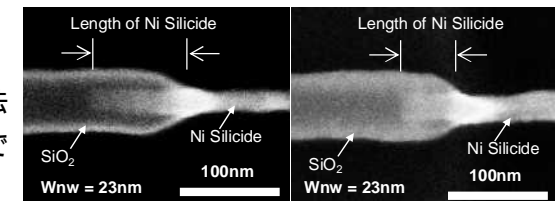
実験: SOI 層 30nm の基板の上に Fin 構造をリソグラフィと Dry エッチングで作製した。作製した Fin 構造を乾燥酸素雰囲気中 1000°C、45min で熱酸化し 10~30nm 程度の Si ナノワイヤを形成した。Si ナノワイヤの一部を BHF で露出し、スパッタ法により Ni を 6nm 堆積した。アニールを行いシリサイド化する際に、300 °C、30sec の後 400 °C、30sec のアニール(2step アニール)を行なった[2]。未反応 Ni 除去後、SEM で観察した。

結果: 作製したサンプルを Figure1 に示す。2step アニールを用いることで 1step アニールと比べて Si ナノワイヤへの Ni シリサイド化の侵入度が抑えられた(Figure2)。

謝辞: 本研究で用いたサンプルの一部は(株)半導体先端テクノロジーズで作製された。本研究は NEDO 技術開発機構「ナノエレクトロニクス半導体新材料・新構造技術開発うち新材料・新構造ナノ電子デバイス」により実施された。

[1] H. Iwai, T. Ohguro and S. Ohmi, Microelectron. Eng. 60 (2002) 157

[2] J.A. Kittl et al, Microelectron. Eng. 83 (2006) 2117



(a) 1step Anneal (b) 2step Anneal

Fig.1 SEM Image of Ni Silicide

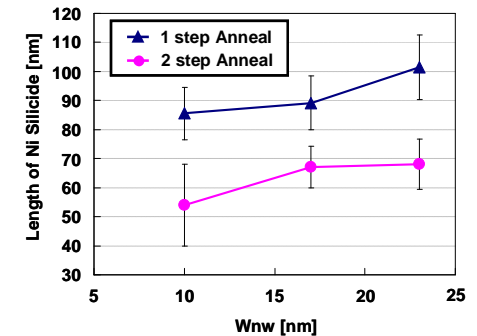


Fig.2 Comparison of 1step and 2step