

極薄 Si 界面層を挿入した La₂O₃/Ge MIS 構造における界面準位密度低減に関する検討

A study on the reduction of interface trap density in La₂O₃/Ge MIS structure with ultrathin interfacial Si layer

東工大 Frontier 研, 東工大総理工* ○宋在烈, 舘喜一, 角嶋邦之*, ハールハット・アハト, 筒井一生*, 杉井信之*, 服部健雄, 岩井洋
Tokyo Tech. FCRC, IGSSE* ○J. Song, K. Tachi, K. Kakushima*, P. Ahmet, K. Tsutsui*, N. Sugii*, T. Hattori, H. Iwai
E-mail: j.song@iwalab.ep.titech.ac.jp

【はじめに】以前我々は、W/La₂O₃/Ge 構造において C-V 特性におけるヒステリシスの原因となる Ge 亜酸化物の成長を抑制するために La₂O₃/Ge 界面に極薄の Si 層の挿入効果の検討を行った[1]。1nm 以上の Si 層挿入により Ge 亜酸化物の成長が抑制できヒステリシスの低減は見られたものの、界面準位密度は 10¹³cm⁻²eV⁻¹ 以上と高く、改善が見られなかった。そこで W/La₂O₃/Ge 構造において極薄 Si 層挿入時の界面準位密度低減に関して検討を行ったので報告する。

【実験方法】n-Ge(100)基板を HF 処理し、さらに超高真空中の熱処理により Ge 酸化膜を完全に除去した。その後基板温度を室温に戻し、電子ビーム蒸着法を用いて Si 及び La₂O₃ を堆積した。La₂O₃ 堆積後は大気暴露せず、上部電極として W を堆積した。W 電極堆積後は、熱処理時の原子状水素導入のため W 電極上に Al のキャップを形成した[2]。

【結果】図 1 に Ge 基板を用い 2nm の Si 層を挿入した試料と Si 基板を用いた試料を 3%-H₂+N₂ 雰囲気中 200°C-500°C、30 分間熱処理を行った場合の界面準位密度を示す。Ge 基板上 Si 層を挿入した場合と Si 基板の場合両方とも 300°C の熱処理で界面準位が低減できているが、Ge 基板上 Si 層を挿入した場合、300°C から熱処理温度が上昇するとともに界面準位密度が高くなってしまう。La₂O₃ と Si の界面特性は良好であることを踏まえ、熱処理温度の上昇につれ挿入した Si 層と Ge 基板の界面に欠陥が生じたと考えられる。

【謝辞】本研究は半導体理工学研究センター(STARC)の支援により行われた。

【文献】[1]宋他、2007 秋季応物 7p-ZM-13、[2] K. Tachi et al., 212th Electrochemical Society (ECS) Meeting, Abs# E4-07520, 2007

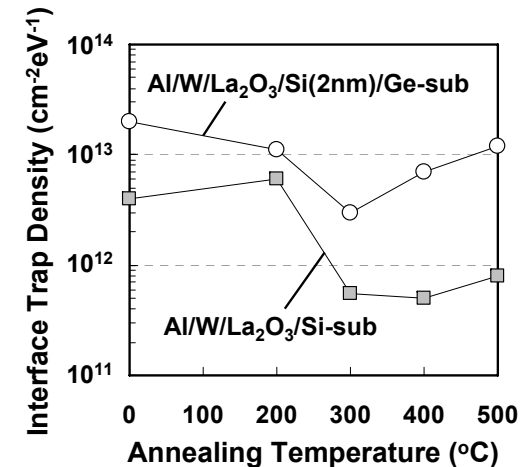


図 1 . Ge 基板上 Si 層を挿入した試料と Si 基板を用いた試料の界面準位密度