

四端子測定 TEG を用いた Si ナノワイヤトランジスタのチャネル内電位の測定

An analysis of voltage drop within channel region with 4-point measurement TEG

東工大フロンティア研¹, 東工大総理工², 早大ナノテクノロジー研³ 〇佐藤創志¹, 上村英之¹, 新井英朗¹, 角嶋邦之², Parhat Ahmet¹, 大毛利健治³, 筒井一生², 杉井信之², 服部健雄¹, 山田啓作³, 岩井洋¹
Tokyo Tech. FRC.¹, Tokyo Tech. IGSSE², Waseda Univ. INN³ 〇S. Sato¹, H. Kamimura¹, H. Arai¹, K. Kakushima², P. Ahmet¹, K. Ohmori³, K. Tsutsui², N. Sugii², H. Takeo¹, K. Yamada³, H. Iwai¹
E-mail: address: sato@iwailab.ep.titech.ac.jp

【はじめに】MOSFETのS/D抵抗は駆動電流低下の大きな要因であり、1次元伝導による高駆動電流が期待されるSiナノワイヤFETにおいても問題である。S/Dが最適化されたナノワイヤFETとしての特性を評価するため、四端子測定によりチャネル内電位を測定するTEGを設計・作製・評価した。

【実験方法】SOIウエハのSi層をリソ・エッチング工程後に熱酸化/酸化膜剥離を行いナノワイヤを作製した。Poly-Si/SiO₂/Si構造のゲートを堆積・パターニング後、SiNサイドウォールを形成しS/Dへ不純物(As⁺)の注入と活性化アニールを行った。Ni Salicide工程を経て配線を行い、SiナノワイヤFETを作製した。I_dV_d、I_dV_g特性を測定中にV₁/V₂端子電圧を測定しデバイスの電気特性評価を行った。

【結果】図1に四端子測定TEGのI_d-V_d特性と、同時に取得したI_d-V_{inner}特性を示す。V₁を仮想ソースと考えV_g'=V_g-V₁として計算した。その結果、後者のほうが小さいドレイン電圧において、V_g-V_{th}=1Vの点で大きい駆動電流を得られた。このデバイスの詳細な動作を解析し、当日報告する。

【謝辞】本研究で用いたサンプルの一部は(株)半導体先端テクノロジーズ あすかIIラインにおいて作製された。本研究の一部は経済産業省ナノエレクトロニクス半導体新材料・新構造開発プロジェクトにより実施された。

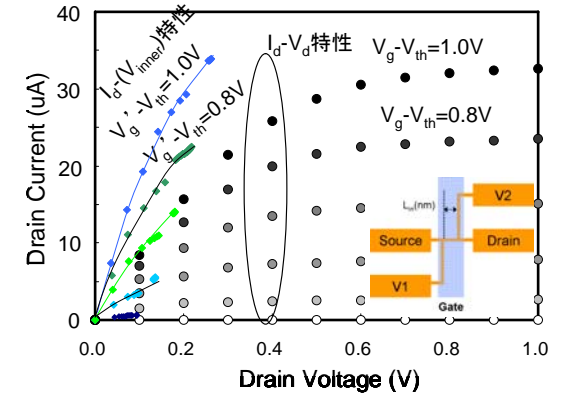


図1 四端子測定 TEG の I_dV_d 特性と抽出した I_d-(V₂-V₁)特性