

As 注入と SiN 応力膜による poly-Si への歪記憶の検討

Study on Strain Memorization of Arsenic Implanted Poly-Si Gate by Annealing Covered with Stressed SiN Film.

東工大大学院研, 東工大総理工¹, 明大理工², 中山 寛人, 日野 雅文, 永田 晃基², 吉田 哲也², 小瀬村 大亮²,

角嶋 邦之¹, P. Ahmet, 筒井 一生¹, 杉井 信之¹, 小椋 厚志², 服部 健雄, 岩井 洋

Tokyo Tech. FCR, IGSSE¹, Meiji Univ², H. Nakayama, M. Hino, K. Nagata², T. Yoshida², D. Kosemura², K. Kakushima¹,

P. Ahmet, K. Tsutsui¹, N. Sugii¹, A. Ogura², T. Hattori, and H. Iwai

【はじめに】歪によるチャネル移動度向上技術の中で、SMT(Stress Memorization Technique)は、スケーラビリティや薄膜 SOI への対応可能性などで注目されるが、その具体的な機構は不明な点が多い。そこで、SMT の要因として考えられる「非晶質からの結晶回復過程に起こる歪記憶」に関する知見を得るため、本研究では「poly ゲートへの As 注入と応力膜形成状態での熱処理」を行い、顕微 UV ラマン法($\lambda=364\text{nm}$)で歪を評価した。

【実験方法】p-Si(100)基板に熱酸化膜 5 nm、As 注入($2 \times 10^{15} \text{ cm}^{-2}$, 22.5 keV)した poly-Si ゲート (高さ: 75 nm, 幅: 0.5 μm) を形成後、SiN 膜(ほぼ応力無~6 MPa、または-1.7 GPa)を形成した二種の試料に、アニール(N_2 雰囲気, 950 °C, 30 sec)を行った。SiN 膜の除去後、ゲート頂上部とエッジ部の歪を評価した。測定試料の断面構造を図 1 に示す。ラマンスペクトルはローレンツ関数でピーク分離を行い、強度の強いものを主ピーク、弱いものを副ピークとした。これらピークのシフト量と半値幅の関係を図 2 に示す。

【結果】主ピークは全て無歪の結晶 Si に対応する位置にある。副ピークは半値幅が広く結晶粒界部などに対応する可能性がある。副ピークは、頂上部もエッジ部も、応力有の方が応力無より 0.2 cm^{-1} 程低波数側へのシフトが観測された。これは poly-Si の粒界部を介して SiN 膜の応力が転写された可能性を示唆する。【謝辞】本研究の一部は STARC の協力を得て行われた。

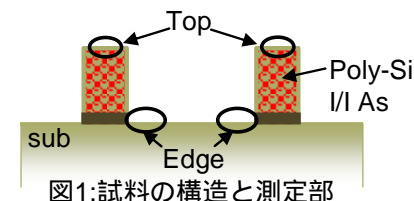


図1: 試料の構造と測定部

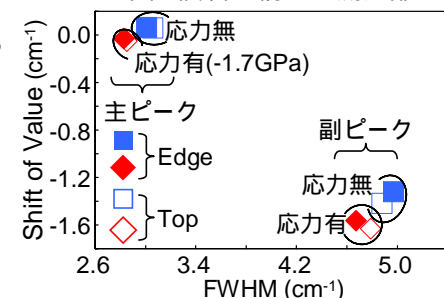


図2: 各試料におけるシフト量の半値幅に対する依存性