

Ge 層挿入による La_2O_3 -MOS キャパシタの V_{FB} 制御

Flat band Voltage Control in La_2O_3 p-MOS capacitance by Ge layer

又野 克哉¹, 川那子 高暢¹, 角嶋 邦之², パールハット・アヘメト¹, 筒井 一生², 杉井 信之², 服部 健雄¹, 岩井 洋¹

○K. Matano¹, T. Kawanago¹, K. Kakushima², P. Ahmet¹, K. Tsutsui², N. Sugii², T. Hattori¹, and H. Iwai²

東工大フロンティア研¹, 東工大院総理工²

Tokyo Tech. FCRC¹, Tokyo Tech. IGSSE² e-mail: matano.k.aa@m.titech.ac.jp

[はじめに]我々はこれまでに低 EOT 化を実現するべく La_2O_3 を用いた High-k/Si 直接接合について報告してきた[1]。しかし、この場合、 V_{FB} の負側へのシフトによる p-MOSFET の閾値電圧の上昇という La_2O_3 の問題があった[2]。今回、上部界面に Si/Ge 層を挿入することにより、 $\text{La}_2\text{O}_3/\text{Si}$ の良好な界面特性を損なわずに、フラットバンドを正側にシフトできることが分かったので報告する。

[実験方法] SPM, HF 処理した n-Si 基板の上に、電子ビーム蒸着法により La_2O_3 を堆積した後、F.G($\text{N}_2:\text{H}_2=97:3$)雰囲気中で 500 °C-30 分の熱処理を行った。その後、蒸着法により Ge を堆積し、続けて TaSi_x/W ゲート電極を RF スパッタ法により成膜した。その後、F.G($\text{N}_2:\text{H}_2=97:3$)雰囲気中で 400 °C-30 分の熱処理(PMA)を行った。裏面電極として Al を蒸着した。容量-電圧特性からフラットバンドのシフトを評価した。

[結果]図 1 に Ge 層 (2nm) を挿入した $\text{W}/\text{TaSi}_x/\text{SiO}_2/\text{n-Si}$ 構造の C-V 特性を示す。Ge 層を挿入した場合、 V_{FB} が正側へ約 0.4V シフトすることが観測された。尚、詳細については当日報告する。

[参考文献] [1] 第55 回応用物理学会関係連合講演会予稿集, 28p-H-21, /p.849(2008)

[2]K. Tatsumura et al. IEDM 1-4244-2377-4(2008)

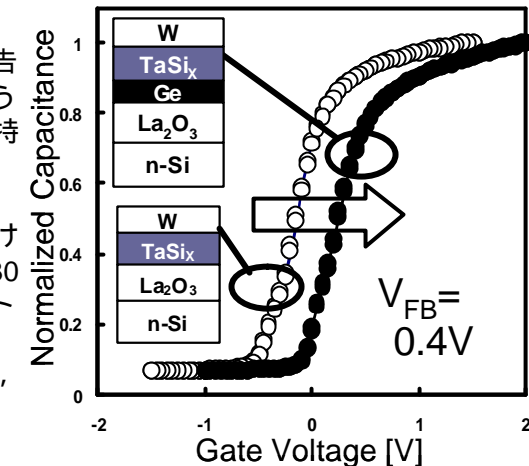


Fig. 1 : C-V characteristics of n-MOSCAP