

## トップダウン Si ナノワイヤ FET の作製法とその電気的特性のサーベイ

A review on fabrication processes of top-down manufactured Si nanowire FETs and their electrical characteristics

東工大フロンティア研<sup>1</sup>, 東工大総理工<sup>2</sup>, 早大ナノテクノロジー研<sup>3</sup> ○岩井洋<sup>1</sup>, 山田啓作<sup>3</sup>, 大毛利健治<sup>3</sup>, 筒井一生<sup>2</sup>, 角嶋邦之<sup>2</sup>, Parhat Ahmet<sup>1</sup>, 佐藤創志<sup>1</sup>, 上村英之<sup>1</sup>, 新井英朗<sup>1</sup>

Tokyo Tech. FRC<sup>1</sup>, Tokyo Tech. IGSSE<sup>2</sup>, Waseda Univ. INN<sup>3</sup>

H. Iwai<sup>1</sup>, K. Yamada<sup>3</sup>, K. Ohmori<sup>3</sup>, K. Tsutsui<sup>2</sup>, K. Kakushima<sup>2</sup>, P. Ahmet<sup>1</sup>, S. Sato<sup>1</sup>, H. Kamimura<sup>1</sup>, H. Arai<sup>1</sup>

Email: iwai.h.aa@m.titech.ac.jp

プレーナ型 SiCMOS 技術は素子の微細化により性能向上と集積度増加を果たしてきたがこれには限界が見込まれる。このため、1次元伝導による電流量向上と素子もつ高いゲートの制御性(Gate All Around 構造)が期待できるナノワイヤ FET が注目を集め試作・検討がなされている。トップダウンプロセスは CMOS プロセスと互換性を持ち量産技術として期待されるため、これにより多くの研究がなされてきた。

基板は主に SOI ウエハが用いられている[1]が、ベア Si ウエハから作製するプロセス[2]も発表されている。チャネルであるナノワイヤはリソ工程と RIE 工程により作製した SiFin の熱酸化(前形状に依存)/酸化膜剥離で形成される。また、Si/SiGe エピタキシャル成長工程を用いてナノワイヤを縦に多段化することができる[3]。RIE 起因のラフネスに関しては H<sub>2</sub> 雰囲気中での高温アニールにより低減可能である[4]。チャネルにひずみをかけることで駆動電流の向上が可能であるが、これには SSOI 基板を用いる[4]、犠牲酸化プロセスを繰り返す、S/D に工夫をするプロセスが発表されている。

S/D ではひずみをかけるため、埋め込み SiGe 層を用いて PMOS の性能向上を図る方法[5]や Ge を堆積/拡散させる方法[5]が提案されている。S/D の Ni シリサイド化とドーパント分布の最適化により、最大電流値(1本あたり)が報告されている。[6]以上の技術を用いてこれまで発表されたデータを右図に示す。ナノワイヤ FET の電流量規格化の方法は各機関で分かれていたが、統一して1本あたりに流れる電流量を示している。講演では、各工程のプロセスを詳細にまとめ発表する。

本研究は経済産業省ナノエレクトロニクス半導体新材料・新構造技術開発プロジェクトにより実施された。

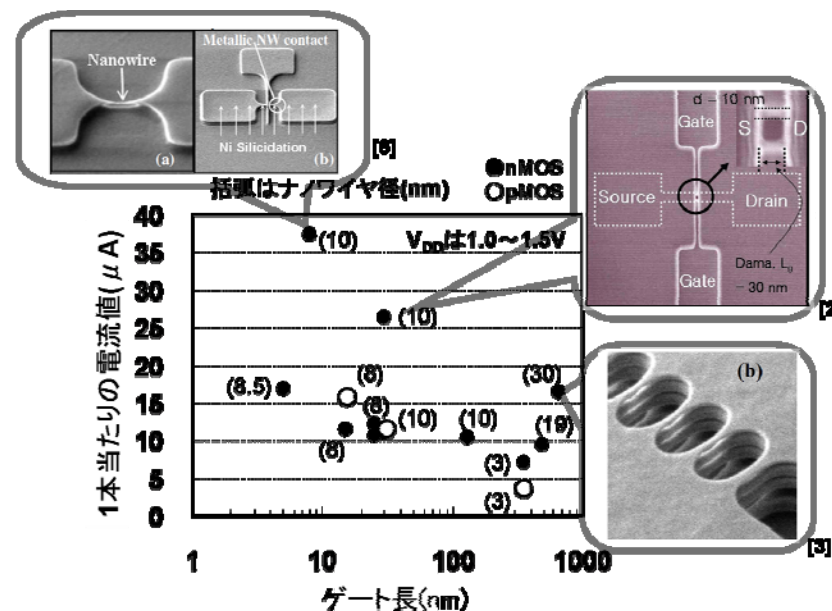


図1 これまでに発表されたナノワイヤトランジスタのゲート長と1本当たりの電流量 (IEDM, VLSI Symp.)

[1]N.Singh, IEDM2006 [2]S.D.Suk, IEDM2005 [3]L.K.Bera, IEDM 2006.[4]T. Tezuka, IEDM2007 [5]T.Y. Liow, VLSI2008 [6]Y. Jiang, VLSI2008.