La_2O_3/Si 直接接合構造における界面特性の評価

Properties of interfaces in directly deposited La_2O_3/Si structure

東工大フロンティア研，東工大総理工*

○川那子高暢，角嶋邦之*，Parhat Ahmet，筒井一生*，杉井信之*，服部健雄，岩井洋

Tokyo Tech. FRC, IGSSE*　○T.Kawanago, K.Kakushima*, P.Ahmet, K.Tsutsui*, N.Sugii*, T.Hattori, H.Iwai

E-mail: kawanago.t.ab@m.titech.ac.jp

【はじめに】ゲート絶縁膜のスケーリングを継続するには、SiO_2 界面層を必要としない High-k/Si 直接接合が必須である。[1] しかし High-k/Si 直接接合の界面特性は SiO_2/Si のそれとは全く異なると予想され、High-k/Si 界面の包括的な理解が非常に重要となる。そこで今回は、p 型および n 型基板を用いて試料を作製し、界面の電気的特性について検証する。

【実験方法】化学洗浄の後、希フッ酸処理をした p-Si(100)および n-Si(100)基板上に、電子線蒸着法を用い基板温度 300℃で、まず La_2O_3 を堆積し、続いて HfO_2 をそれぞれ 1.5nm ずつ堆積した。その後、in-situ で RF スパッタ法により W ゲート電極を形成した。電極形成後、水素濃度 $H_2/(N_2+H_2)$=3%の条件で 500℃,30 分間の熱処理(PMA)を行い、電気的特性を評価した。

【実験結果】図１に作製した MOS キャパシタの C-V 特性を示す。全く同じ試料作製条件にも係らず、p-MOSCAP のみにヒステリシスが観測された。これは界面近傍の欠陥形成が基板の種類に依存していることを示唆している。詳細は当日報告する予定である。

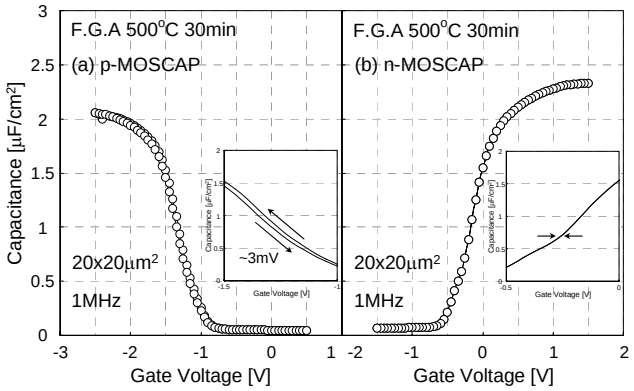

Fig. 1: C-V characteristics of (a) p-MOSCAP and (b) n-MOSCAP.

【参考文献】[1]足立他、第 55 回応用物理学会関係連合講演会予稿集、28p-H-21, Ⅱ/p.849(2008)