

Er 層界面挿入による Ni シリサイドのショットキー障壁変調と SB-MOSFET への応用

Schottky Barrier Height Modulation of Ni Silicide by Er insertion and Its Application to SB-MOSFETs

○細田 亘¹, 野口 浩平¹, 角嶋 邦之², パールハット・アヘメト¹, 筒井 一生², 杉井 信之², 服部 健雄¹, 岩井 洋¹

○W.Hosoda¹, K.Noguchi¹, K.Kakushima², P.Ahmet¹, K.Tsutsui², N.Sugii², T.Hattori¹, and H.Iwai¹

東工大フロンティア研¹, 東工大総理工² Tokyo Tech. FCRC¹, Tokyo Tech. IGSSE²

e-mail: hosoda.w.aa@m.titech.ac.jp

[はじめに] Schottky Barrier Source/Drain MOSFET (SB-MOSFET) は、従来の拡散層ソース・ドレインの MOSFET と比べ極浅のソース・ドレイン接合が形成可能で短チャネル特性の向上が期待できることなどから将来の極微細 MOSFET として期待されている。しかしながら SB-MOSFET では、Metal/Si 界面にできるショットキー障壁により駆動電流が低下する問題があり、障壁高さの低減が求められている。前回、Er を Si と Ni の界面に挿入する方法で Ni シリサイドの障壁を低減できることを報告した [1]。今回、更に効果的な条件を探索するとともに、この技術を SB-MOSFET に応用したので報告する。

[実験方法] 障壁高さ評価実験として、SPM, DHF 処理したバルク n-Si (100) 基板 (不純物濃度: $1 \times 10^{15} \text{cm}^{-3}$) 上に、スパッタ法で Er を 3.6~12nm 堆積してから Ni (12nm) を堆積し、フォーミングガス ($\text{N}_2:\text{H}_2=97:3$) 雰囲気中 RTA (400°C~700°C、60 秒間) でシリサイド化した。この接合の I-V 特性より障壁高さを求めた。また、この方法を用いた SB-MOSFET を試作した (Fig. 1)。N チャネル MOSFET 用のソース・ドレイン層上に上記の方法でシリサイド形成し、チャネル端をショットキー接合とする。そして、酸化膜堆積後、ゲート電極、Al 配線を形成した。

[結果] Fig. 2 にアニール温度 700°C におけるショットキー障壁の Er 挿入膜厚依存性を示す。Er 層厚の増加で最大 0.22eV の障壁低下を得た。SB-MOSFET の電気特性については当日発表する。

謝辞： 本研究の一部は科研費特定領域研究「ポストスケール」の援助で行われた。

[1] 野口 他、平成 20 年春季応物学会、29pZK16

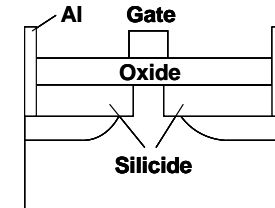


Fig.1. Structure of SB-MOSFET.

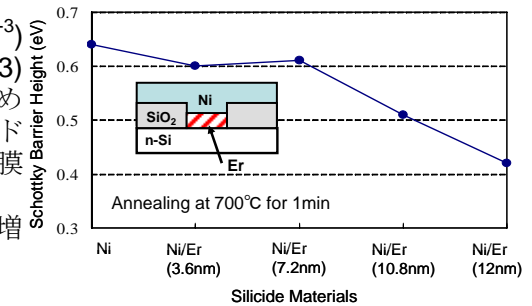


Fig.2. Schottky barrier height depending on thickness of Er interlayer after 700°C annealing.