

sub-1.0 nm EOT における W/La₂O₃ ゲートスタック nMOSFET の電子移動度解析

Analysis of electron mobility in nMOSFETs with W/La₂O₃ gate stack down to sub-1.0 nm EOT

東工大フロンティア研¹, 東工大総理工² 館 喜一¹, 角嶋 邦之², パーハット・アハメト¹, 筒井 一生², 杉井 信之², 服部 健雄¹, 岩井 洋¹

Tokyo Tech., FRC¹, Tokyo Tech., IGSSE² °Kiichi Tachi¹, Kuniyuki Kakushima², Parhat Ahmet¹, Kazuo Tsutsui², Nobuyuki Sugii², Takeo Hattori¹, Hiroshi Iwai¹

E-mail: k.tachi@iwillab.ep.titech.ac.jp

はじめに： 今後、ゲート絶縁膜のスケーリングを継続していくには SiO₂ 界面層を必要としない high-k 絶縁膜とシリコン基板の直接接合構造が必要である。また低 EOT を有する高性能 CMOS 実現のためには、メタル/high-k 構造におけるチャネル移動度の劣化原因を理解することが重要である。今回、我々は La₂O₃/Si 直接接合構造を用いた nMOSFET を用いて sub-1 nm EOT 領域におけるキャリア移動度の劣化原因について調査を行ったので報告する。

実験： La₂O₃ 薄膜は、SPM 洗浄後に希フッ酸処理をした S/D 形成済み p-Si (100) 基板上に電子ビーム蒸着法を用いて基板温度 300°C で堆積した。続けて真空一貫で W ゲート電極を RF スパッタ法により成膜した。その後、熱処理 (FG 雰囲気、500 °C、30 分) を行い、nMOSFET を作製した。異なる La₂O₃ 膜厚の試料に対してスプリット C-V 法で電子の実効移動度を抽出した。

結果： 右図に示すのは実効移動度の EOT 依存性である。低 EOT 領域で実効移動度が急激に減少していることがわかる。この EOT の減少に伴う移動度の劣化は W/La₂O₃ 界面近傍のトラップないしはダイポールの存在が可能性として考えられる。

謝辞： 本研究は NEDO 技術開発機構の事業で実施されました。

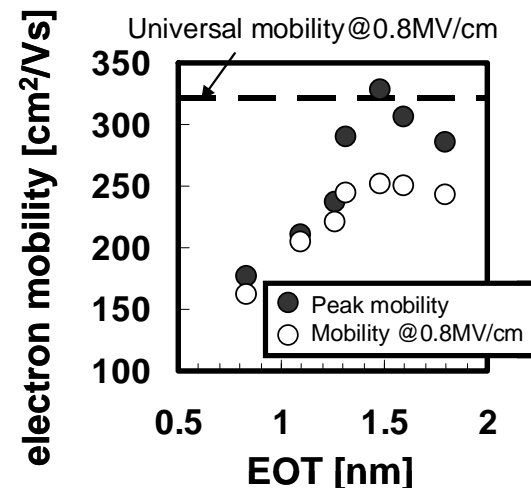


Fig . EOT dependence of mobility