

## HfO<sub>2</sub>系 High-k ゲート MOSFET の電気特性に対する La<sub>2</sub>O<sub>3</sub> 界面層挿入効果

Effects of La<sub>2</sub>O<sub>3</sub> insertion to HfO<sub>2</sub>/Si interface on MOSFET characteristics

東工大フロンティア研、東工大総理工\* ○岡本晃一、館喜一、足立学、佐藤創志、角嶋邦之\*、パールハット・アヘメト、杉井信之、筒井一生\*、服部健雄、岩井 洋

Tokyo Tech, FCRC, IGSSE\* ○K. Okamoto, K. Tchi, M. Adachi, S. Sato, K. Kakushima\*, P. Ahmet, N. Sugii\*, K. Tsutsui\*, T. Hattori, and H. Iwai

E-mail: [okamoto.k.af@m.titech.ac.jp](mailto:okamoto.k.af@m.titech.ac.jp)

はじめに: High-k ゲート絶縁膜を用いた MOSFET において High-k/Si 界面は閾値、移動度などへの影響が大きい。Si 上に堆積する High-k ボトム層の選択が重要である。本研究では主に次世代ゲート絶縁膜の最有力候補である HfO<sub>2</sub> を用い HfO<sub>2</sub>/Si 界面へ La<sub>2</sub>O<sub>3</sub> を挿入することによる MOSFET の電気特性の変化を測定し、High-k ボトム層としての La<sub>2</sub>O<sub>3</sub> の有効性について調査したので報告する。

実験: SPM 洗浄後フッ酸処理を行ったソース/ドレイン形成済み p-Si (100) 基板に電子ビーム蒸着法で La<sub>2</sub>O<sub>3</sub>、HfO<sub>2</sub> をそれぞれ堆積した。その後 *in situ* で W ゲート電極をスパッタ法で堆積した。基板電極およびソース・ドレイン電極として Al を蒸着した後、F.G 雰囲気中で 500°C アニールを行いその電気特性を測定した。

結果: HfO<sub>2</sub>/Si 界面に La<sub>2</sub>O<sub>3</sub> を 0.6nm 挿入することで電子移動度の大きな改善が見られた (Fig 1)。

詳細は当日に発表する。

謝辞: 本研究は NEDO 技術開発機構の事業で実施されました。

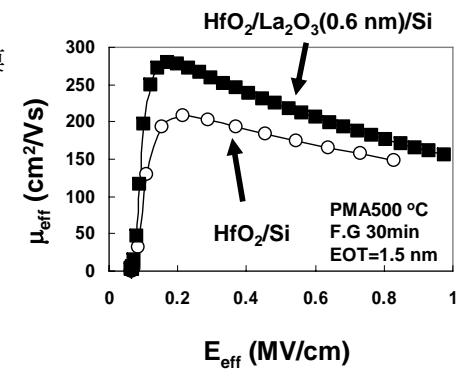


Fig 1: Electron mobility change by La<sub>2</sub>O<sub>3</sub> insertion