

Er 層界面挿入による Ni シリサイドのショットキ障壁変調技術

Schottky Barrier Height Control of Ni Silicide by Inserting Er Interlayer

東工大フロンティア研¹、東工大院総理工²

○野口 浩平¹、大石 善久¹、角嶋 邦之²、パールハット・アヘマト¹、筒井 一生²、杉井 信之²、服部 健雄¹、岩井 洋¹
Tokyo Tech. FCRC¹, Tokyo Tech. IGSE² ○K.Noguchi¹, Y.Ohishi¹, K.Kakushima², P.Ahmet¹, K.Tsutsui², N.Sugii²,
T.Hattori¹, and H.Iwai² e-mail: noguchi.k.ab@m.titech.ac.jp

[はじめに] Schottky Barrier Source/Drain MOSFET(SB-MOSFET)は、極浅のソースドレイン接合が形成可能なことから将来の極微細 MOSFET として期待されている。しかしながら SB-MOSFET の場合、Metal/Si 界面にできるショットキ障壁により駆動電流が低下してしまう問題がある為、障壁高さの低減が求められている。今回、シリサイド化前の Ni/Si 界面に Er を挿入し、かつ、Ni 堆積前に Er 堆積層に in situ アニールを加えることにより障壁高さの低減が可能であることがわかったので報告する。

[実験方法] パルク n-Si(100)基板(基板濃度: $1 \times 10^{15} \text{ cm}^{-3}$)を SPM,DHF 処理し、Er をスパッタ法により 3.6nm 堆積した後 in situ アニールを 400°C で 5 分間行った。その後 Ni(12nm)を堆積した。そして最後にフォーンミングガス(N₂:H₂=97:3)雰囲気中での 60 秒間 RTA 処理(400°C~700°C、60 秒間)を行った。

[結果] Fig.1 にショットキ障壁の RTA 温度依存性のグラフを示す。まず、Er を挿入することで障壁低下が認められ、さらに、Er 堆積後 in situ アニールを行うとこれを行わない場合に比べてさらにショットキ障壁を低減できることがわかった。

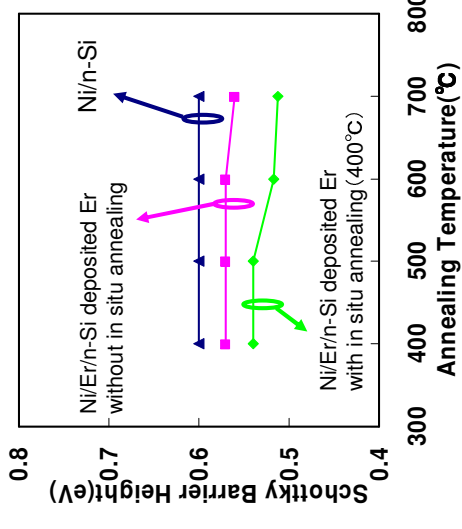


Fig. 1. Schottky barrier height after annealing at 400~700°C

[謝辞] 本研究は、科学研究費補助金特定領域研究シリコンナノエレクトロニクスの新展開-ポストスケーリングテクノロジー-の支援を受けて行われた。