

熱酸化による Si ナノワイヤー形状の酸化条件依存性

Configuration of Si Nanowires Fabricated by Thermal Oxidation Depending on Conditions of Oxidation Process

東工大フロンティア研¹, 東工大総理工², 早大ナノ機構³

○ 上村 英之¹, 角嶋 邦之², パールハット アヘメト¹, 筒井 一生², 杉井 信之², 大毛利健治³, 服部 健雄¹, 岩井 洋¹

Tokyo Tech. FRC, IGSSE, Waseda Univ. ○H.Kamimura, K.Kakusima, P.Ahmet, K.Tsutsui, N.Sugii, K.Oumouri, T.Hattori, H.Iwai

E-mail: h.kamimura@iwailab.titech.ac.jp

【はじめに】究極の微細MOSFET候補として、Siナノワイヤトランジスタが期待されている。ゲート電極が極細のSiチャンネルを取り囲む構造となるため、ゲート電界による制御性が高く、短チャンネル効果を抑制しやすい。製作上重要な課題として、ワイヤ太さの不均一性がある。一般にSiナノワイヤは、熱酸化によって製作されることが多い。本研究では酸化条件を様々に変えることによって最適なワイヤ形状を探索した。【実験】図1のようにSOI基板にハードマスク(HM)としてSiO₂を堆積し、リソグラフィーとRIEによりHMとSOIを除去(①→②)。図2は、図1の工程②でのSiフィンをバルク基板上に形成したもので、50nm程度の寸法での加工を確認している。様々な条件で熱酸化を行い(②→③)、形成された酸化膜をHF Vapor Etchingで除去した(③→④)。再び、熱酸化を行い、ゲート絶縁膜を形成した(④→⑤)。そして、熱酸化前後の断面形状やラインエッジラフネスをFIB+TEMおよびSEMにより観察した。発表では、これらの結果と考察について述べる。【謝辞】本研究は、経済産業省「ナノエレクトロニクス半導体新材料・新構造技術開発—うち新材料・新構造ナノ電子デバイス」の支援を受けて行われた。

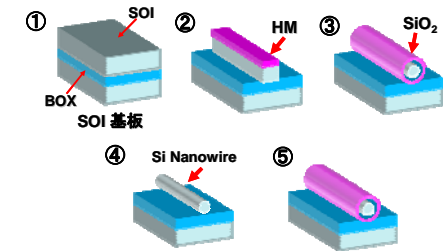


Fig.1 Fabrication process of Si nanowires.

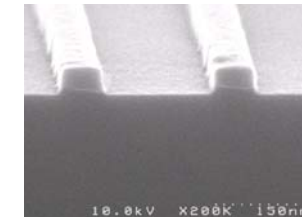


Fig.2 SEM image of ② configuration with bulk substrate.