

## SiN 応力膜による Si 基板への歪記憶の検討

### Study on Strain Memorization of Si wafer with SiN Film

東工大フロンティア研, 東工大総理工<sup>1</sup>, 明大理工<sup>2</sup>, 日野雅文, 吉田哲也<sup>2</sup>, 小瀬村大亮<sup>2</sup>, 角嶋邦之<sup>1</sup>, パールハット・アヘト, 筒井一生<sup>1</sup>, 杉井信之<sup>1</sup>, 小椋厚志<sup>2</sup>, 服部健雄, 岩井洋

Tokyo Tech. FCRC, IGSSE<sup>1</sup>, Meiji Univ<sup>2</sup>, M. Hino, T. Yoshida<sup>2</sup>, D. Kosemura<sup>2</sup>, K. Kakushima<sup>1</sup>, P. Ahmet, K. Tsutsui<sup>1</sup>, N. Sugii<sup>1</sup>, A. Ogura<sup>2</sup>, T. Hattori, and H. Iwai

E-mail: [m.hino@iwalab.ep.titech.ac.jp](mailto:m.hino@iwalab.ep.titech.ac.jp)

【はじめに】最近のバルク CMOS では、SiN 応力膜によりチャンネル部位に歪を印加しデバイス特性の向上を図っている。本研究では図 1 に示すように STI 形成工程での歪印加を試みている。トレンチ側面に Ar イオンを斜めに注入して一部を非晶質化し、SiN 膜で応力印加した状態で結晶回復アニールをさせ、歪を記憶させる。今回はベタ膜の実験でその原理的検証をしたので報告する。

【実験方法】p-Si(100)基板に Ar イオンを注入( $100\text{keV}$ ,  $5 \times 10^{14}\text{cm}^{-2}$ )し、Si 基板を非晶質化させる(①)。その後 SiN 膜を形成(②)し  $\text{N}_2$  雰囲気中、 $900^\circ\text{C}$  30 秒の熱処理を行う(③)。その後 SiN 膜を除去する(④)。これらの工程を全部或は、部分的に経た種々のサンプルに対し UV ラマン分光法で Si 基板表面付近に生じた歪を測定した。

【結果】図2は各試料に対するラマンピークのシフト量をプロットしたものである。イオン注入を行わない試料(②、②→③、②→④)ではほとんどシフトが無いのに対し、Arイオン注入をした試料(①→④)ではピーク半値幅の拡大と $0.6\text{cm}^{-1}$ 程度の低波数シフトが観測された。このシフトは歪記憶効果により引張り歪が導入されたことを示唆するものであると考える。

【謝辞】サンプル作製は日立中研の協力を得て行った。

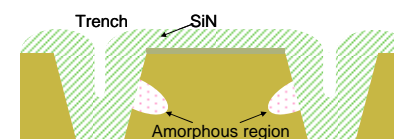


図 1: STI 工程での歪印加

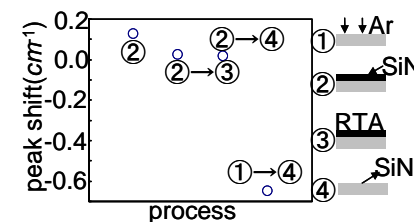


図 2: ラマンピークのシフト量